



第三届全国辐射探测微电子学术交流会

中科大粒子物理实验 ASIC研究进展

秦家军 赵雷

中国科学技术大学
核探测与核电子学国家重点实验室
2023年10月22日 广西·南宁

报告内容

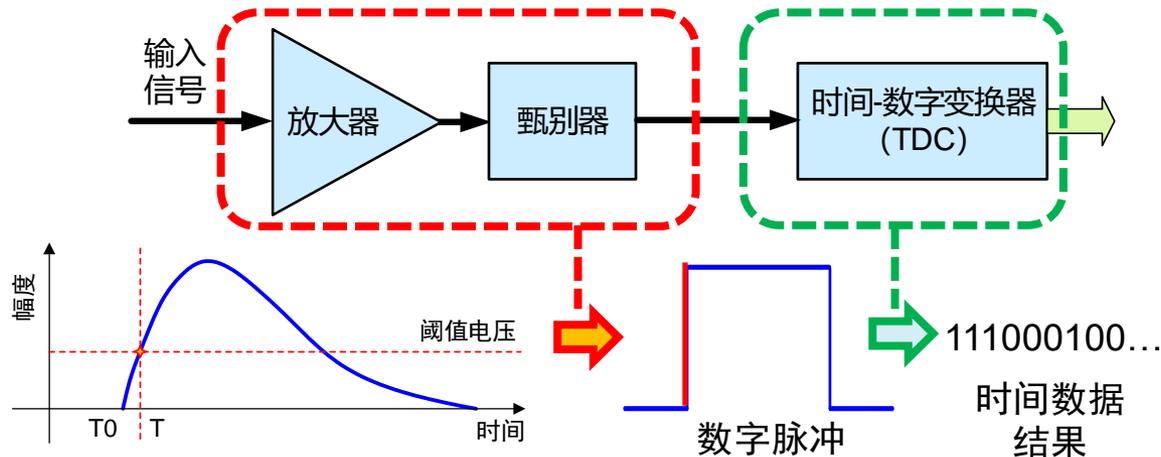
- ▶ 高精度时间测量ASIC
- ▶ 高精度电荷测量ASIC
- ▶ 波形数字化SCA ASIC
- ▶ MAPS硅像素读出ASIC
- ▶ 数据传输ASIC
- ▶ 总结和展望

报告内容

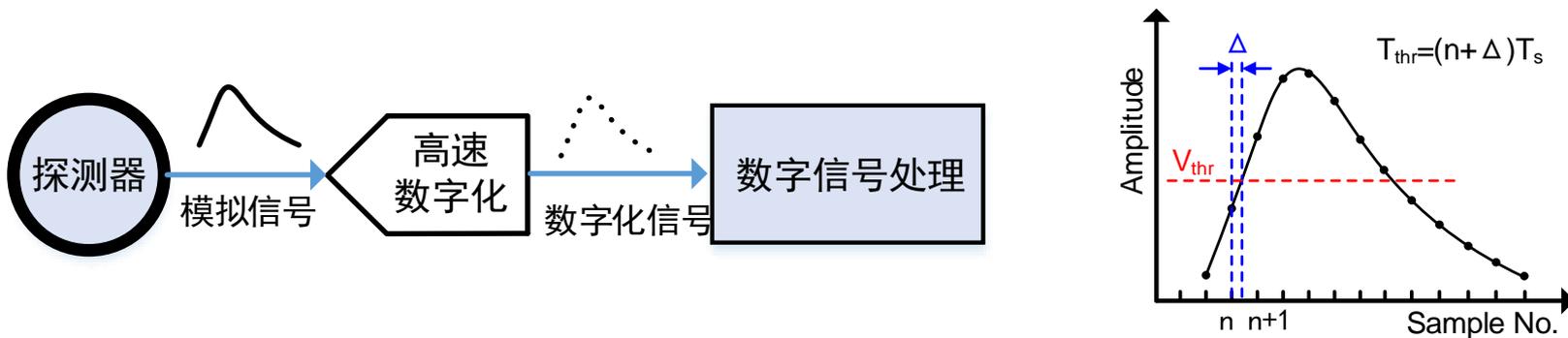
- ▶ 高精度时间测量ASIC
- ▶ 高精度电荷测量ASIC
- ▶ 波形数字化SCA ASIC
- ▶ MAPS硅像素读出ASIC
- ▶ 数据传输ASIC
- ▶ 总结和展望

高精度时间测量技术

放大甄别+TDC

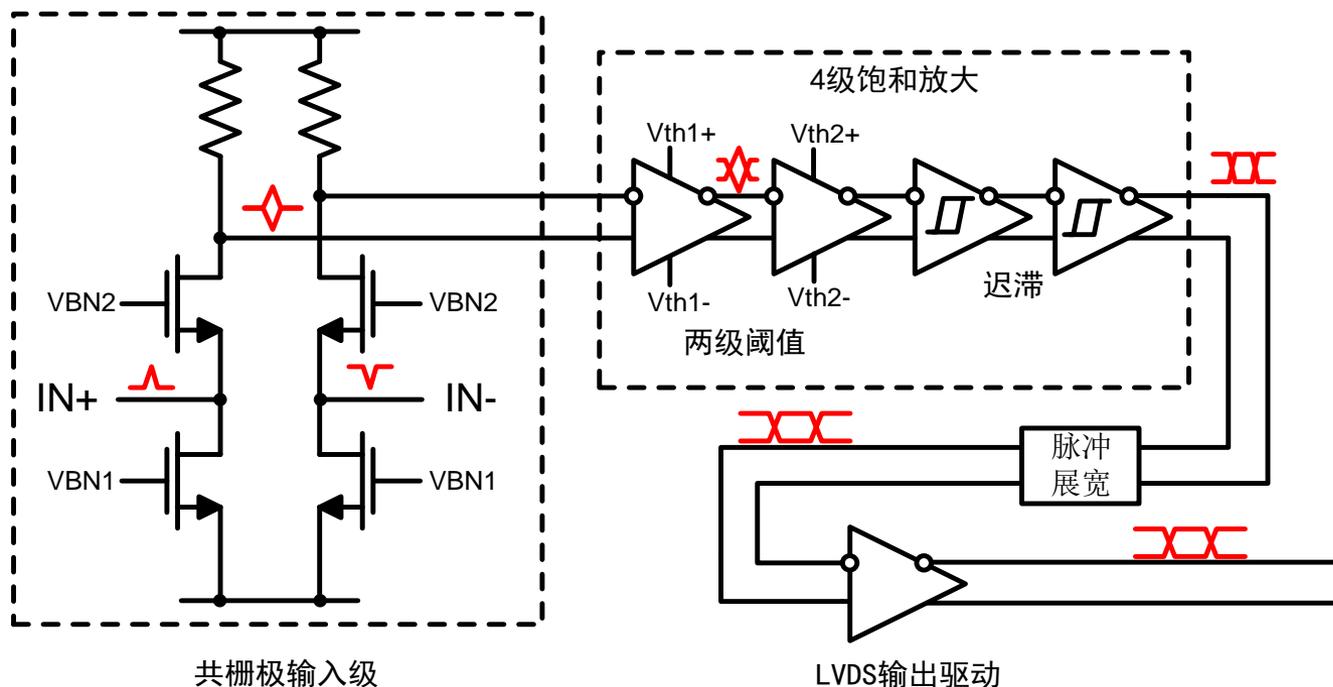


波形数字化



全差分型跨阻饱和放大ASIC

- ▶ 用于MRPC读出的高带宽全差分型跨阻饱和放大ASIC

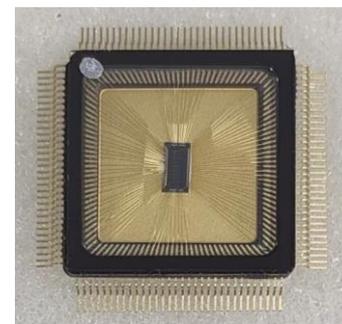
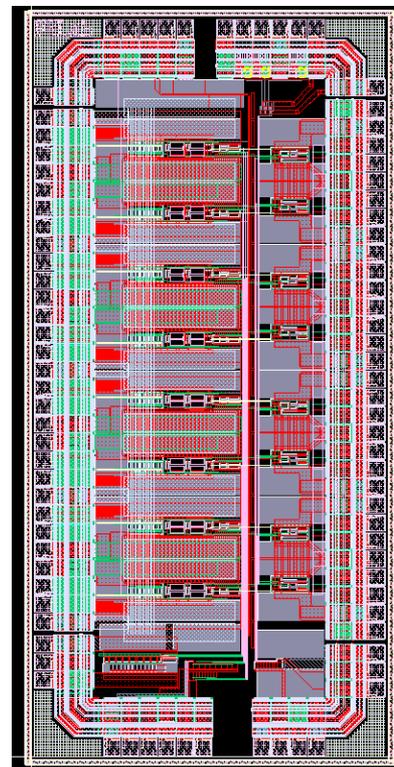
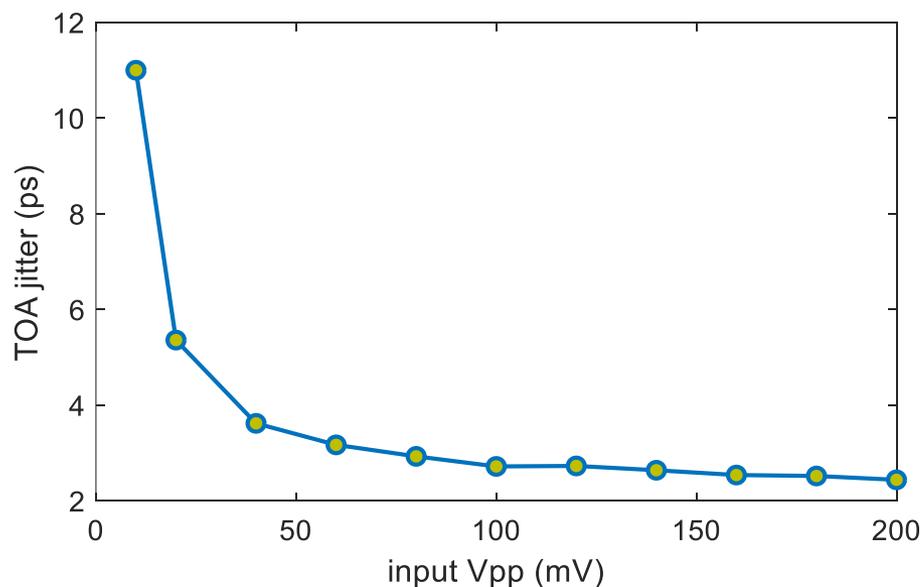


前放：共栅极，低输入阻抗；冷端匹配，输入阻抗可调
甄别：采用多级饱和放大的方式实现甄别

全差分型跨阻饱和放大ASIC

测试结果

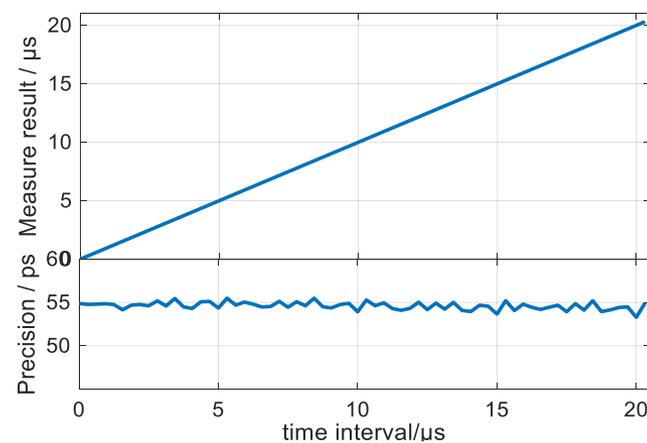
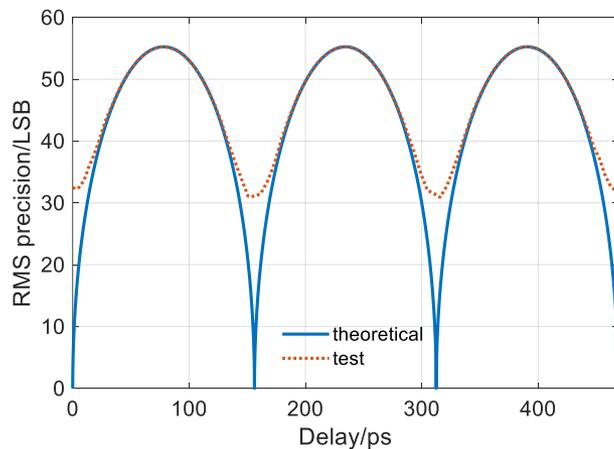
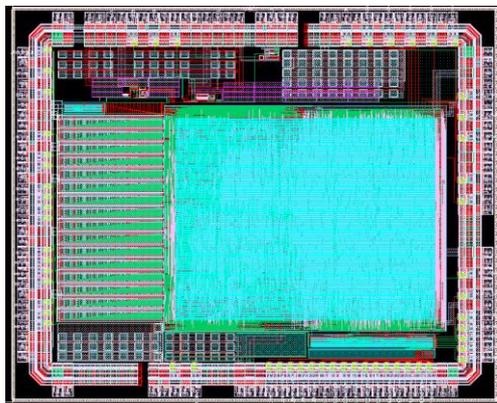
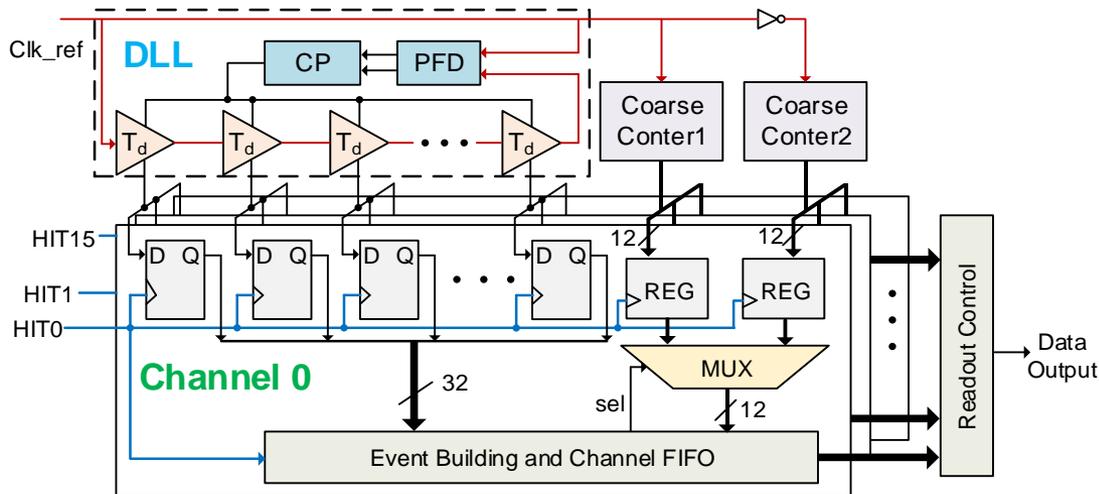
- ◇ 高带宽：~ 500 MHz
- ◇ 可调输入阻抗：30~200 Ω ，实现阻抗匹配
- ◇ 动态范围：100~1000 fC (2 ns脉宽，50 Ω 输入阻抗)
- ◇ 高时间精度：jitter < 10 ps @ ± 10 mVpp/50 Ω



TDC ASIC研究 (1)

▶ 延时链结构TDC

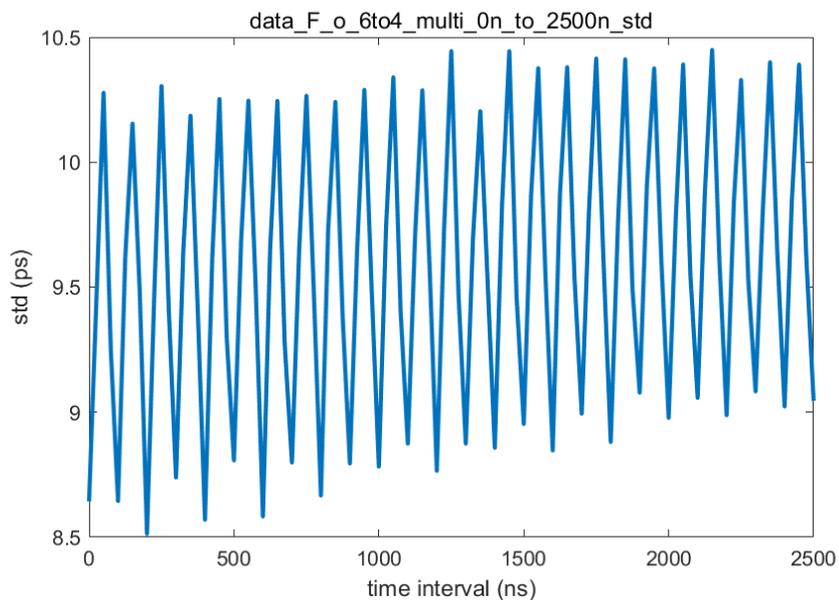
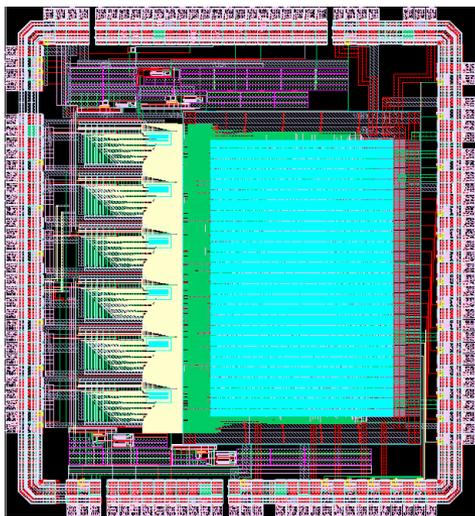
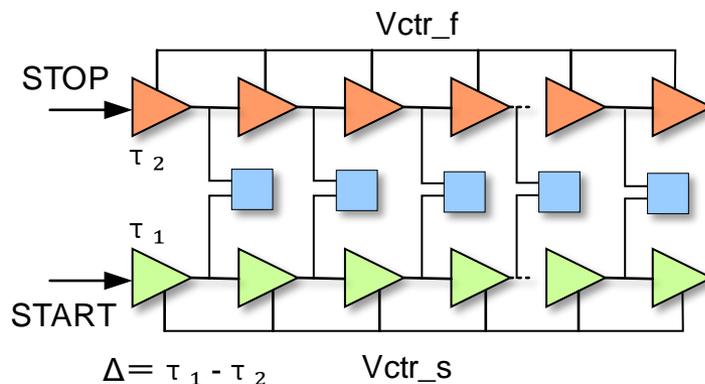
- ◇ 16通道
- ◇ 时间精度: <60 ps RMS
- ◇ 功耗: 128 mW



TDC ASIC研究 (2)

▶ 游标结构

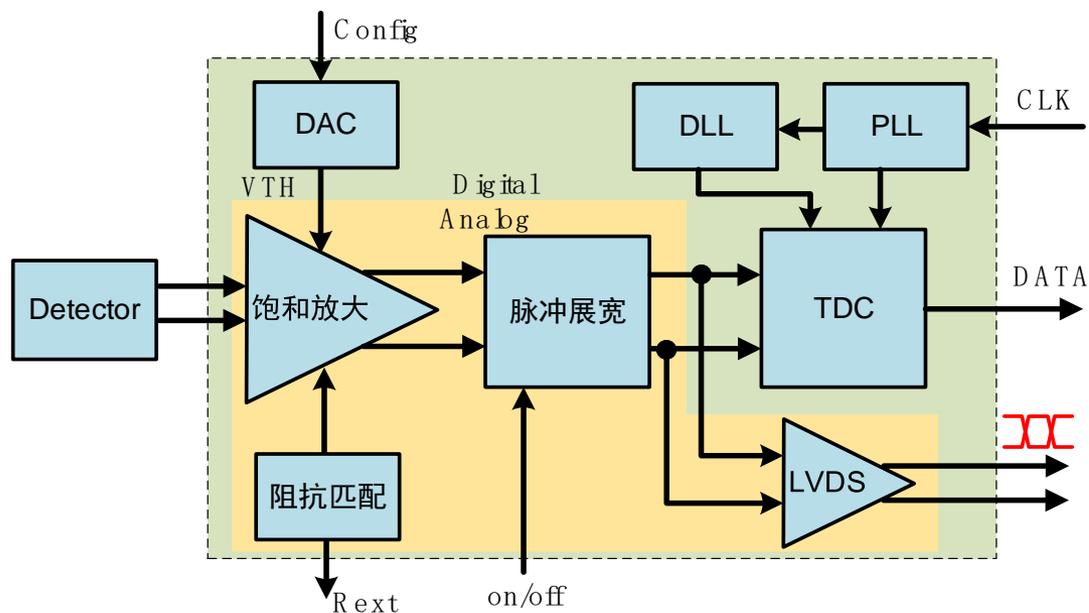
- ◇ 6通道
- ◇ 时间精度: ~ 10 ps
- ◇ 功耗: ~ 10 mW/channel



放大甄别+TDC ASIC

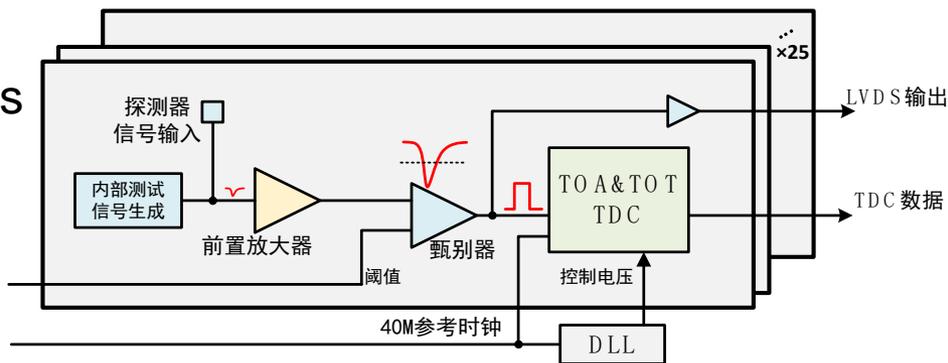
▶ 下一步计划

- ◇ 将放大甄别电路和TDC电路集成
- ◇ 预期目标：**8通道，整体时间测量精度好于10 ps @200 fC**

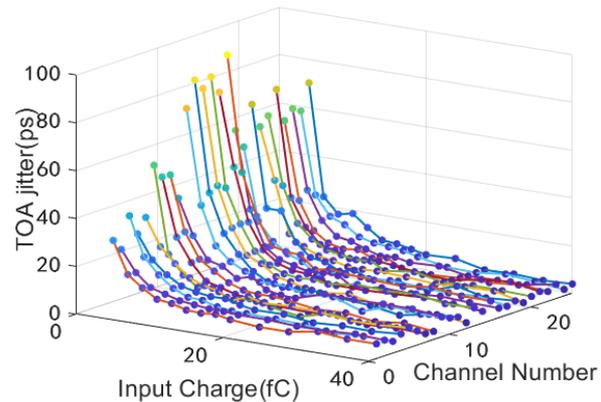
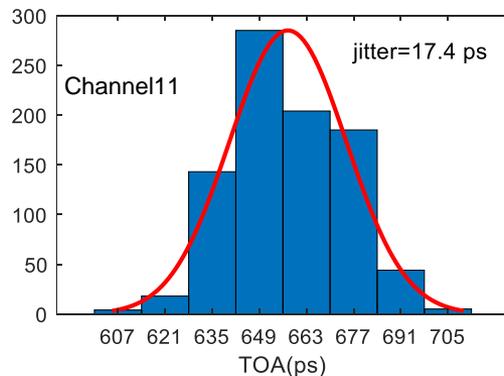
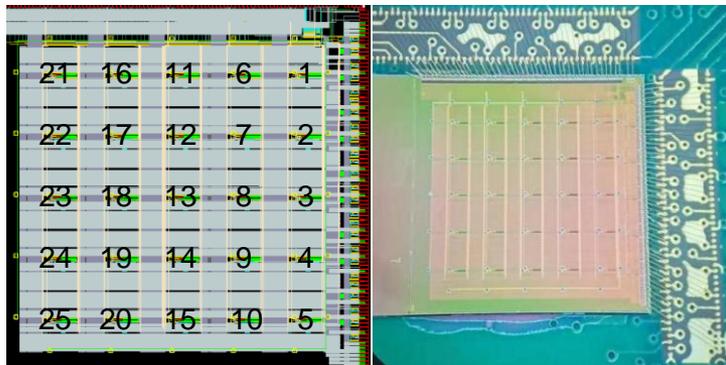


用于LGAD读出的原型ASIC研究

- ▶ LGAD: 低增益雪崩探测器
 - ◇ 探测器小颗粒度: $\sim \text{mm}^2$
 - ◇ 窄脉冲: 典型信号宽度 600 ~ 1200 ps
 - ◇ 微弱信号: 典型电荷量 $\sim 10 \text{ fC}$
 - ◇ 高时间精度: jitter < 25 ps @ 10 fC
- ▶ 已完成 5×5 原型ASIC (模拟前端+TDC) 的设计



- ▶ 测试结果表明其功能正常, 全通道时间精度好于20 ps
 - ◇ TDC精度好于10 ps
 - ◇ TOA jitter 好于20ps @10fC 4pF



报告内容

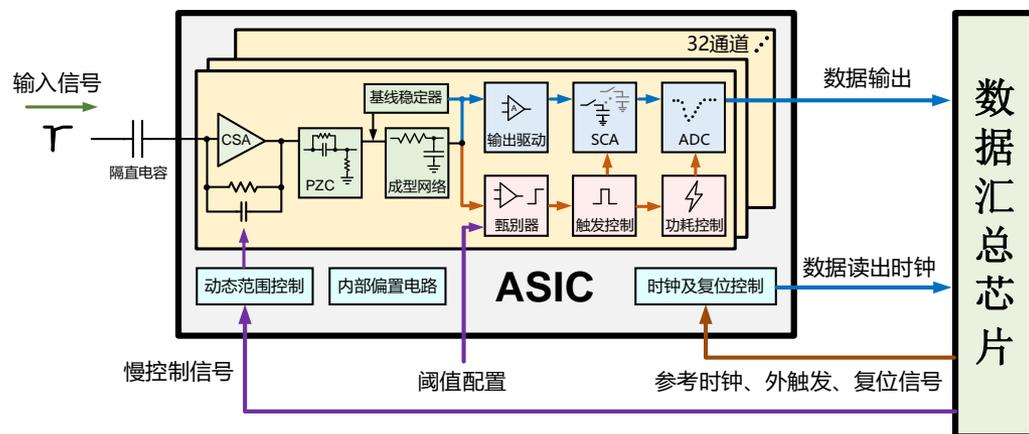
- ▶ 高精度时间测量ASIC
- ▶ 高精度电荷测量ASIC
- ▶ 波形数字化SCA ASIC
- ▶ MAPS硅像素读出ASIC
- ▶ 数据传输ASIC
- ▶ 总结和展望

STCF RICH前端读出ASIC

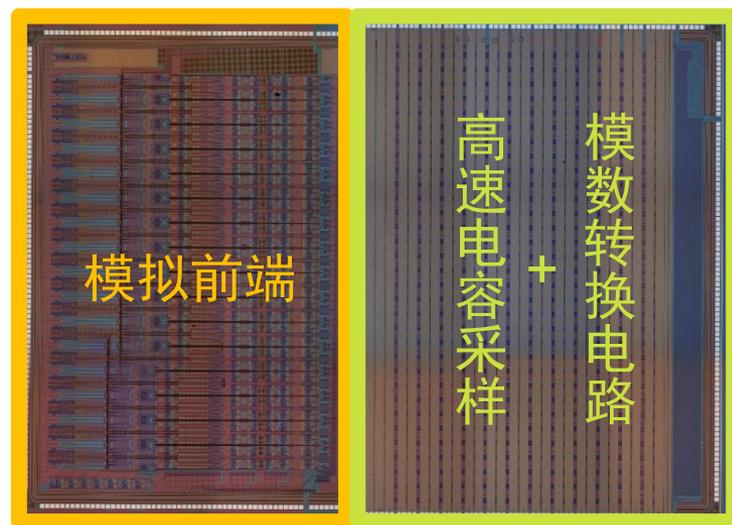
- ▶ 针对预研中的超级粲陶工厂（STCF），粒子鉴别器（PID）计划采用基于MicroMegas的环形成像型切伦科夫探测器（RICH）。
- ▶ 需要对庞大且较高颗粒度的读出通道进行高精度的电荷和时间信息测量。
- ▶ 完成了32通道的模数混合读出芯片原型，同时集成前端模拟调理电路与模数转换电路。

	测试结果
通道数	32
动态范围	48 fC
等效电荷噪声 @20 pF	< 0.2 fC RMS
定时精度 @20 pF	< 0.9 ns RMS
死时间	≤ 50 μs

芯片实测性能



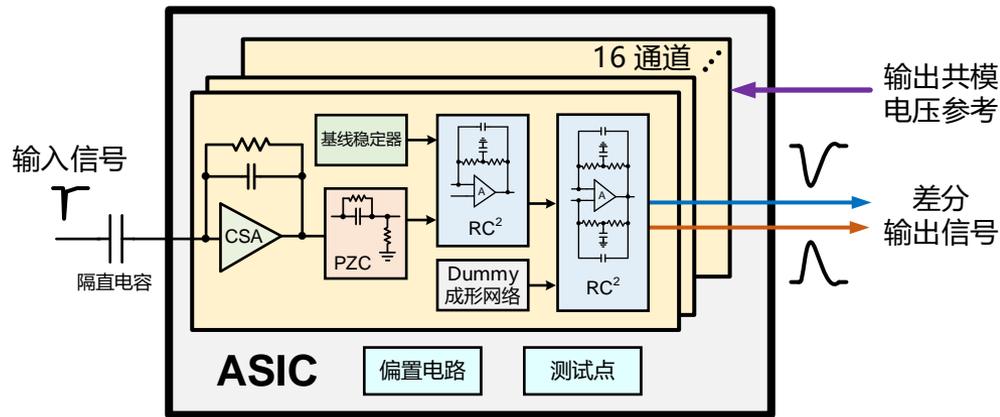
芯片结构框图



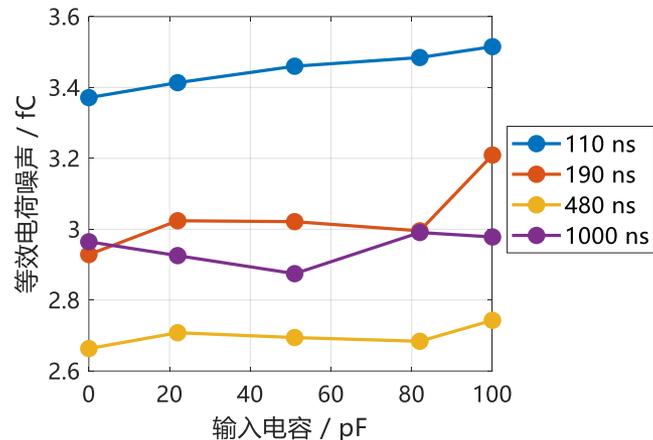
芯片显微图

更大动态范围的前端读出芯片

- 为适应将来更高增益下的探测器读出需求，更高动态范围（2 pC与10 pC）的16通道芯片也已研制并流片完成。



芯片结构框图



10 pC动态范围下等效电荷噪声

	2 pC 动态范围		10 pC 动态范围	
	设计目标	实测结果	设计目标	实测结果
ENC @ 100 pF	< 1 fC	< 0.75 fC @成形时间≥470 ns	< 5 fC	< 3.00 fC @成形时间≥480 ns
积分非线性	< 2%	1.33 %	< 2%	1.31 %
死时间	≤ 100 μs	≤ 10 μs	≤ 100 μs	≤ 10 μs
单通道功耗	≤ 15 mW	~ 8 mW/ch	≤ 15 mW	~ 8 mW/ch

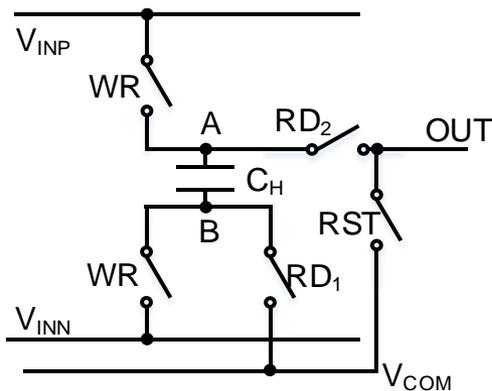
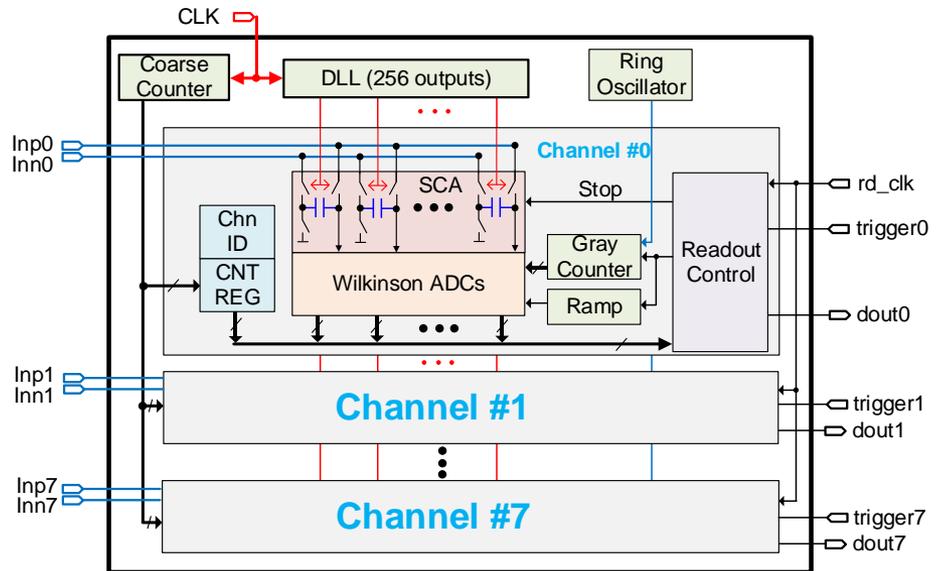
详见报告：用于MPGD探测器的前端读出芯片原型研究 李嘉铭

报告内容

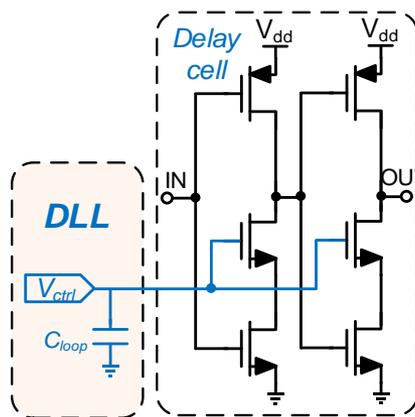
- ▶ 高精度时间测量ASIC
- ▶ 高精度电荷测量ASIC
- ▶ **波形数字化SCA ASIC**
- ▶ MAPS硅像素读出ASIC
- ▶ 数据传输ASIC
- ▶ 总结和展望

波形数字化SCA ASIC研究

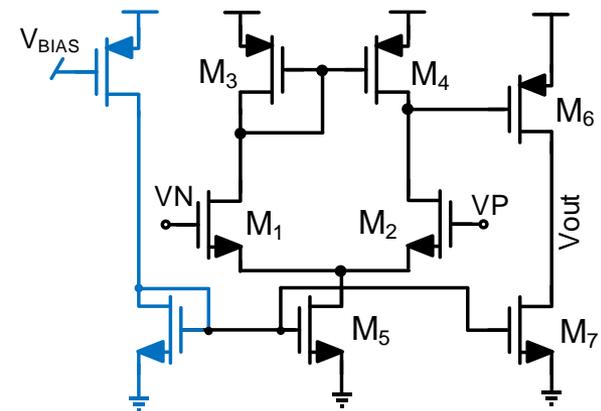
- ▶ 已完成多版的ASIC电路设计
- ▶ 设计参数：
 - ◇ 差分输入
 - ◇ 采样率 5 Gsps
 - ◇ 采样深度256
 - ◇ 12-bit 粗计数器
 - ◇ 片内数字化



差分输入框图

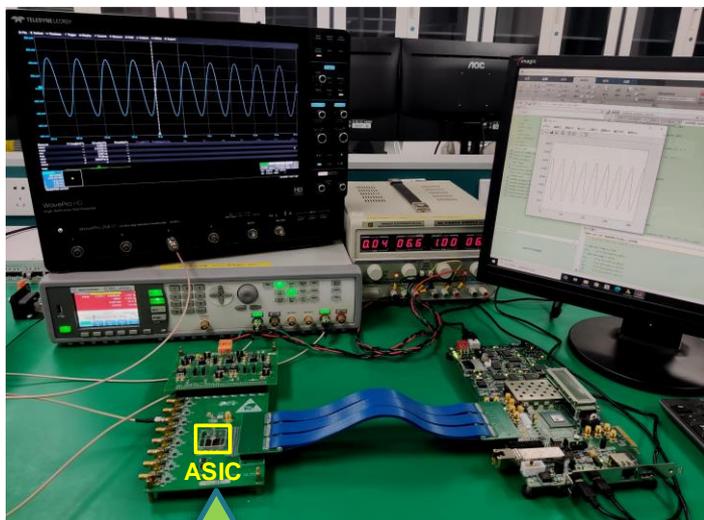


延时单元



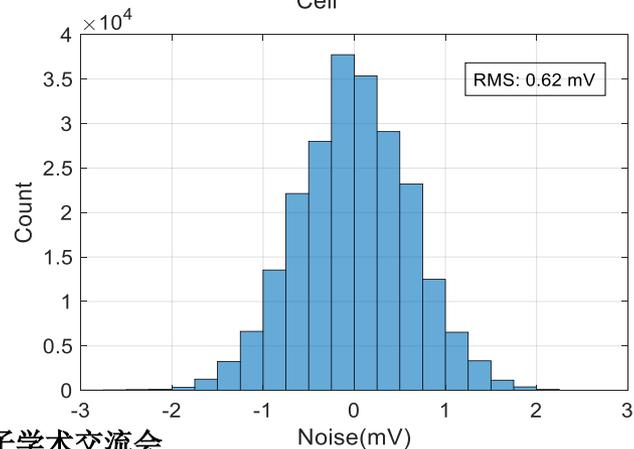
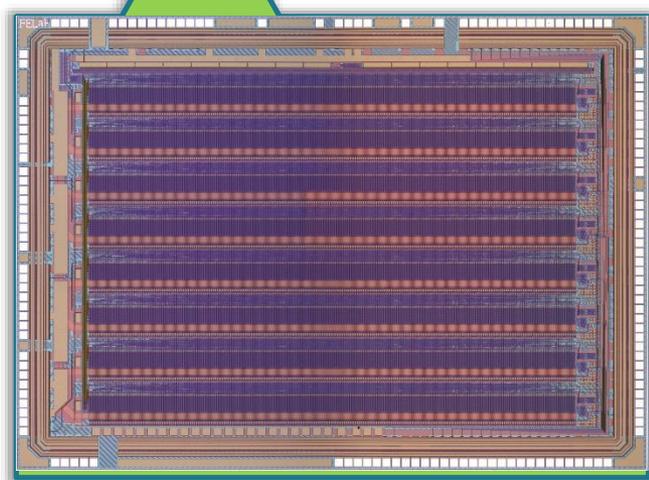
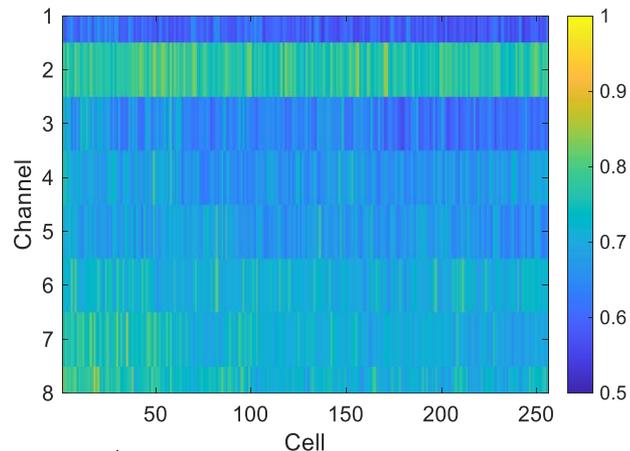
比较器偏置隔离

波形数字化SCA ASIC研究



测试结果

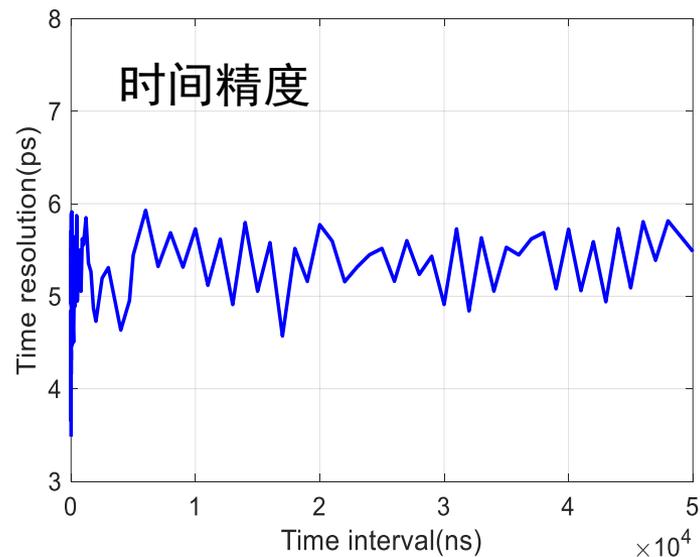
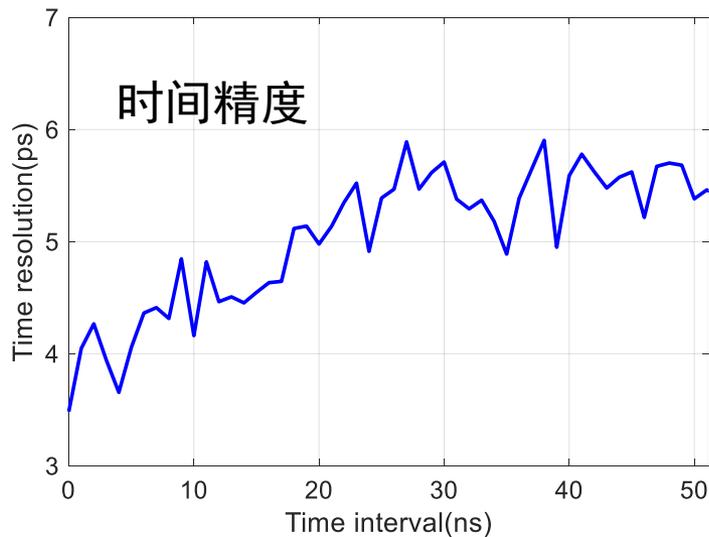
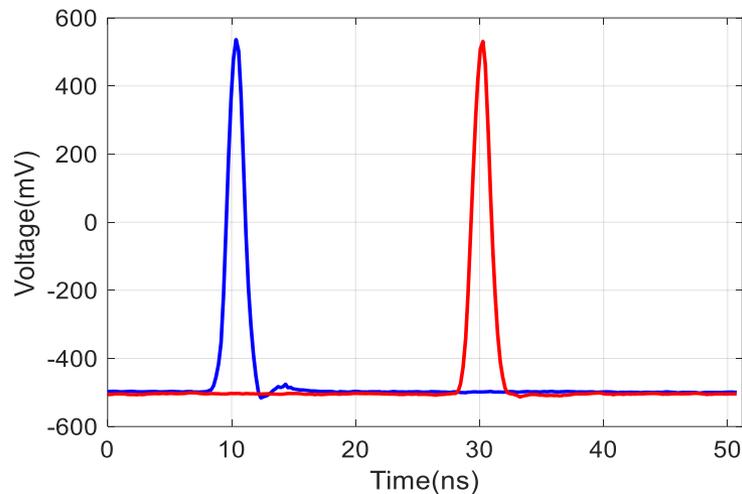
- ◇ 噪声~0.7 mV RMS
- ◇ 输入动态范围 1.2 V
- ◇ 功耗200 mW



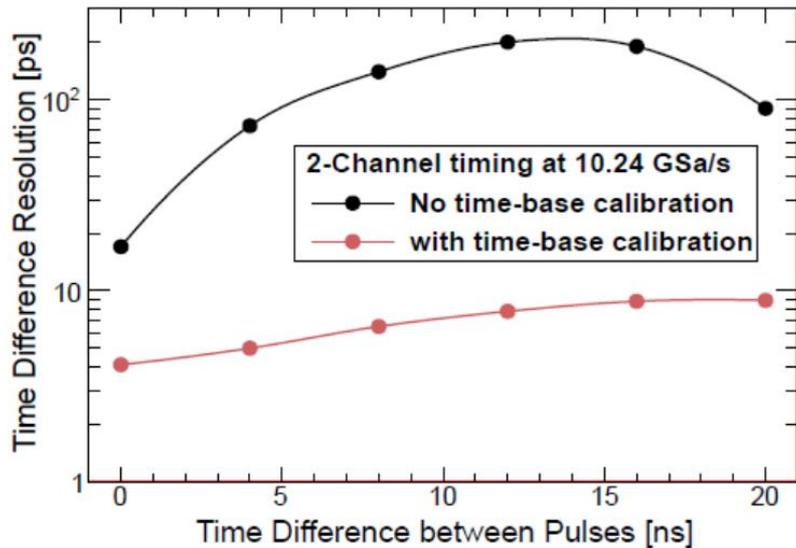
波形数字化SCA ASIC研究

测试结果

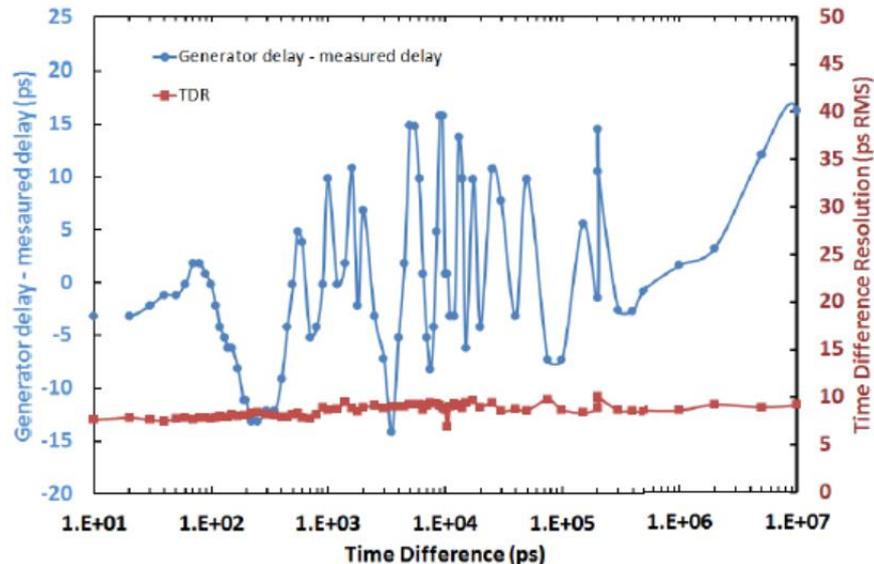
- ◇ 时间精度 < 6 ps (刻度后)



波形数字化SCA ASIC研究



PSEC4时间精度



SAMPIC时间精度

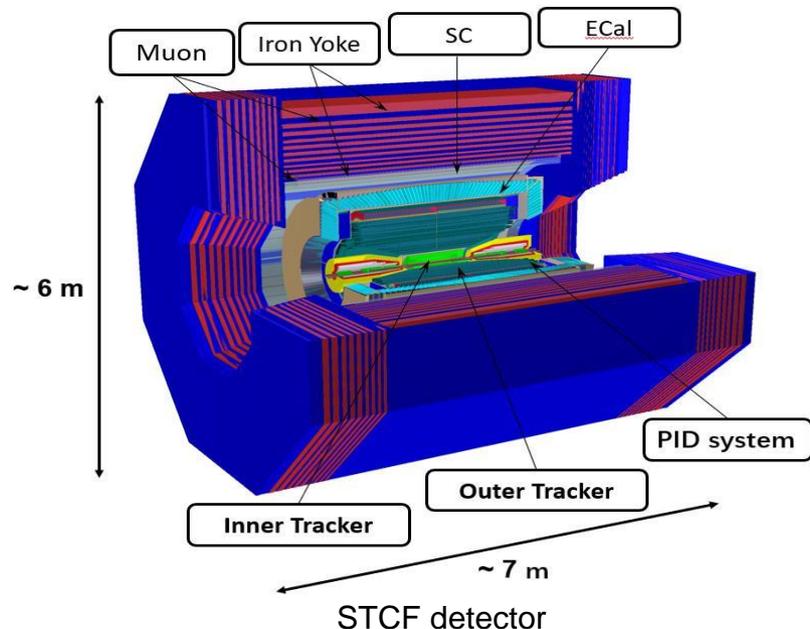
报告内容

- ▶ 高精度时间测量ASIC
- ▶ 高精度电荷测量ASIC
- ▶ 波形数字化SCA ASIC
- ▶ **MAPS硅像素读出ASIC**
- ▶ 数据传输ASIC
- ▶ 总结和展望

STCF MAPS研究

STCF物理目标

Process	Physics Interest	Optimized Subdetector	Requirements
$\tau \rightarrow K_s \pi \nu_\tau$	CPV in the τ sector,		acceptance: 93% of 4π ; trk. effi.:
$J/\psi \rightarrow \Lambda \bar{\Lambda}$	CPV in the hyperon sector,	ITK+MDC	> 99% at $p_T > 0.3$ GeV/c; > 90% at $p_T = 0.1$ GeV/c
$D_{(s)}$ tag	Charm physics		$\sigma_p/p = 0.5\%$, $\sigma_{\gamma\phi} = 130 \mu\text{m}$ at 1 GeV/c



STCF IKT备选方案之一为MAPS

与中科大徐来林教授合作研究

MAPS设计需求

- ◇ 平均单层物质质量 $\leq 0.35\% X_0$
- ◇ 功耗: ≤ 100 mW/cm²
- ◇ 位置分辨: $\leq 100 \mu\text{m}$
- ◇ 时间分辨: ≤ 50 ns
- ◇ ToT 测量功能

Pixel Sensor

▶ Sensor尺寸考虑

- ◇ 位置分辨要求不高→选择较大尺寸像素，减少读出电路规模，进而降低功耗
- ◇ 尝试比较多种规格sensor

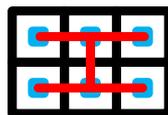
Diameter=2 μm
Spacing=2 μm



A: 28×30



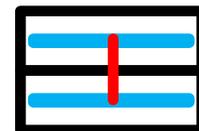
B: Pixel-based
170×31



C: Pixel-based
96×60



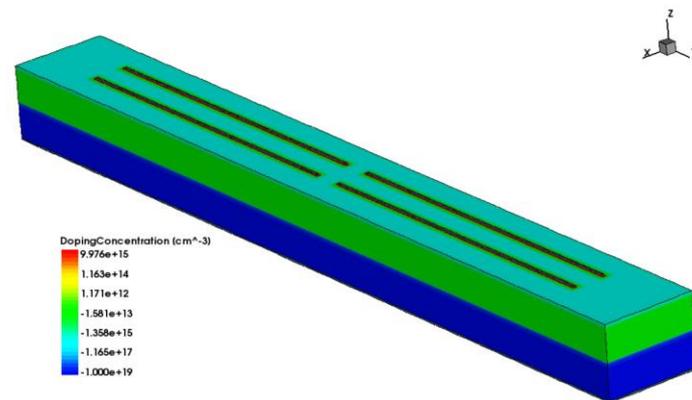
D: Strip-based
170×31



E: Strip-based
96×60

▶ Sensor工艺考虑

- ◇ 需求：高阻外延层、四阱工艺
- ◇ 基于国外成熟工艺（TJ180）进行仿真设计
 - 外延层电阻率1k $\Omega\cdot\text{cm}$
- ◇ 探索国产工艺（NexChip）
 - 合肥晶合FCIS，外延层电阻率10 $\Omega\cdot\text{cm}$

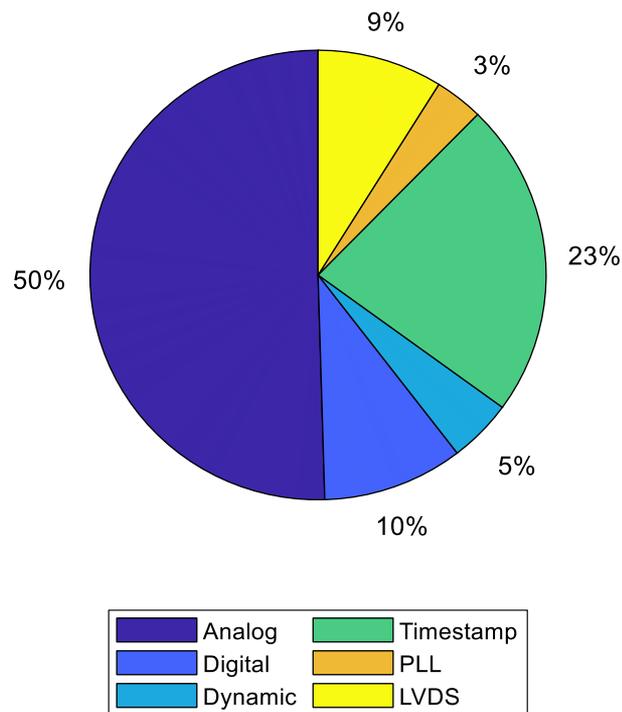


功耗估算

▶ 功耗分析

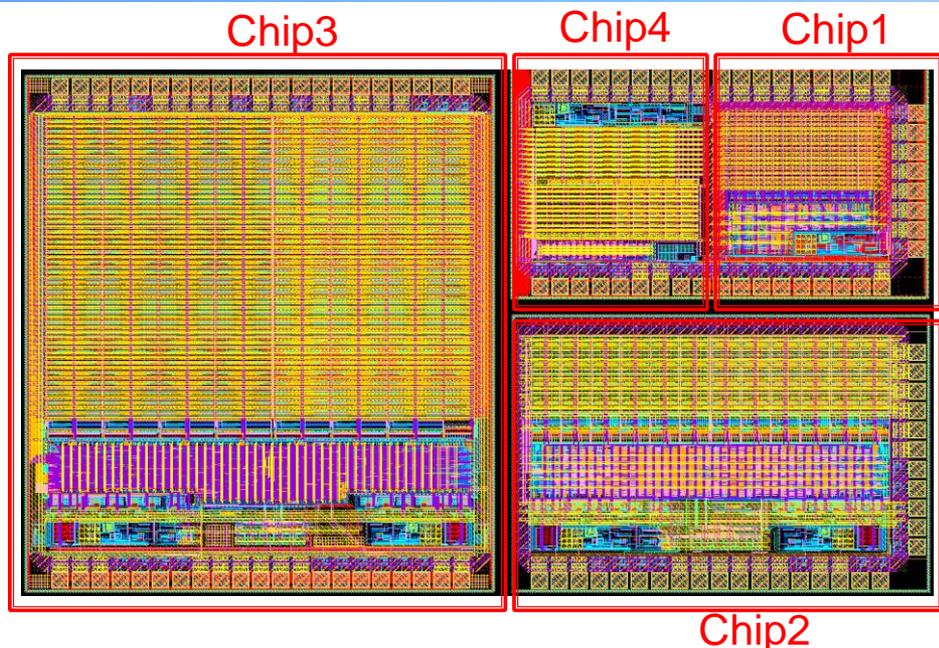
◇ 预计功耗 < 60 mW/cm²

贡献项	功耗	备注
模拟功耗(像素内)	26.7 mW/cm ²	
外围数字电路功耗	21.1 mW	
动态功耗	2.4 mW/cm ²	30.5 MHz/chip
时间戳分发功耗	12.0 mW/cm ²	Buffer=8
PLL	7.3 mW	
LVDS	9.4mW × 2	800 Mbps
合计功耗	52.9 mW/cm ²	芯片尺寸~4 cm ²



以180×30 μm²、有源区连接为例，全尺寸芯片功耗分析

TJ-MAPS芯片设计进展

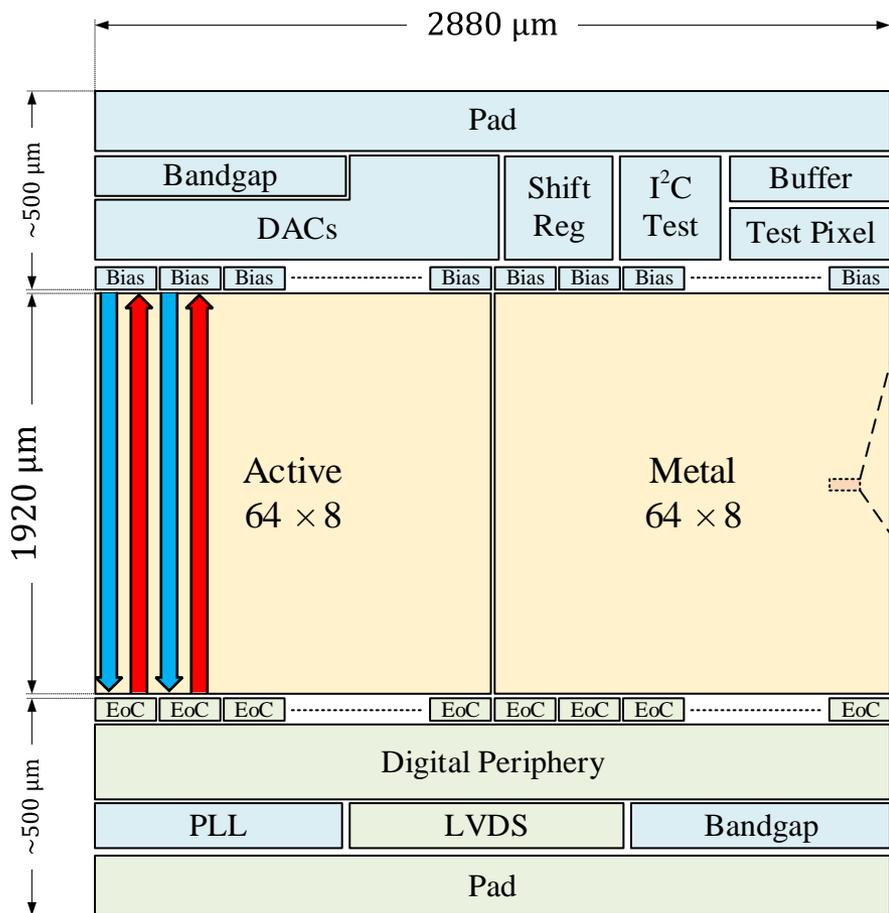


- ▶ 已完成芯片电路、版图设计
- ▶ 芯片总面积 $5.4 \text{ mm} \times 3.15 \text{ mm}$
- ▶ 预计2024 Q1流片

	Chip1	Chip2		Chip3		Chip4
Pixel size ($\mu\text{m} \times \mu\text{m}$)	28.1x30.1	96.4x59.6		170.0x31.0		Mixed
Sensor	A	E	C	D	B	A+B+C+D+E
Pixel array	16x30	8x12	8x12	60x8	60x7	Mixed
Readout	Column-drain	Column-drain		Column-drain		Analog readout
ToA & ToT	X	√		√		X
Chip area (mm^2)	1.5x1.4	2.5x1.6		2.8x3.1		1.2x1.4

FCIS-MAPS芯片结构

- 合肥晶合90nm FCIS工艺：低阻外延、3阱、4层金属

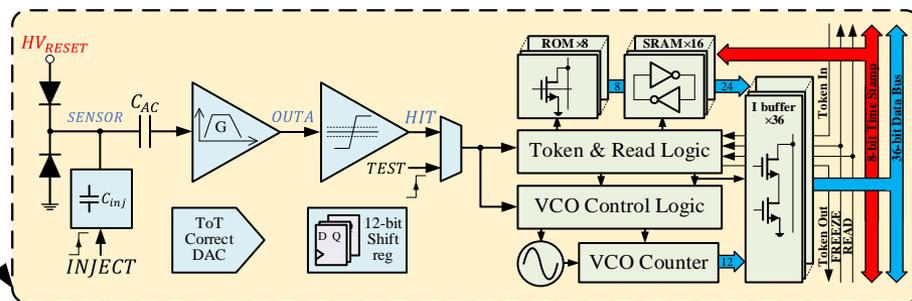


模拟电路

- ◇ 正高压+AC耦合
- ◇ 前放放电时间可调
- ◇ 甄别器阈值可调

数字电路

- ◇ ToA、ToT时间戳锁存
- ◇ Token读出
- ◇ 启停VCO控制与计数



外围电路

- ◇ Token读出控制电路
- ◇ 数据缓存、汇总、组帧
- ◇ 500 Mbps LVDS × 2

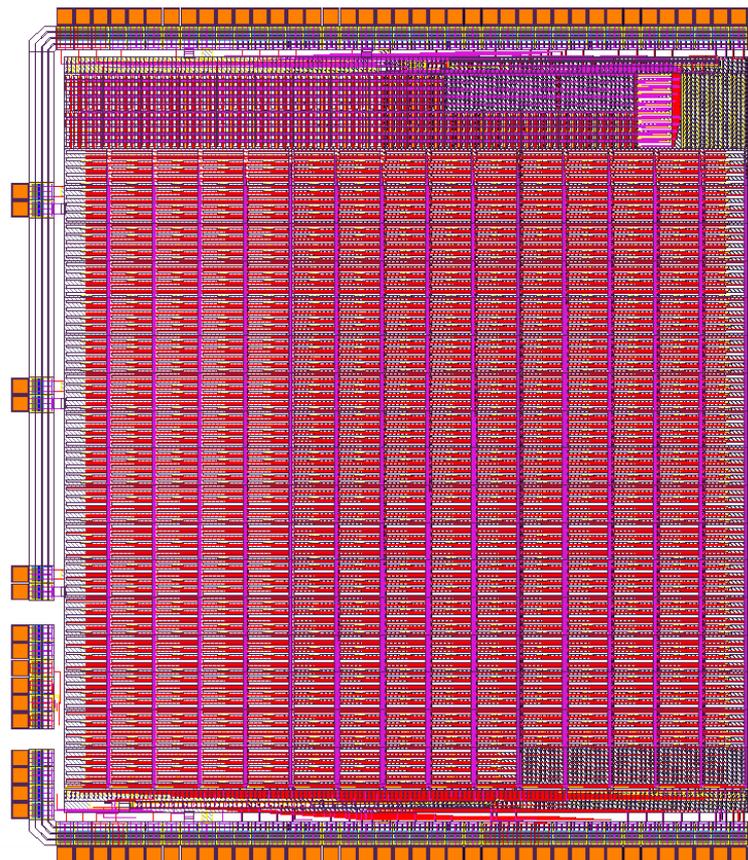
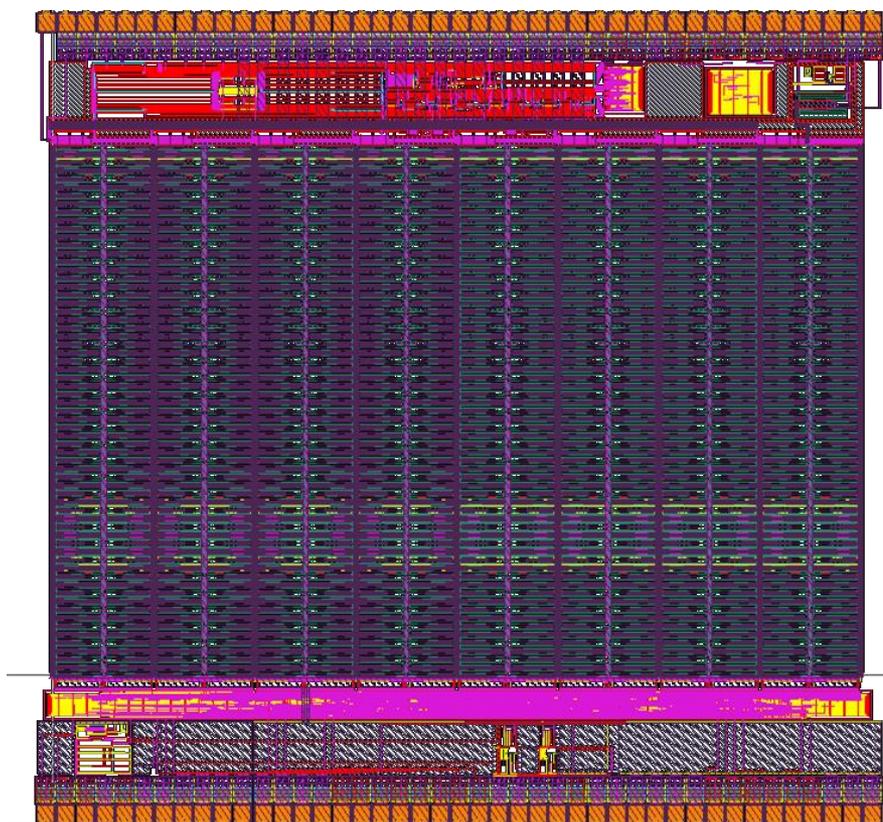
时间戳

- ◇ 8 bit 格雷码
- ◇ 20 MHz

FCIS-MAPS&3T芯片设计进展

- ▶ MAPS与3T芯片已基本完成
 - ◇ $3008\mu\text{m} \times 2937\mu\text{m}$ & $3432\mu\text{m} \times 2910\mu\text{m}$
 - ◇ 预期流片时间：2024 Q1

与山东大学合作设计

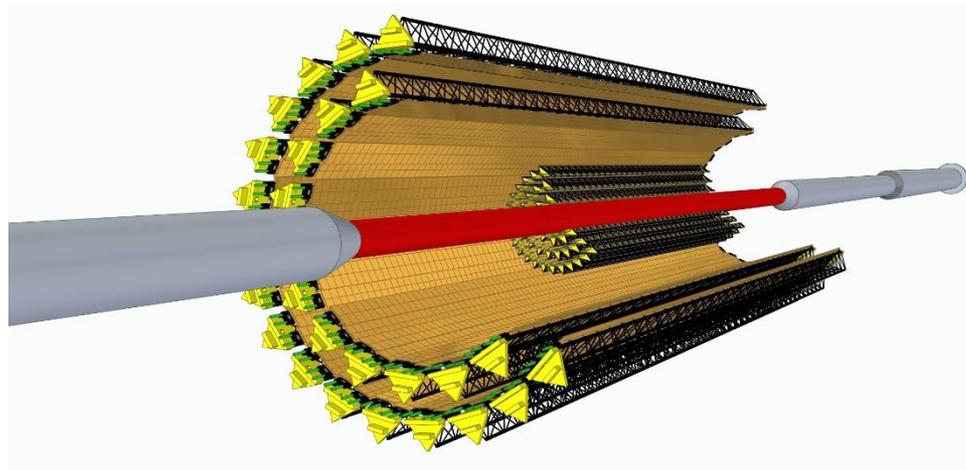


报告内容

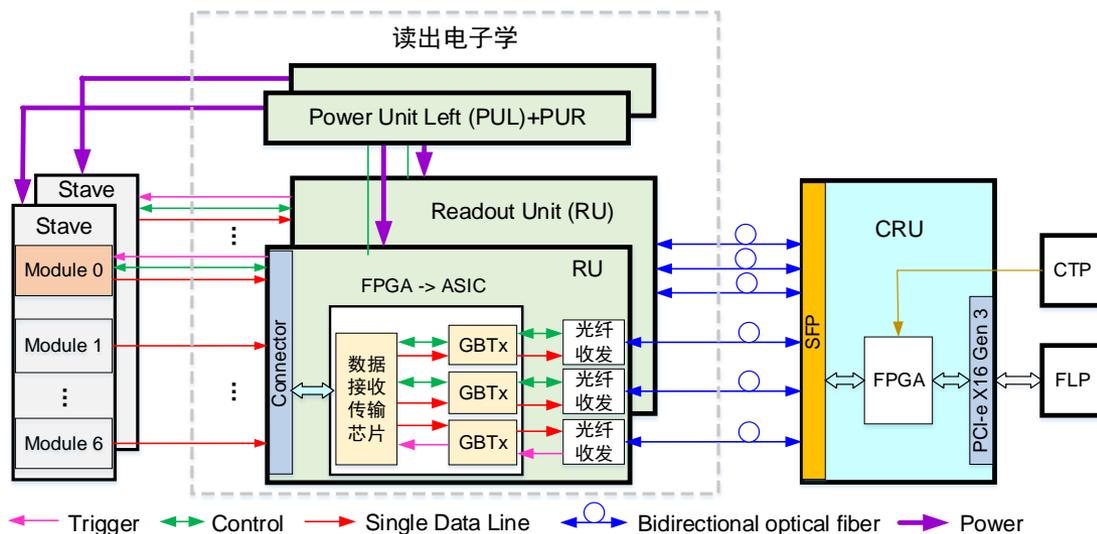
- ▶ 高精度时间测量ASIC
- ▶ 高精度电荷测量ASIC
- ▶ 波形数字化SCA ASIC
- ▶ MAPS硅像素读出ASIC
- ▶ **数据传输ASIC**
- ▶ 总结和展望

数据汇总与传输ASIC

- ▶ NICA MPD
- ▶ 内径迹探测器 (Inner Tracker)
 - ◇ 2 barrels (IB,OB)
 - ◇ 5 cylinder layers
- ▶ 外桶 (Outer Barrel)
 - ◇ MAPS ASIC based
 - ◇ 共42个模组 (Staves)



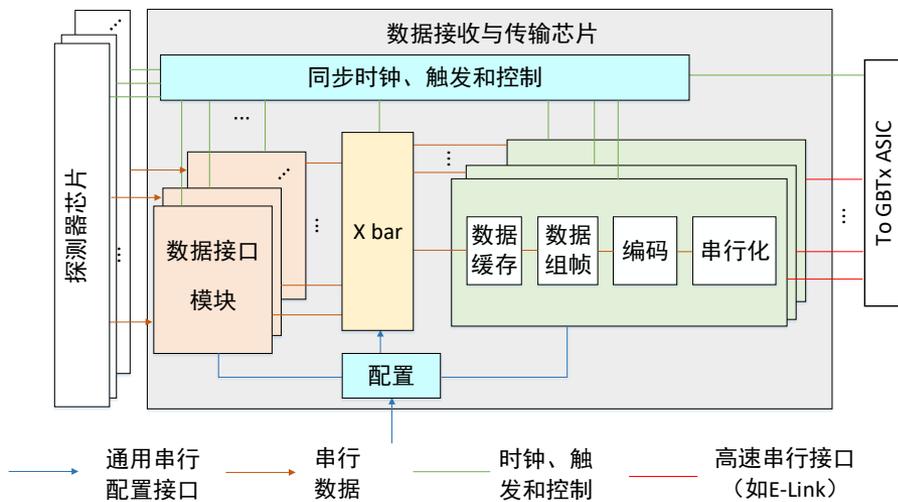
- ▶ 基于国产ASIC的读出电子学架构
 - ◇ 前端数据汇总与传输ASIC与后端光纤数据传输以及光信号驱动ASIC 一起构成完整的数据传输链路
 - NICA GBT系列芯片由华师研制
 - ◇ 降低系统复杂度并摆脱对FPGA的依赖



数据汇总与传输ASIC

▶ NICA_ROC ASIC设计

- ◇ 接收多片前端MAPS芯片的输出数据(串行400 Mbps)和状态信息
- ◇ 预处理、汇总、打包后上行到后端
- ◇ 接收控制、时钟和触发信号并转发给MAPS芯片



- 数据收发模块
- 数据流切换模块
- 数据汇总组帧模块
- 时钟/触发/控制模块
- 配置模块



数据汇总与读出控制原型ASIC

▶ V1 测试

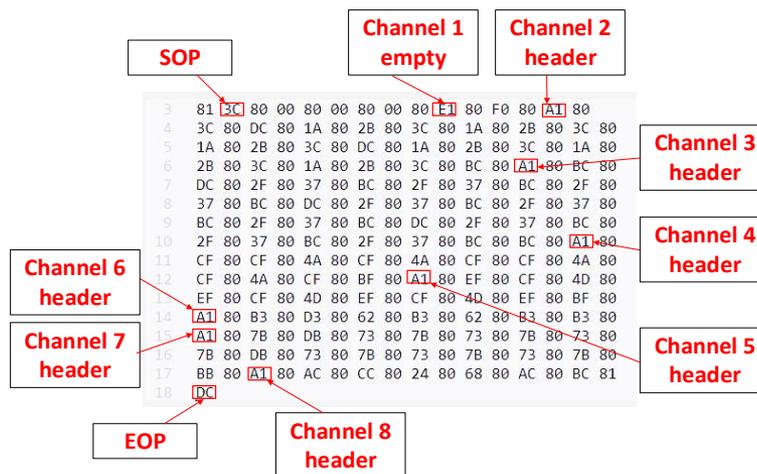
- 动态功耗: 0.702 W
- 最小处理时长: 0.49 μ s
- BER: $<10^{-12}$
- NICA_ROC可以正确解码GBT格式数据, 并为前端读出板上各模块芯片提供配置和全局命令, 测试遍历探测器的所有指令;
- NICA_ROC能正确解码触发信息, 产生有效触发信号;
- NICA_ROC可以实现不同的数据汇总模式



控制指令测试



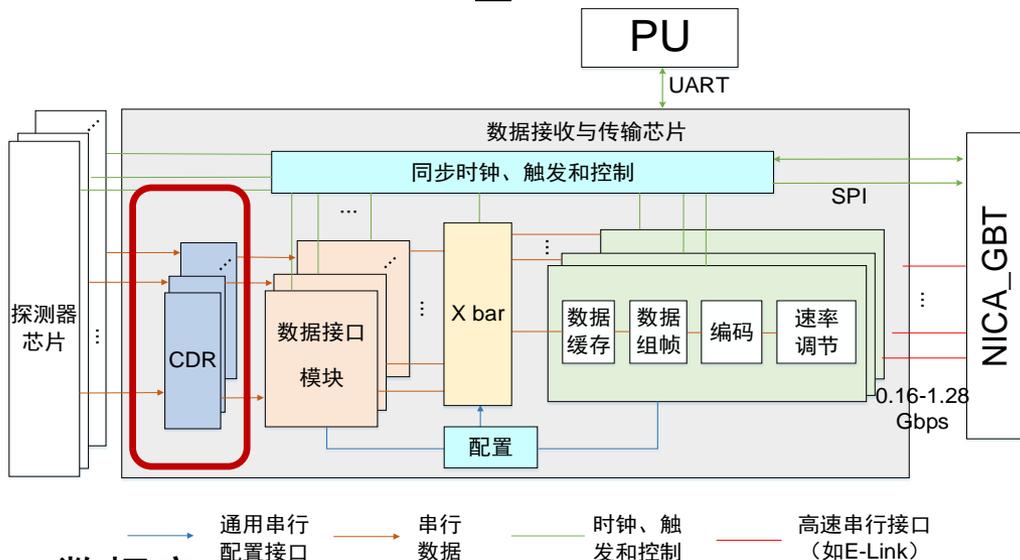
触发信息测试



数据汇总模式测试

数据汇总与读出控制原型ASIC

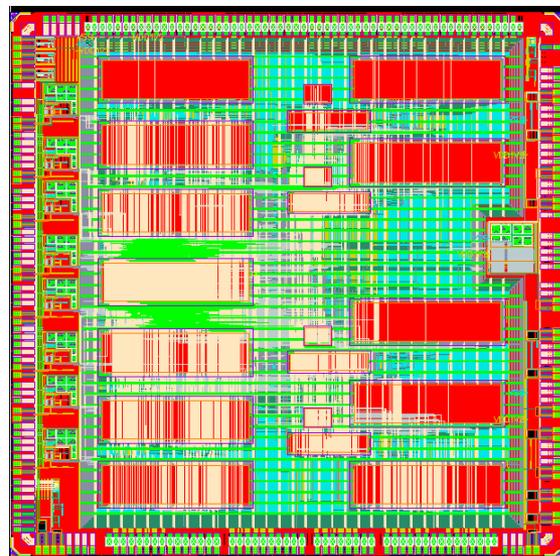
原型验证芯片_V2框图



数据率:

- 8路串行输入
 - ✓ 400Mbps -1.2Gbps
- 4路串行输出 (数据率可配置)
 - ✓ 160Mbps-1.28Gbps
- 片内集成宽范围自适应数据时钟恢复(CDR)

原理样片_V1版图



流片中

- 片内集成锁相环(PLL)电路
 - ✓ 为探测器芯片提供稳定时钟
- I²C、UART、SPI等多种控制接口
 - ✓ NICA_GBT和PU板的控制信息分发和监控信息上传

总结与展望

针对粒子物理实验读出电子学的需求，开展了系列ASIC研究

- ◇ 高精度时间测量ASIC：放大甄别ASIC、TDC ASIC
- ◇ 高精度电荷测量ASIC：不同量程，片内数字化
- ◇ 波形采样SCA ASIC：高精度时间测量
- ◇ MAPS像素探测器读出：面向STCF ITK应用需求
- ◇ 数据传输ASIC：ROC ASIC



更高精度、更高集成度、更低功耗、更多功能集成…

谢 谢！