



用于中微子实验的低温ASIC研制进展

—适用于 $0\nu\beta\beta$ 的nEXO实验

报告人：吴文欢

辐射探测微电子学术年会

高能所实验物理中心

2017/10/12

主要内容



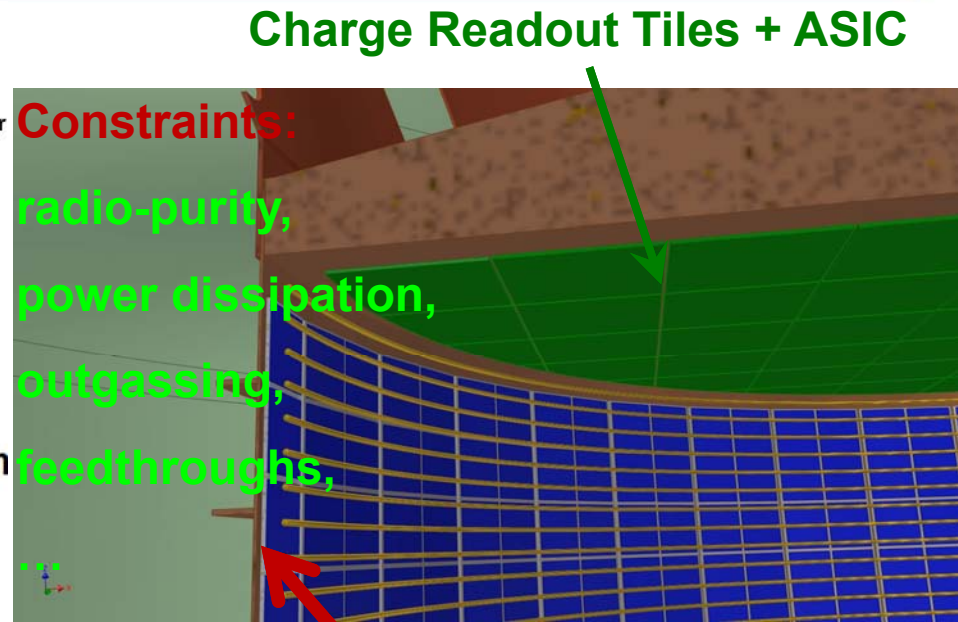
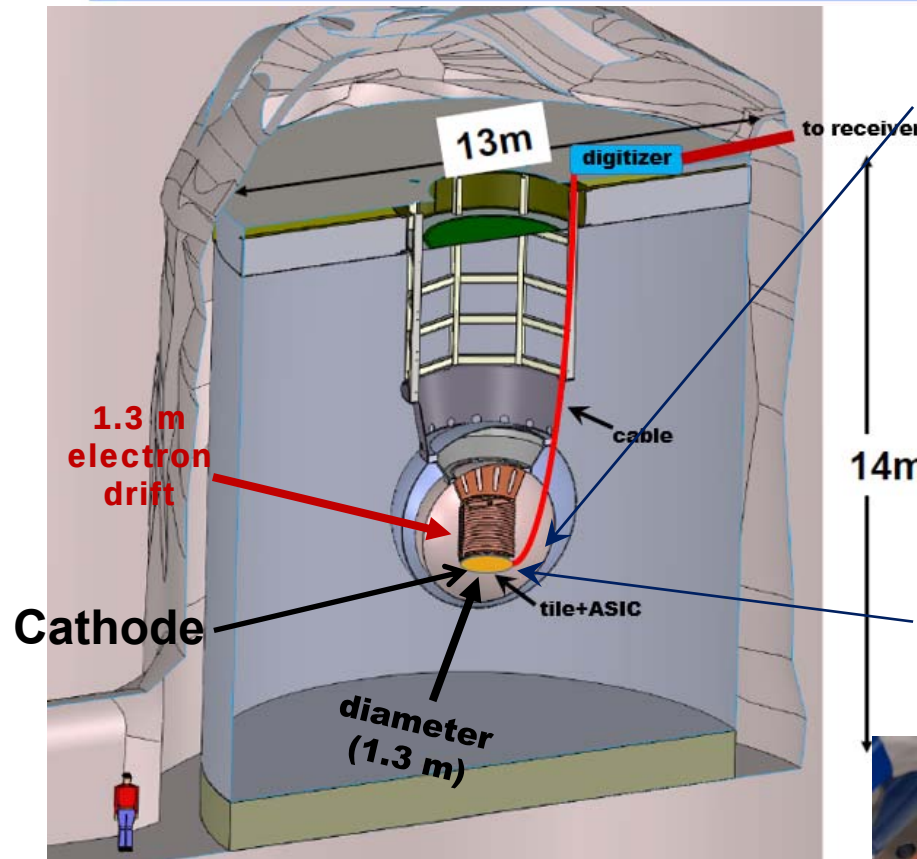
- 实验背景介绍
- 探测器对前端芯片主要需求
- 前端芯片方案
 - 数字读出
 - 模拟串行读出
- 测试结果
 - ASIC
 - ASIC+tile
- 小结及计划

nEXO实验背景介绍

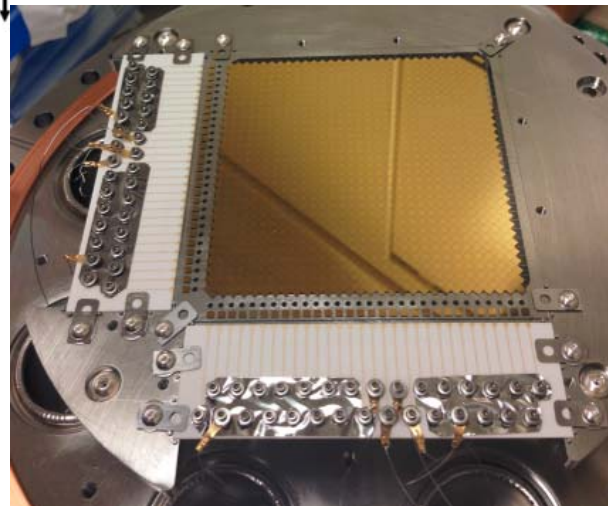


- 中微子物理前沿研究三个基本问题
 - 中微子是否为Majorana粒子、绝对质量 ← EXO, 是目前国际上本底最低、灵敏度最高的无中微子双beta衰变实验($0\nu\beta\beta$)
 - 中微子质量等级 ← JUNO
 - CP破坏 ← “大亚湾三期”
- 实验目的：寻找 ^{136}Xe 的无中微子双 β 衰变过程，为EXO-200实验升级项目
- 液氙TPC，金属条读出阵列(石英基底镀上金属条tile)
- 前端电子学要求：低温(160K)、低噪声、低本底

nEXO TPC 概念设计



Silicon Photomultipliers (SiPMs) + ASIC



- ~ 5 tonne LXe TPC, 4.7 tonnes of active $^{\text{enr}}\text{Xe}$ (90% or higher)
- $< 1.0\%$ (σ/E) energy resolution

对前端电子学的主要需求



- 等效输入噪声 $< 200e^- @ 20pF, 160K$
- 探测器电容 $< 20pF$
- 输出电荷范围 : $2 \times 10^3 e^- \sim 4 \times 10^5 e^-$
- 事例率 $< 1Hz$
- 时间分辨 : $200ns$ (ADC : $2Msps$)
- 信号极性 : 负
- 低温、低噪声、低本底

前端读出芯片方案



- **方案1：数字读出**
 - ✓ 电荷前放+成形+模数转换（低温）
 - ✓ 并/串行读出
 - ✓ 优点：传统结构，数字输出
 - ✓ 不足：功耗高，数据量大
- **方案2：模拟串行读出**
 - ✓ 电荷前放+成形+采样/保持+串行输出（低温）
 - ✓ 多路共用1路ADC（室温）
 - ✓ 优点：功耗低，低温与室温环境间的电缆数最少，本底低
 - ✓ 不足：模拟读出，需驱动长电缆

前端读出芯片方案



- **方案1：数字读出**

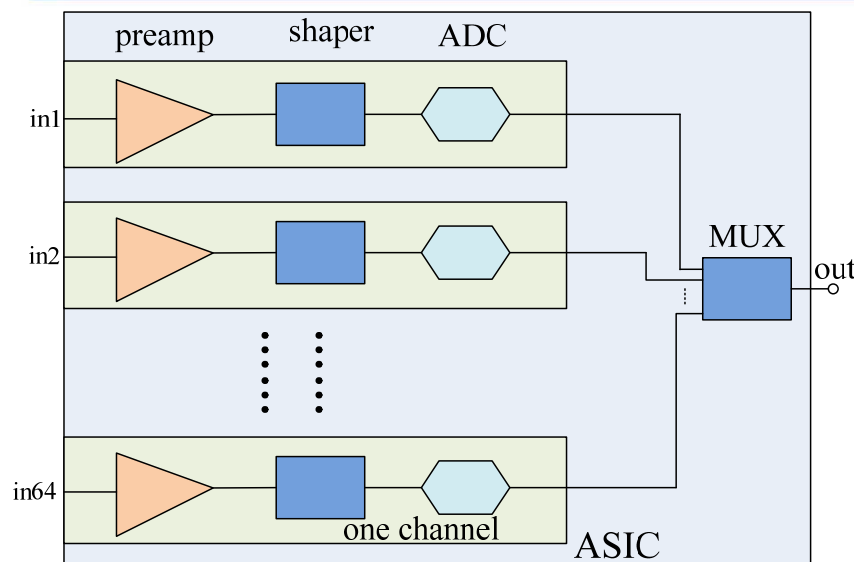
- ✓ 电荷前放+成形+模数转换（低温）
- ✓ 并/串行读出
- ✓ 优点：传统结构，数字输出
- ✓ 不足：功耗高，数据量大

- **方案2：模拟串行读出**

- ✓ 电荷前放+成形+采样/保持+串行输出（低温）
- ✓ 多路共用1路ADC（室温）
- ✓ 优点：功耗低，低温与室温环境间的电缆数最少，本底低
- ✓ 不足：模拟读出，需驱动长电缆

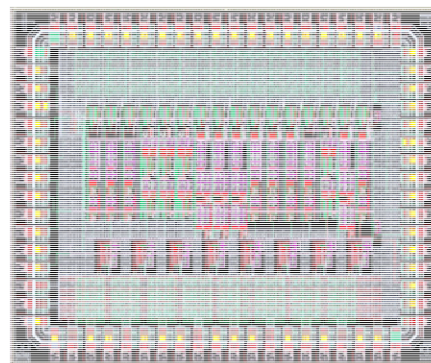
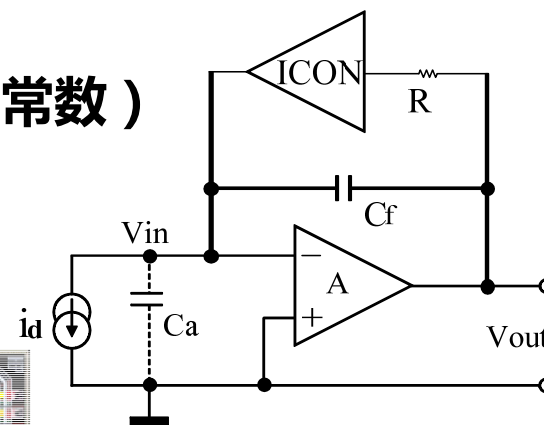


数字读出一方案1

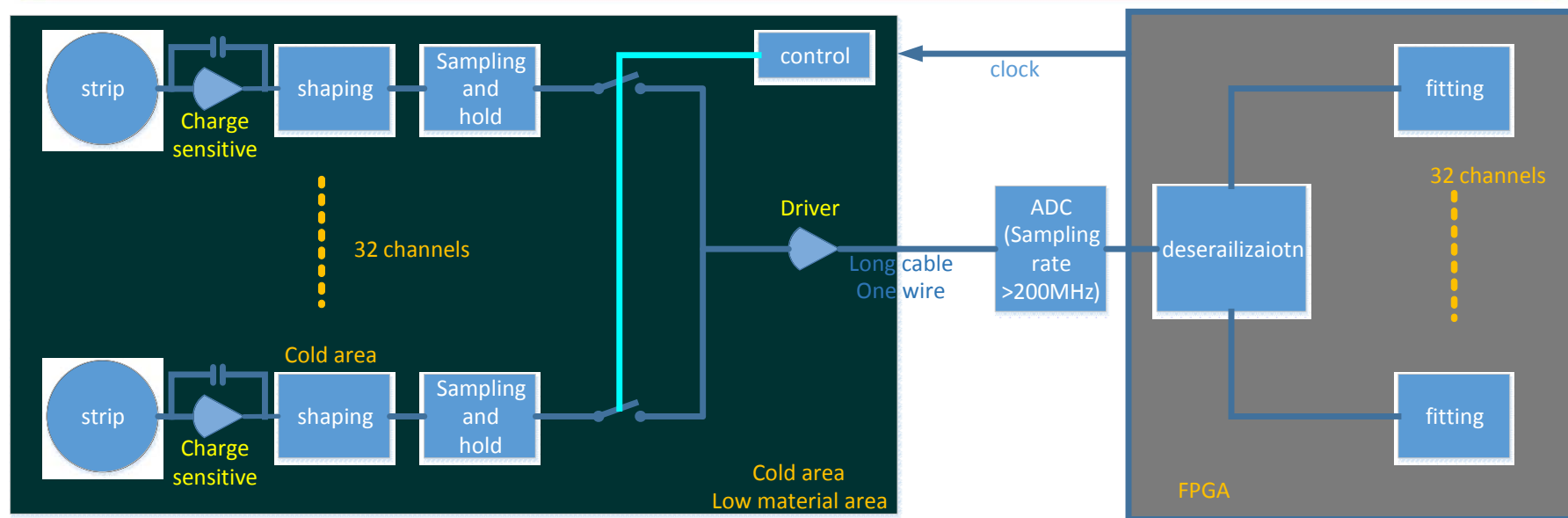


- 电荷前放+成形+模数转换（低温）
- 分两步实现：
 - 分别设计前放电路和ADC电路
 - 整合两部分，得到最终芯片

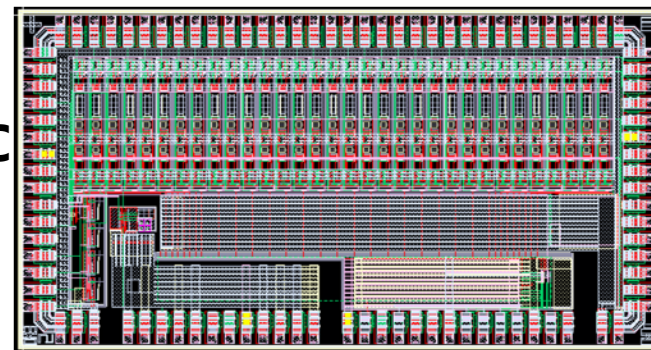
- 噪声优化（优化前放尤其是输入管面积及成形时间常数）
- 时间常数
 - pre-amp: $\sim 200\mu\text{s}$
 - shaper: $2\mu\text{s}/4\mu\text{s}$ adjustable
 - CR-RC2优化
- 第一版16通道



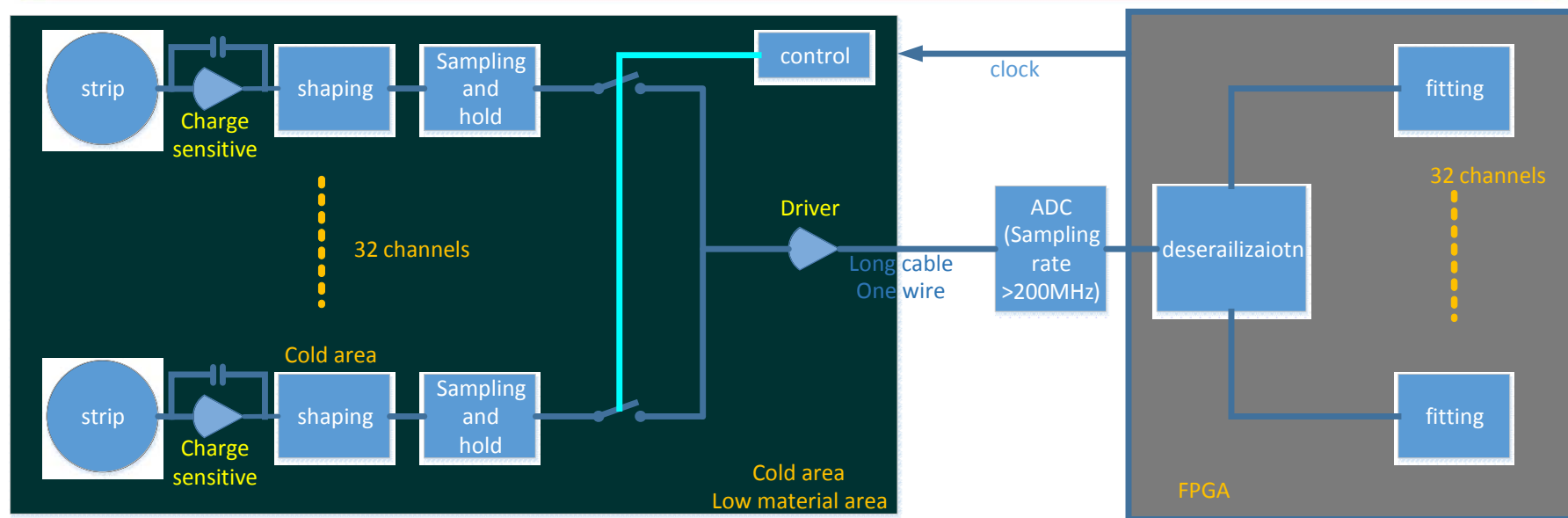
模拟串行读出



- **基本结构**：模拟32通道(V1)+采样保持+模拟串行读出
- **主要优势**：**仅一个输出管脚**，整体芯片共**5个电缆**(1clk+3power+1output)连接常温及低温环境，极大减小了**本底**；且ADC置于室温下，简化了芯片结构、减小**噪声**，**功耗**及**串扰**
- **性能**：**单通道采样率2M**， $INL < 1\%$ ， $0.32fC \sim 64fC$



模拟串行读出



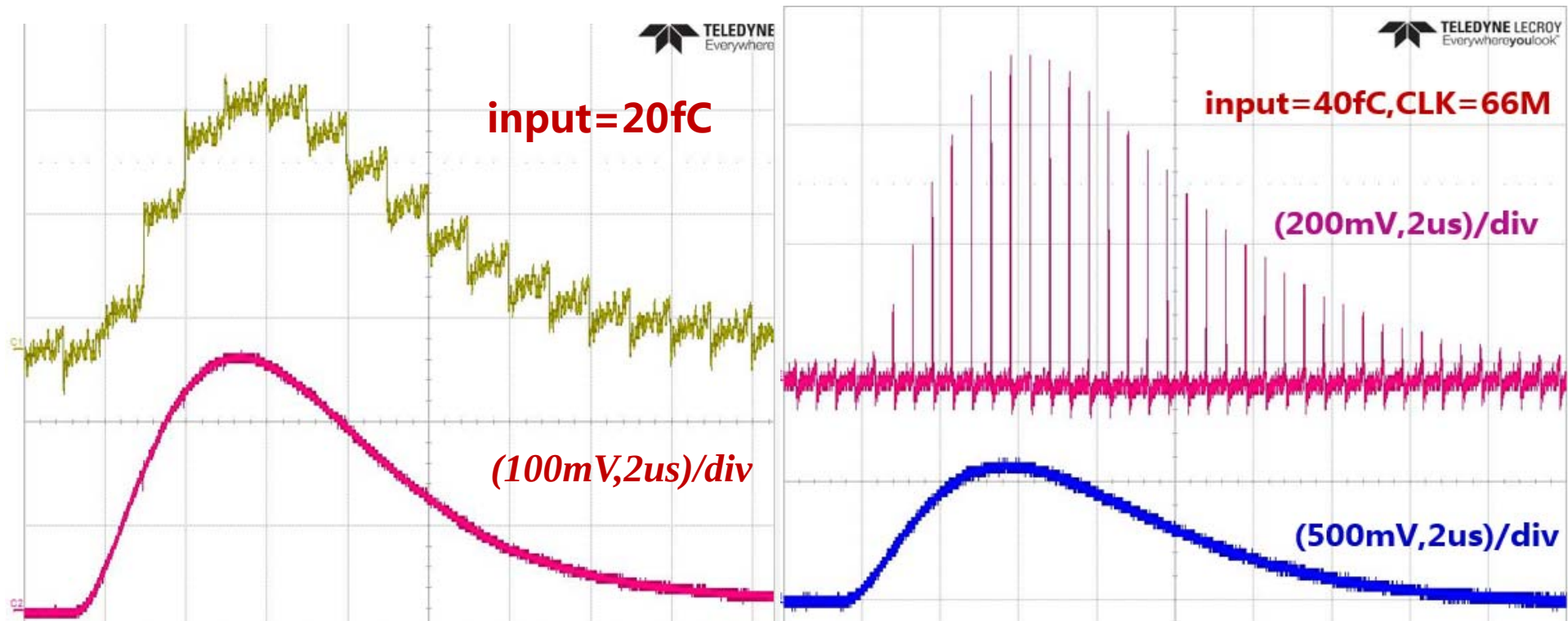
- **基本结构**：模拟32通道(V1)+采样保持+模拟串行读出
- **主要优势**：**仅一个输出管脚**，整体芯片共**5个电缆**(1clk+3power+1output)连接常温及低温环境，极大减小了**本底**；且ADC置于室温下，简化了芯片结构、减小**噪声**，**功耗**及**串扰**
- **性能**：**单通道采样率2M**， $INL < 1\%$ ， $0.32fC \sim 64fC$

实验要求极低本底，在低温中尽可能少的连线可以有效降低物质的量，进而降低本底

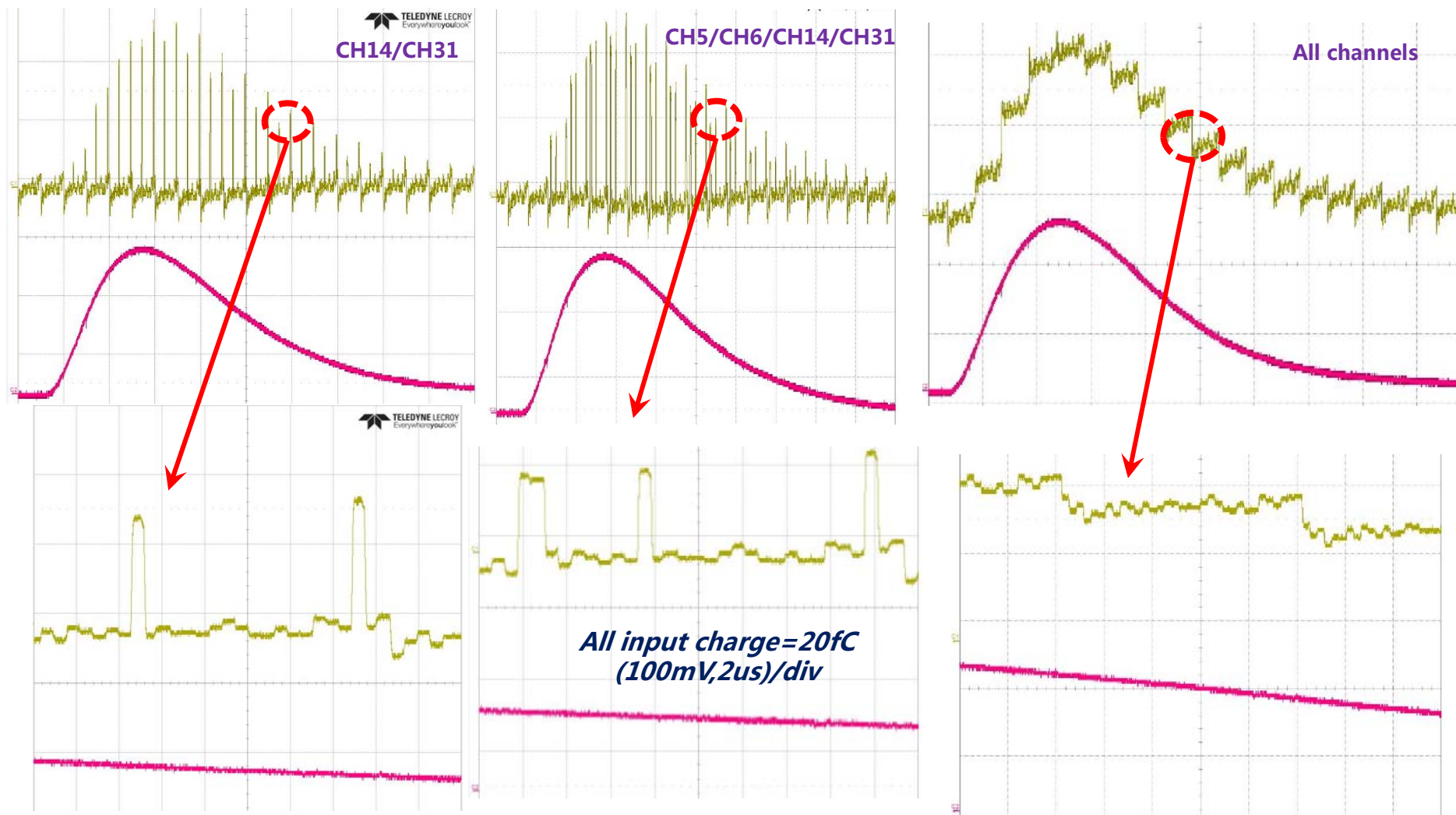
模拟串行功能测试



- 芯片静态工作点与仿真值偏差在工艺所引起误差范围之内
- CH31通道输入40fC时，模拟采样及第31通道成形电路输出如图
- 采样时钟66M(单通道采样频率2M)
- 成形电路、模拟采样及单通道串行输出结果正常



模拟串行测试结果

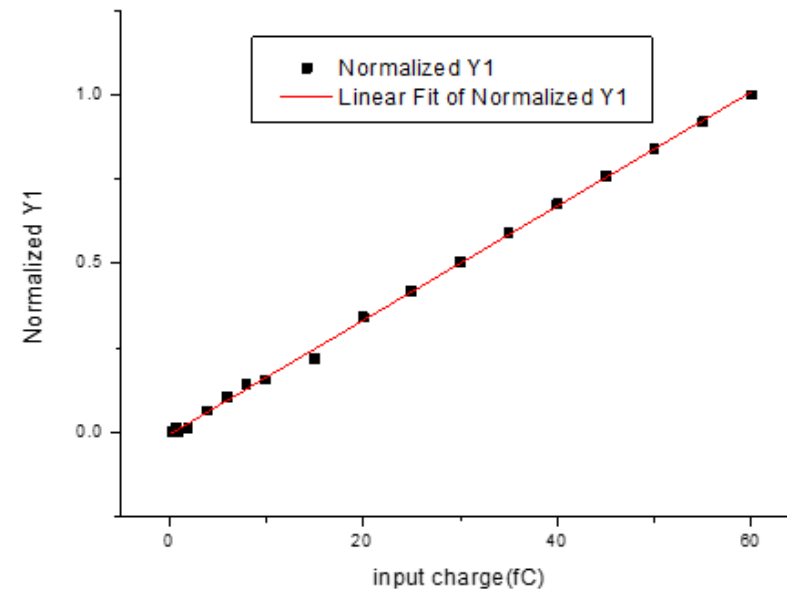
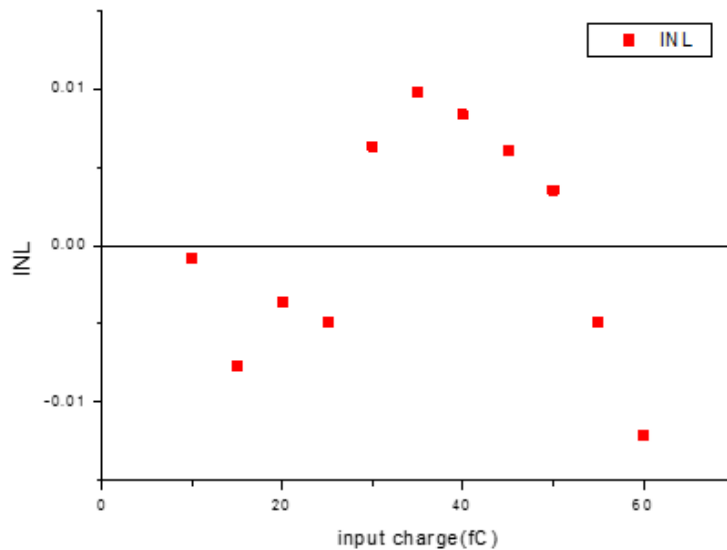
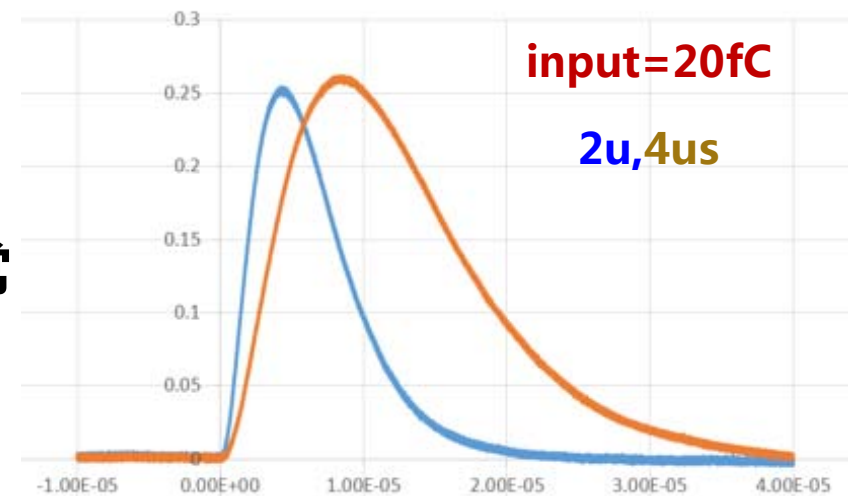


芯片功能正常、采样频率达到设计值

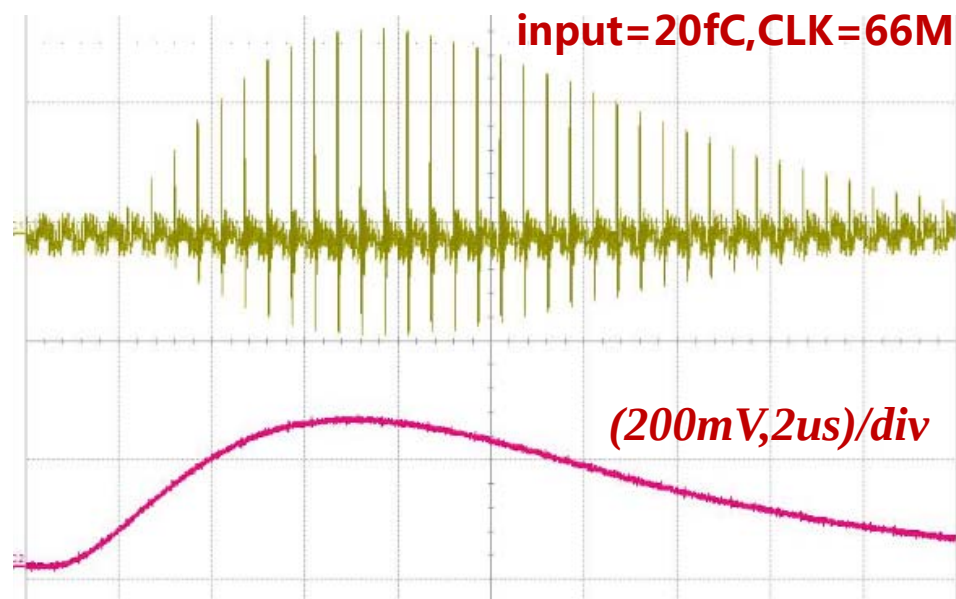
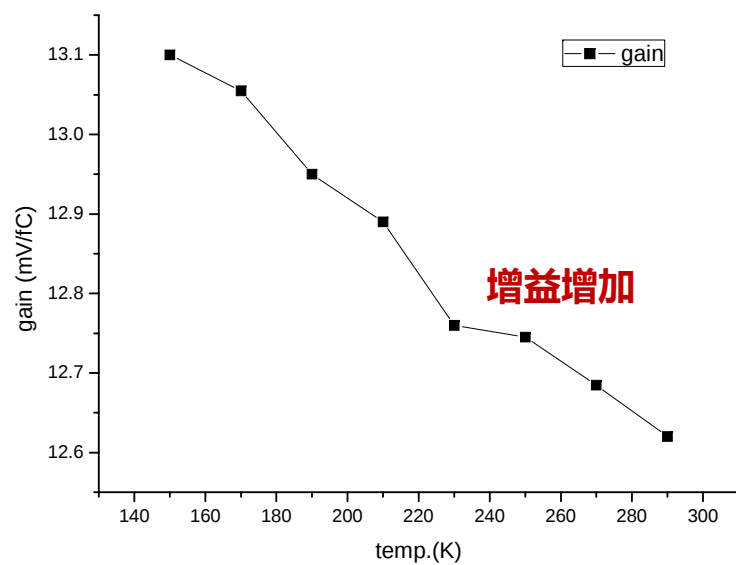
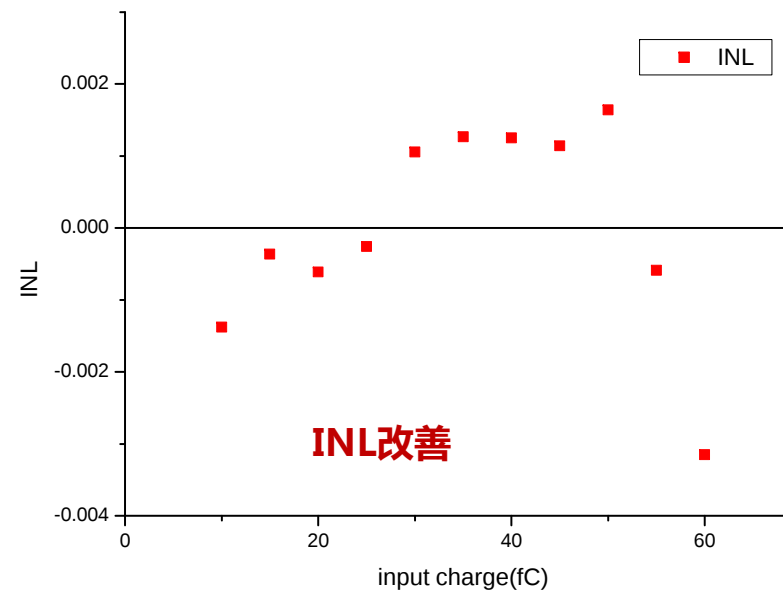
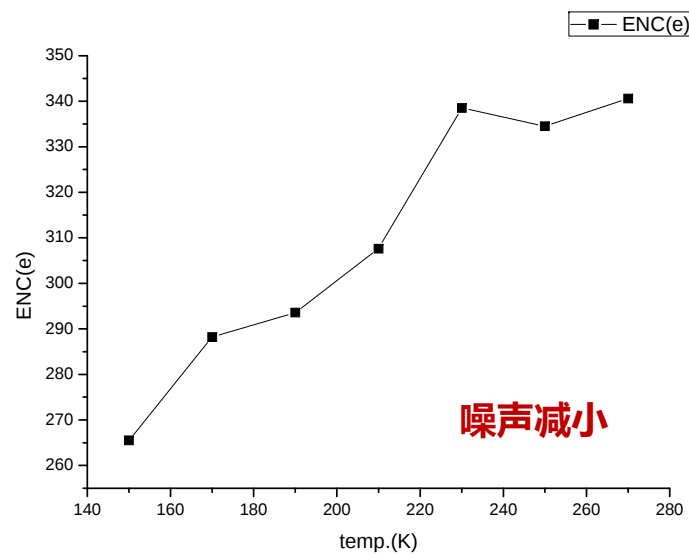
芯片测试(室温)



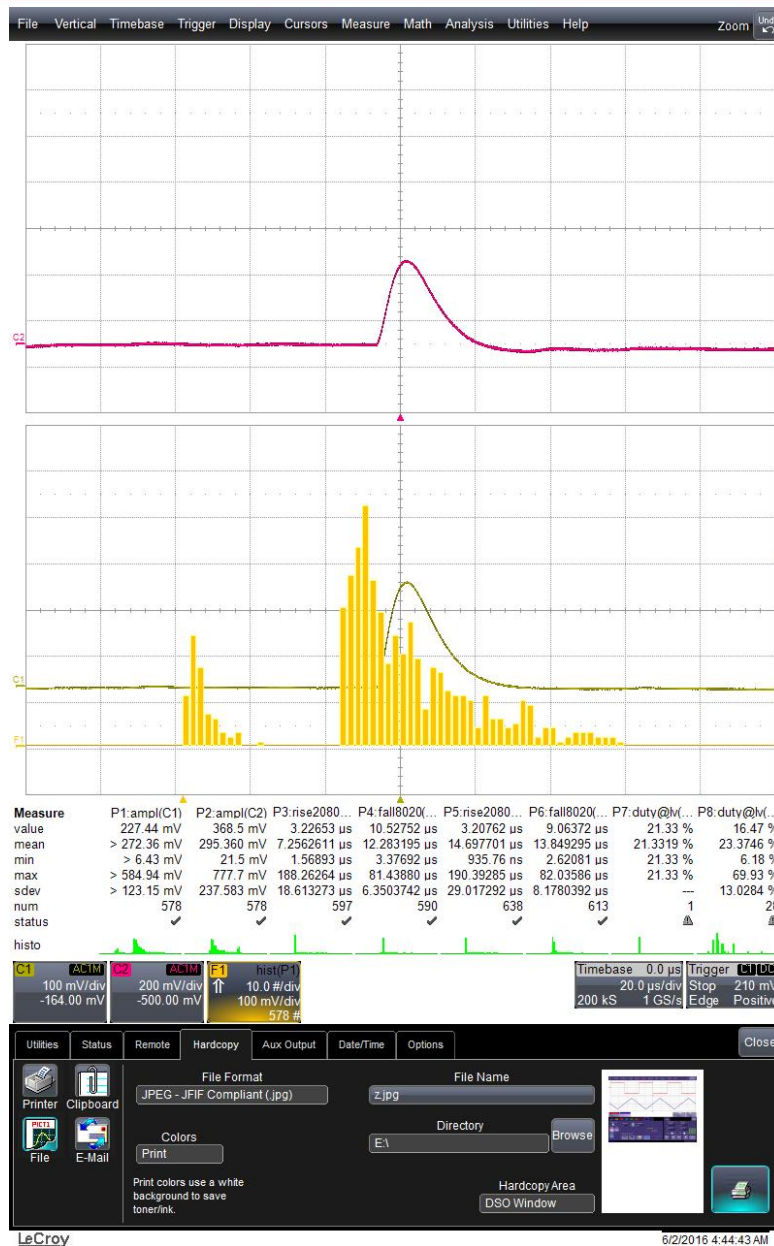
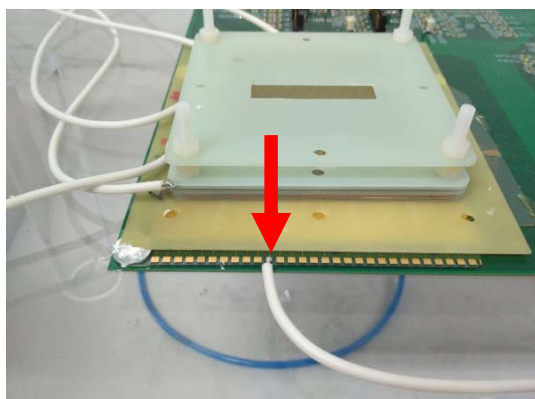
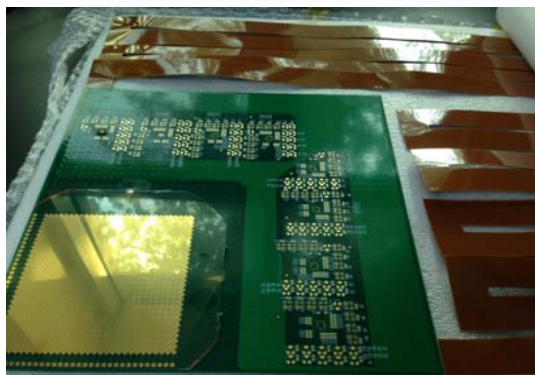
- 稳定增益值约为**12.8mV/fC**
- $INL < 1.2\%$ @10fC~60fC
- 成形时间2us/4us可调，测试正常
- $ENC < 340.6e^-$ @**Room Temp.**



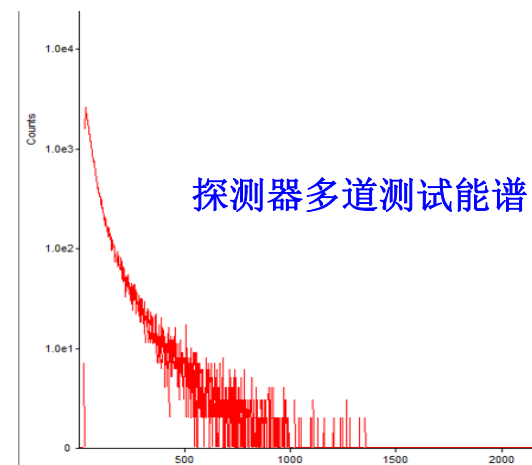
芯片测试(低温)



与tile联调(刚柔结合板)



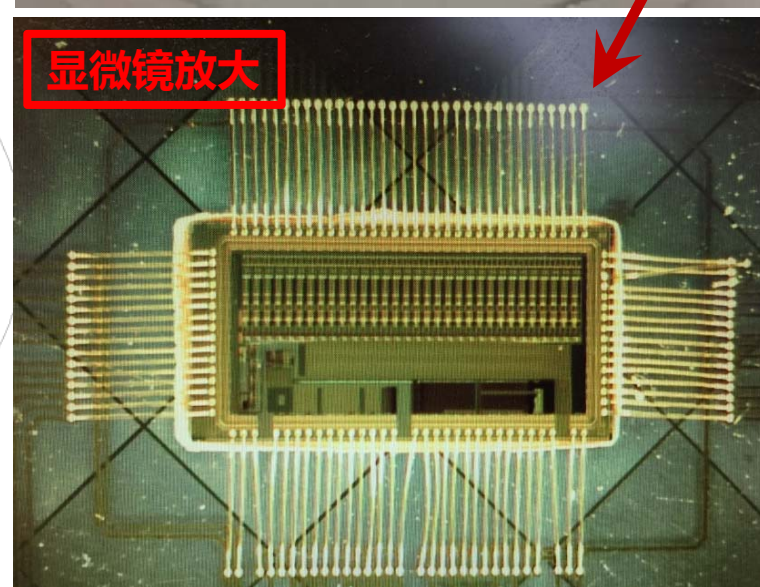
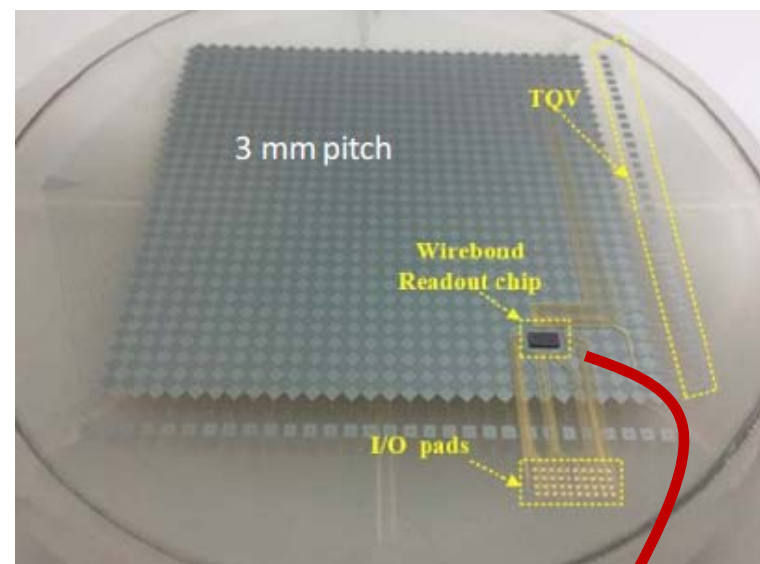
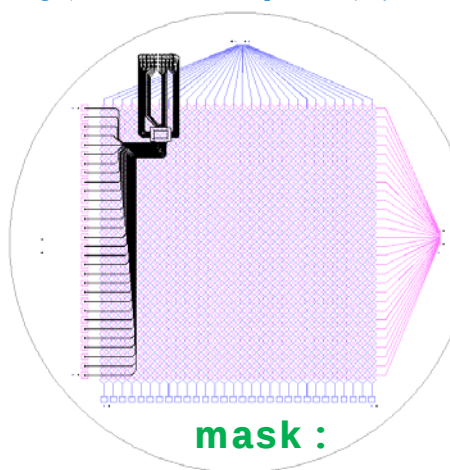
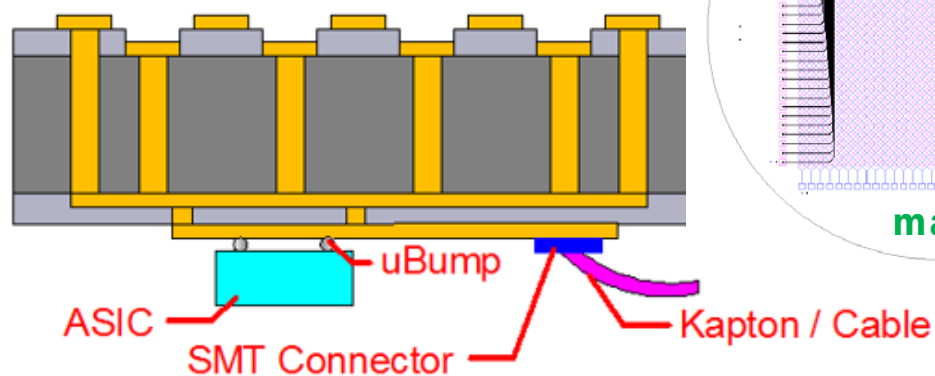
- 放射源： ^{90}Sr
- 探测器：双层THGEM
- 计数率约百KHz
- 约2m柔性板信号读出
- 随机选取芯片两通道输出
- 波形正常，与放射源能谱基本吻合，正常工作



ASIC+tile集成



- 初版3-D tile供测试，目前已制备完成
- ASIC不是最终版，所以mask会修改（包括管脚数、位置、面积等）
- 测试板的布局布线仅为bonding及功能测试
- 并未过多考虑噪声、串扰及其他非理想因素
- bump-bonding等其他方式仍在考虑，取决于后续工艺/电缆等研究



小结及近一年内计划



- 芯片测试结果表明，低温测试功能正常，采样频率达到设计值，噪声有一定的优化空间
- 芯片和电荷读出模块的联调结果正常
- 接下来对芯片改版，进一步优化噪声，提高时钟性能，增加通道数等改进
- 进一步联调、完成芯片与读出tile的集成
- 力争完成整体读出的原型系统
 - 1GHz , 10bit
 - 低温TPC原型（能谱测量）

谢谢各位老师、同学