

辐射探测中的像素探测器 国内外研究与发展动态

魏 微

核探测与核电子学国家重点实验室
中国科学院高能物理研究所

2017-10-12

像素探测器国内外发展动态

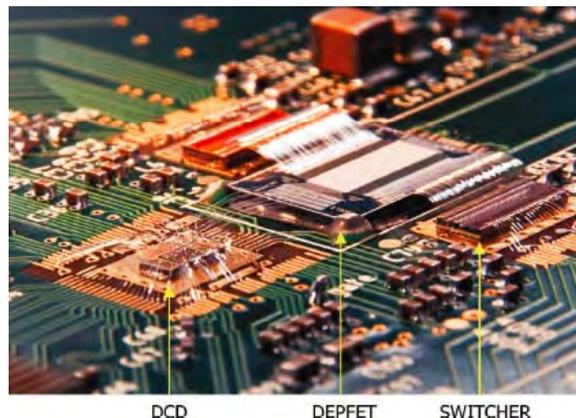
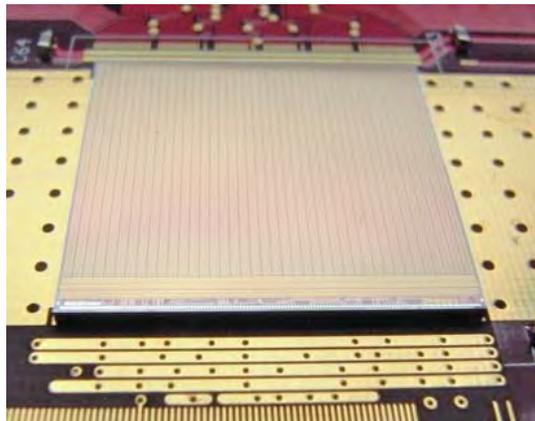


- 历史与背景
- 研究热点
 - 混合型像素探测器
 - 单片型像素探测器
- 应用热点
 - 高能物理
 - 成像探测
 - 同步辐射
- 国内研究热点

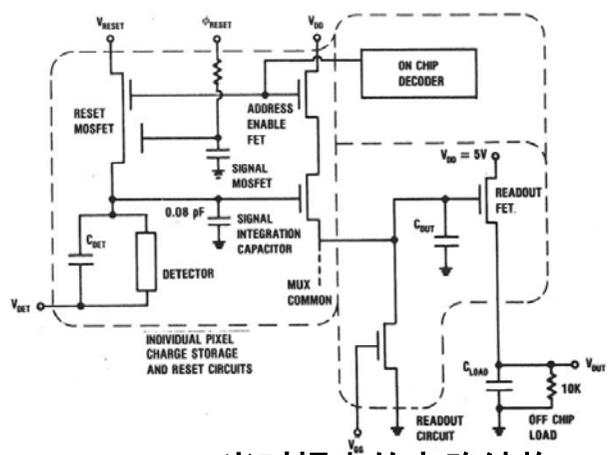
像素探测器- 概述



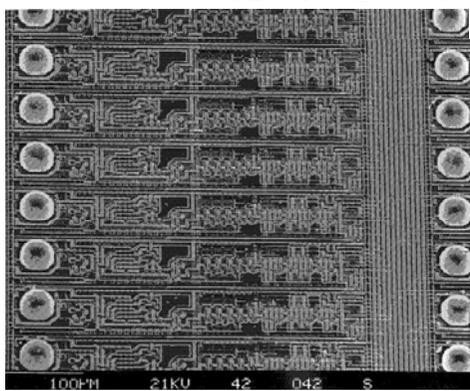
- Pixel = **P**icture + **E**lement
 - 像素：图像处理中的最小可分辨元素
 - 像素探测器：可探测图像的器件，像素尺寸代表了图像粒度
- 常见像素探测器：(数字)相机
 - 其他典型的像素探测器：CCD、红外器件.....
 - 随着探测器粒度不断减小，通道数不断增加，先进探测器都有朝“像素型”发展的趋势
 - 只讨论传统意义上的辐射探测领域像素探测器
 - 像素尺寸：百微米；通道数：几百 Chn/Chip
 - 探测器/电路都是以像素阵列形式组织的



早期的像素探测器

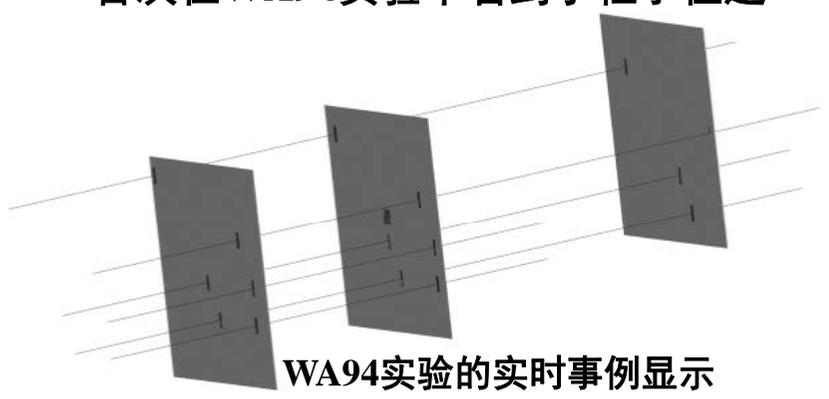


Gaalema当时提出的电路结构



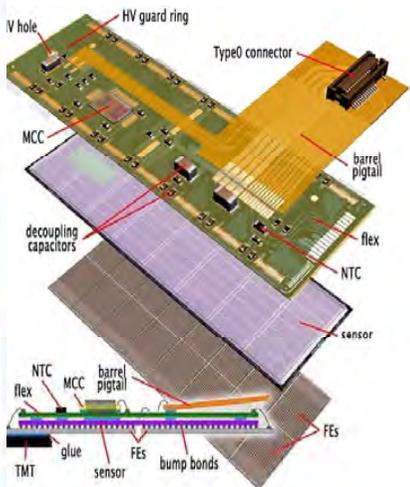
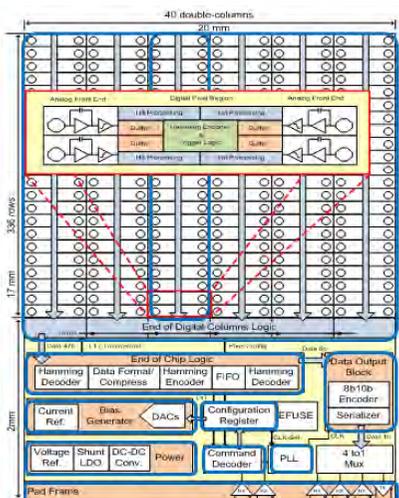
OmegaD in 1992 for WA94实验

- 像素探测器概念的提出：
 - S. Gaalema@1984 IEEE NSS提出：“Hughes Aircraft Co为焦平面传感器开发的电路可以通过倒装焊的方式与半导体二极管阵列连接，从而探测和定位X光”
- 1990s, LHC/SSC开始了像素探测器的实际应用研究：RD-19, >50 projects
 - 优先考虑了确定目标的实验：重离子对撞实验
- 第一个像素探测器：OmegaD
 - 16 cols x 64 rows (1024像素), $75 \times 500 \mu\text{m}^2$
 - CMOS $3 \mu\text{m}$ 工艺, 锡球倒装焊
 - 前放+甄别器+数字延迟线for触发
 - 首次在WA94实验中看到了粒子径迹

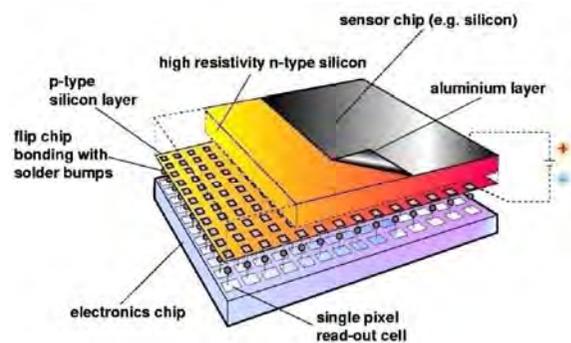
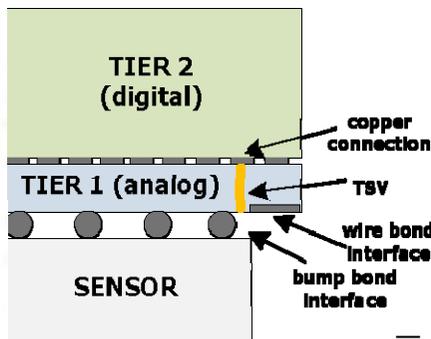
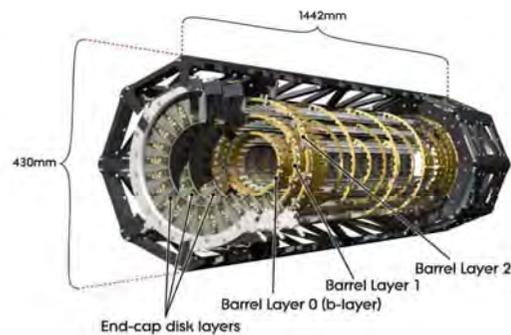


WA94实验的实时事例显示

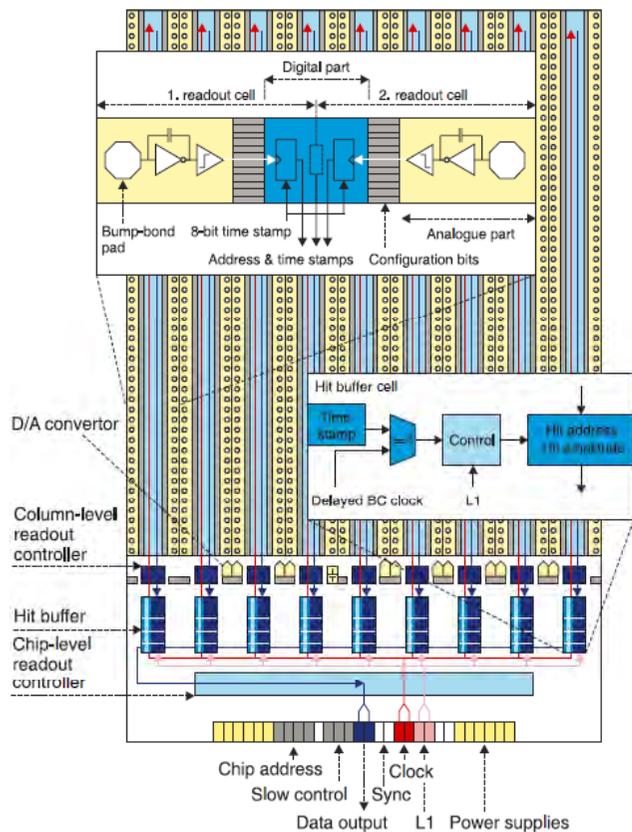
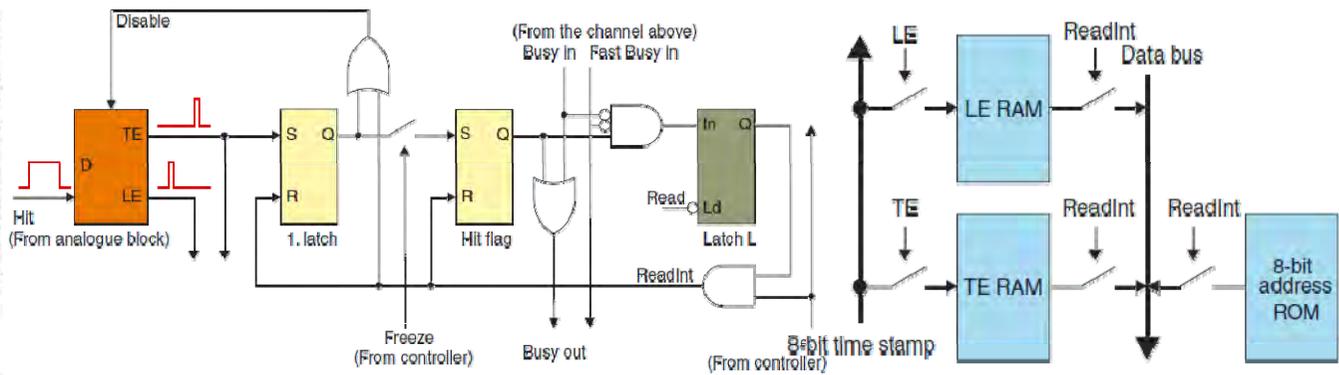
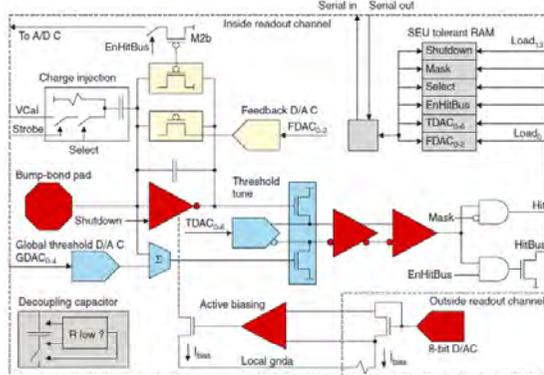
现代像素探测器



- 最初源自粒子物理实验需求，在医学、生物等领域得到了广泛应用
- 特点：快速成像+精确辐射探测
- 现代辐射探测像素探测器：
 - 分辨率高——像素尺寸小
 - $55 \times 55 \mu\text{m}^2$ (TIMEPIX)
 - 集成度高
 - 单片阵列规模大：336row x 80col (FE-I4)
 - 像素单元预处理功能强
 - 探测模块密集集成：
 - Sensor + ASIC + PCB + Cable
 - (芯片) 覆盖面积大
 - $\sim 10\text{m}^2$ (ATLAS Pixel)
 - 抗辐照能力强
 - $\sim 400\text{Mrad}$ (FE-I4)
 - 涉及先进技术、工艺多
 - 倒装焊、3D集成、65/130nm、工程批 + Wafer Probe、Stiching

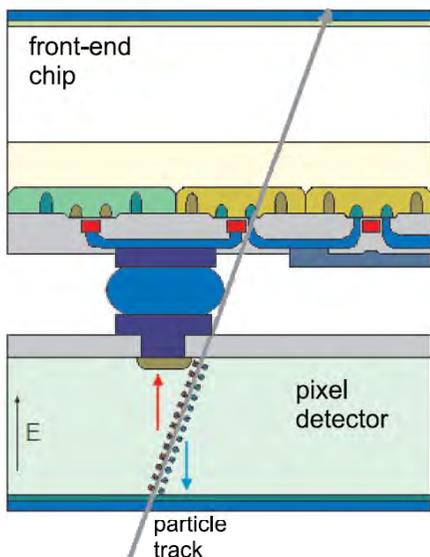


State of the art ATLAS Pixel

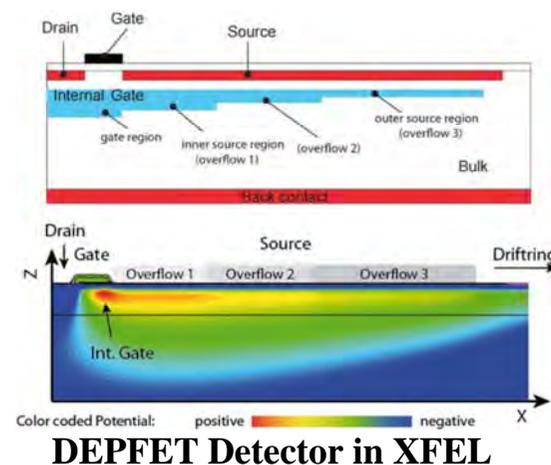
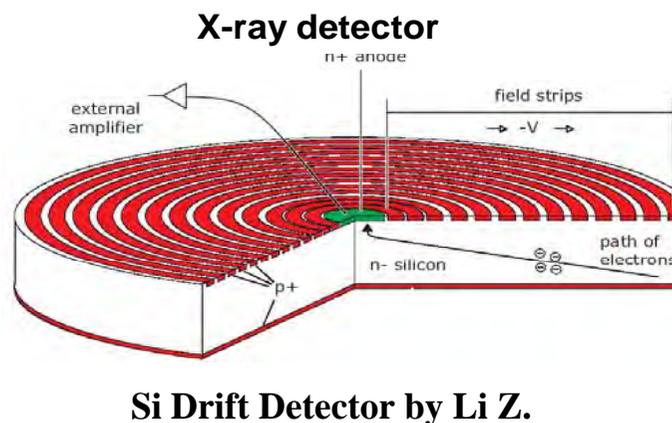
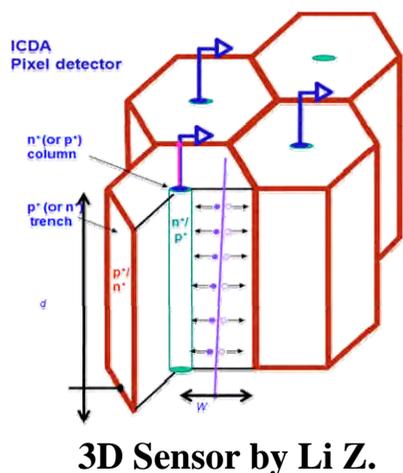


- **像素单元:**
 - 50x400 μm^2 /2880Px (FEI3) ; 50x250 μm^2 /26880Px (FEI4)
 - > 100M晶体管
- **芯片功能:**
 - 电荷灵敏-甄别-Hit产生
 - TOT变换+地址码-优先级读出
 - 事例缓存-触发判选
 - 8b/10b读出@160Mbps、外围模块
- **芯片性能:**
 - 像素平均触发率: 50kHz/Px (400MHz/cm²)
 - 抗辐照: > 200Mrad(Si)
 - 噪声: ~120e⁻; 阈值不一致性: 300e before 5bit tuning

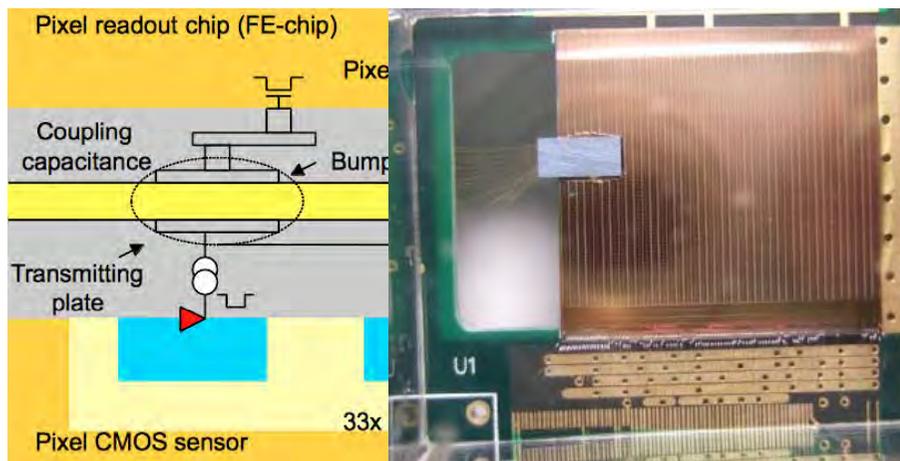
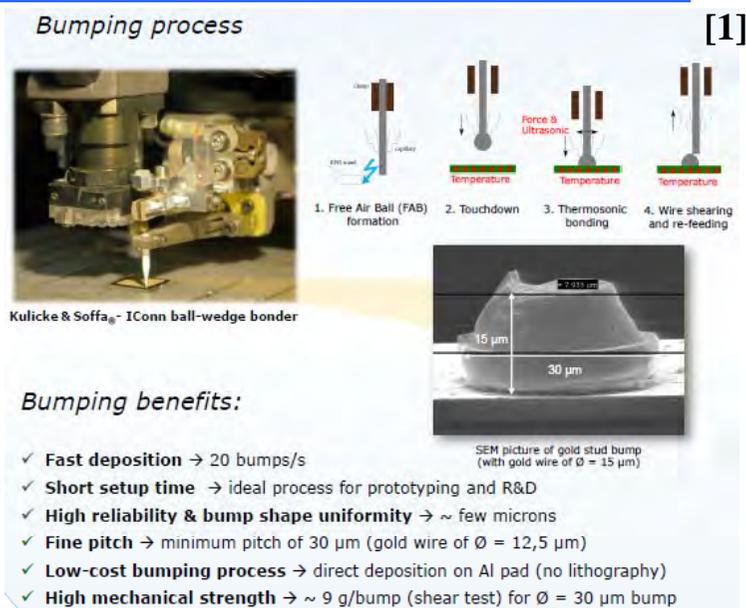
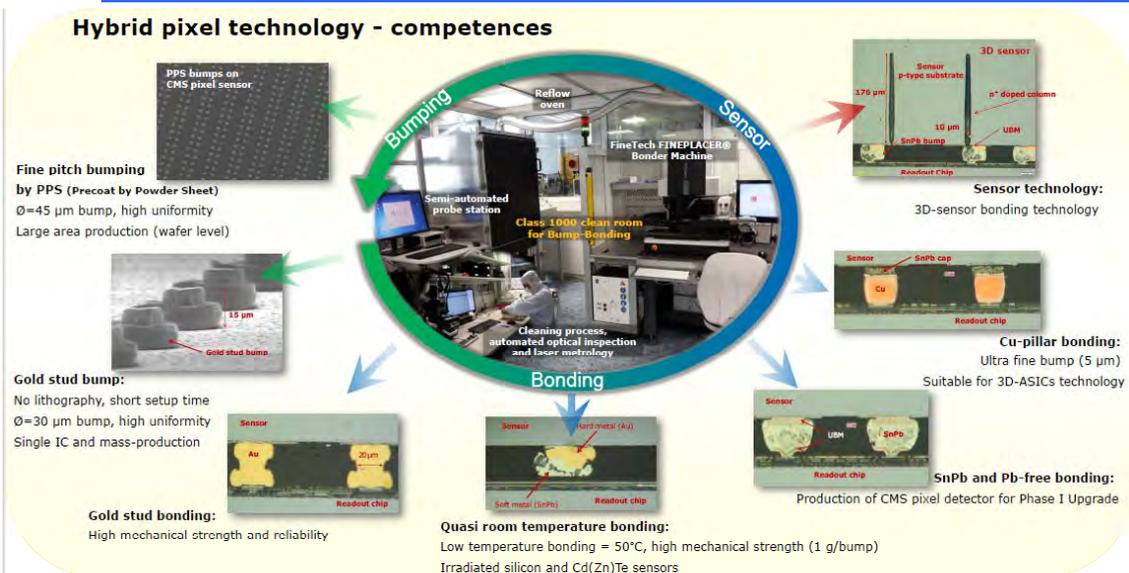
主流探测器结构——混合型：传感器



- 三要素：传感器 + 倒装互联 + 前端芯片
 - 均有大量研究开展
- 传感器
 - 新材料：Si→CZT、GaAs.....扩展探测能力
 - 新结构：3D、SDD、Diamond、DEPFET....., 提高传感器性能



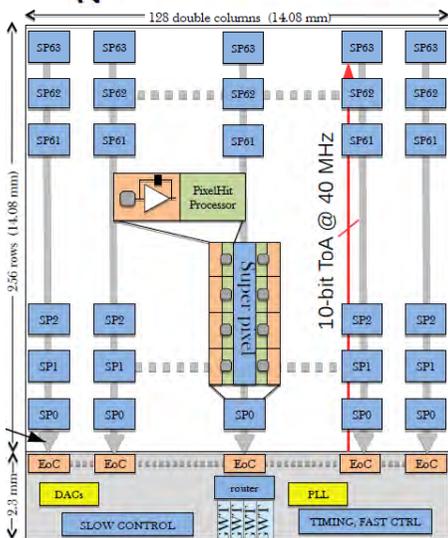
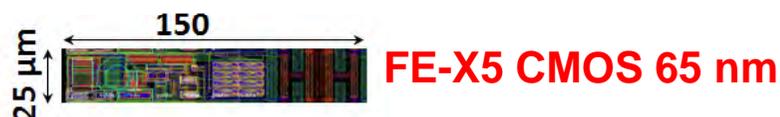
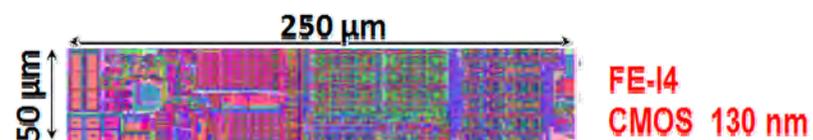
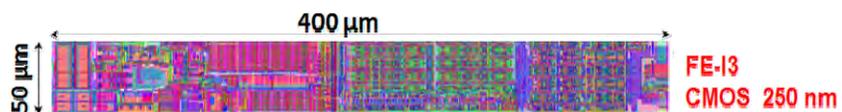
主流探测器结构——混合型：倒装互联



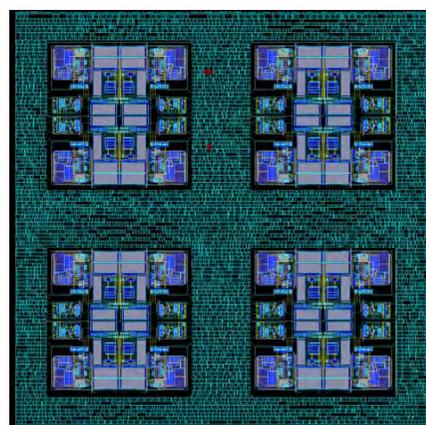
CCPD by gluing 有望避免倒装焊?

- 为制约混合型像素探测器成本的主要因素，研究集中在寻找传统In、PbSn倒装焊的替代方案
- 新工艺：低成本倒装焊
 - 新凸点材料
 - 实现凸点的便捷方法
- 新思路：CCPD（Capacitively Coupled）方案

主流探测器结构——混合型：ASIC



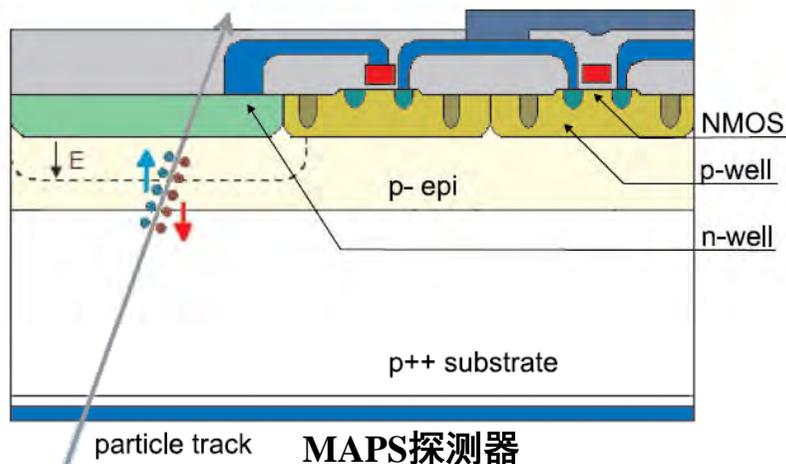
VeloPix: 2x4 pixels as a Super Pixel



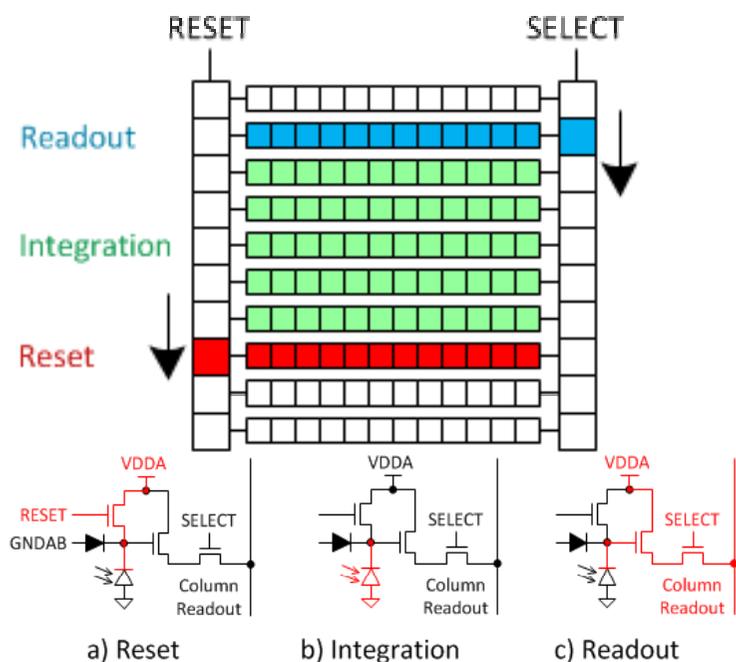
CHIPIX65: “Analog islands (2x2) in Digital sea”

- 采用先进工艺，进一步减小像素尺寸/提高集成度
 - 在65nm工艺上有大量研究开展
 - 其中大部分针对HL-LHC实验的需求设计，CERN RD53框架
 - FE65P2、CHIPIX65、RD53A
 - 目前正在推出全尺寸Demo片，尚未有成熟产品
- 在原有基础上进一步优化设计，提高集成度。较成熟的热点设计/研究：
 - AGIPD, DSSC, LPD: for eXFEL
 - TIMEPIX→VeloPix: for LHCb
 - 基于TIMEPIX/MEDIPIX芯片的大量模块级、系统级应用研究
- 新的设计方向：打破独立像素的界限
 - 超级像素架构和像素间交互逻辑
 - 模拟电路为核心→数字电路为核心
 - 进一步以功能和集成度为导向

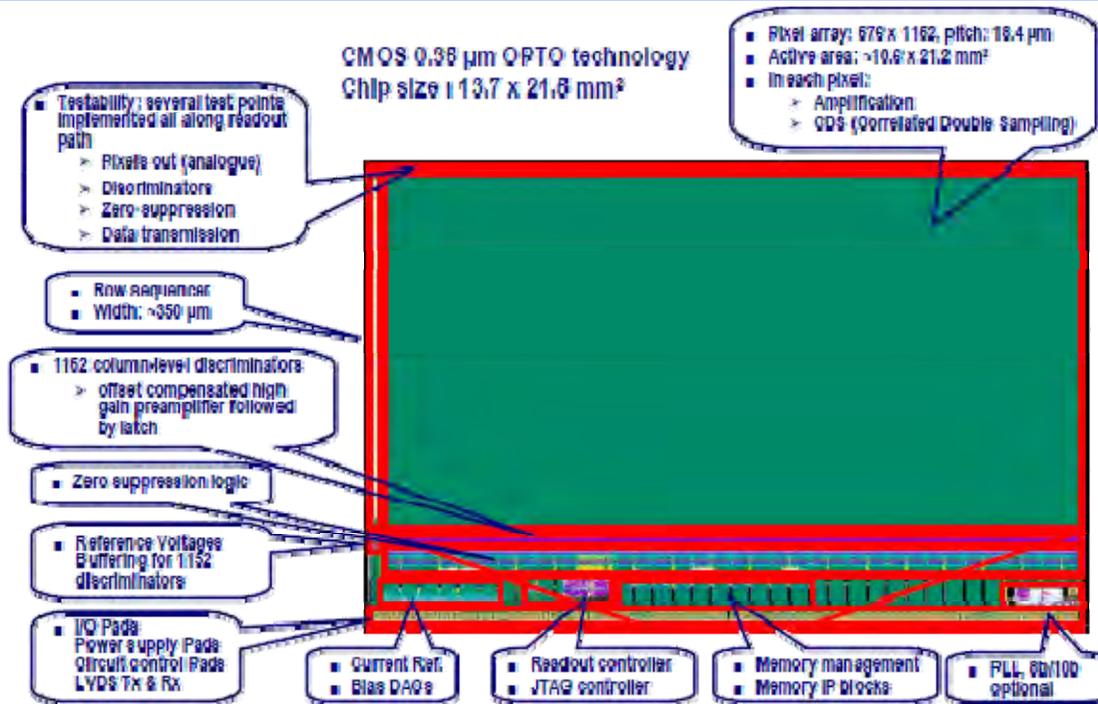
单片型像素探测器-MAPS



- **MAPS: Monolithic Active Pixel Sensors (CMOS Sensor)**
- 在90年代早期发明，广泛用于可见光探测，由于性能限制只用于低端相机
- **1999: 首次提出采用MAPS作为粒子物理探测器**
- **核心工作原理:**
 - 3T or 4T: 复位+缓冲+选通
 - 积分-扫描读出-复位模式 (rolling shutter)
 - 仍然非常类似可见光相机工作原理
- 避免了混合型探测器中的倒装互联结构，极大节省了成本，提高可靠性
 - 像素尺寸也不再受倒装工艺的限制
- 为了在同种工艺上同时实现探测单元和电路单元，电路设计常需做出让步
 - 早期的MAPS中只能使用NMOS管
 - 像素复杂度受到像素尺寸和填充系数限制



State of the art MIMOSA-26

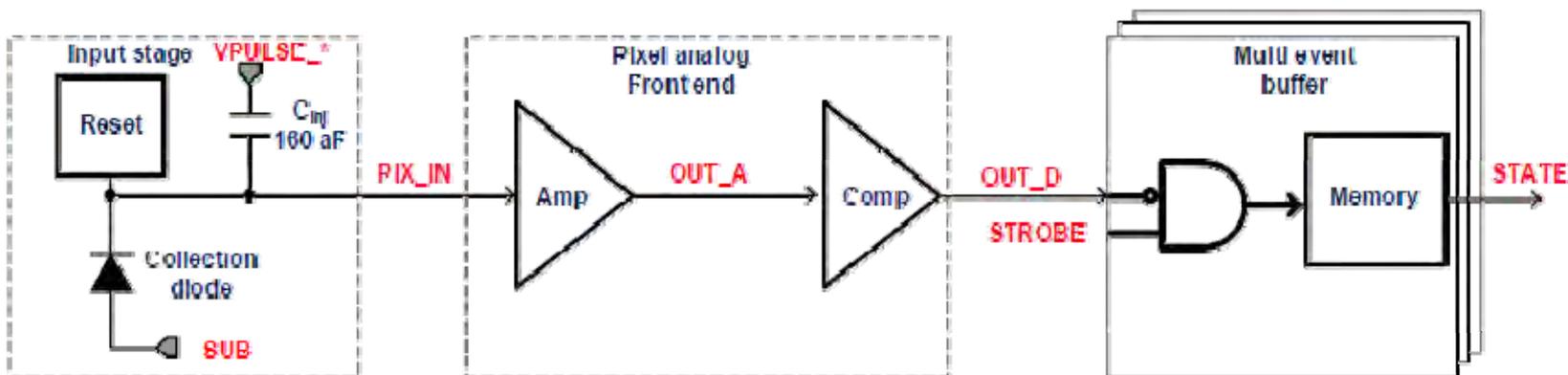


Main characteristics of MIMOSA26 sensor equpping EUDET BT:

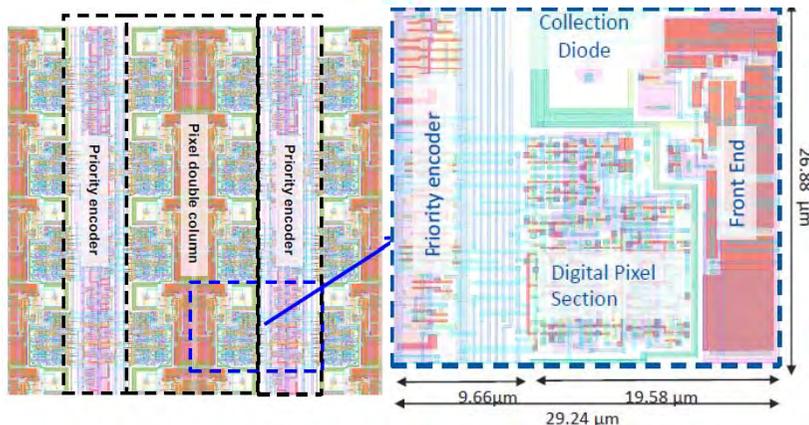
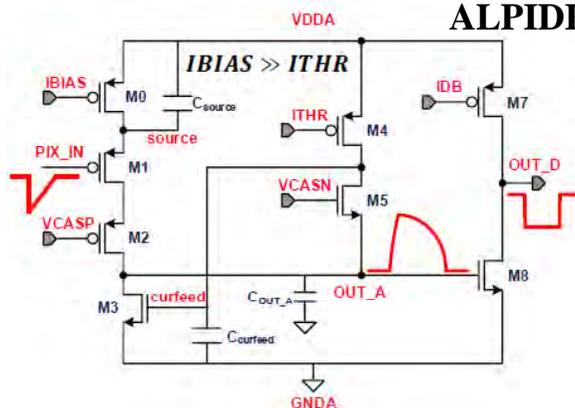
- Column // architecture with in-pixel Amp & CDS and end-of-col. discrimination, followed by \emptyset
- Active area: 21.2 x 10.6 mm², 1152 x 576 pixels, pitch: 18.4 μm $\rightarrow \sigma_{sp.} \sim 4 \mu\text{m}$
- Read out time $\sim 100 \mu\text{s}$ (10⁴ frames/s) \rightarrow suited to $>10^6$ particles/cm²/s
- Yield ~90% (75% fully functional sensors thinned to 120 μm + 15% (showing one bad row or column)
- Thinning yield to 50 μm ~90%

- MIMOSA26 \rightarrow ULTIMATE (M28), 面积、功耗、抗辐照性能均有优化

MAPS探测器研究——读出电路



ALPIDE for ALICE ITS Upgrade

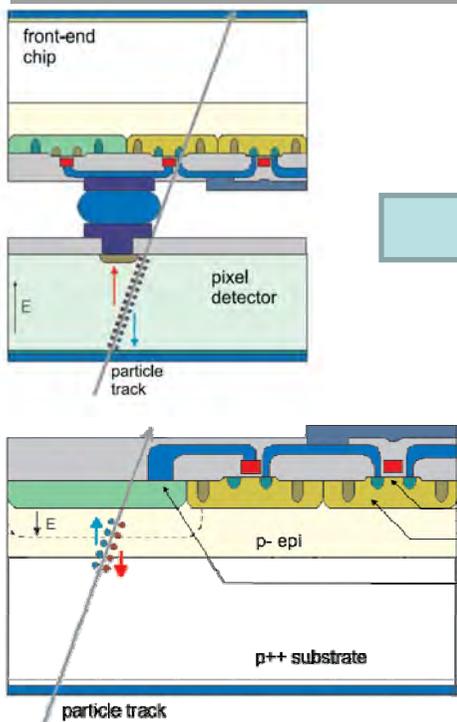


- 像素功能
 - Digitizing in Pixel: 像素内甄别
 - 单元内更多的数字逻辑
 - Event Buffer、Priority Encoder.....
- 读出方式与更快的读出速度
 - Rolling shutter → Hit driven
- 更小的像素尺寸
 - 目前 $O(30 \times 30 \mu\text{m}^2)$, 目标空间分辨 $5 \mu\text{m}$
 - For CEPC: 目标空间分辨 $3 \mu\text{m}$
 - 要求像素单元尺寸 $16 \times 16 \mu\text{m}^2$?
- 在读出电路需求上, 两种探测器结构是趋同的

MAPS探测器研究

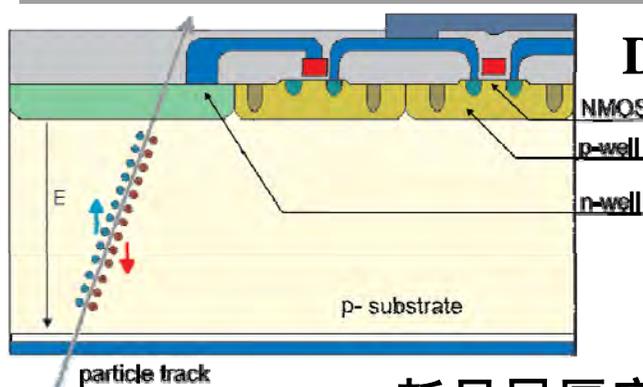


Now

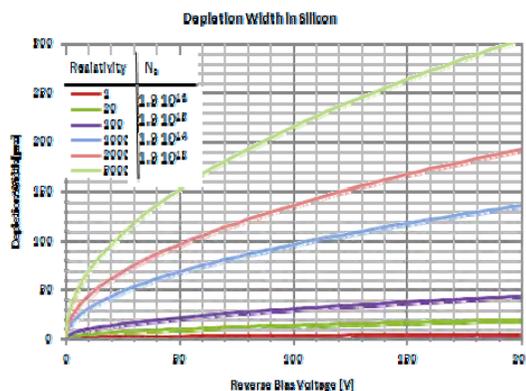


- “ $1\mu\text{m}\approx 80e^-$ ”
 - 耗尽层厚度就代表了信号质量
- 探测器工艺探索：
 - 核心问题：
 - 增加耗尽层厚度
 - 利用哪里的PN结来实现探测？

Future ?

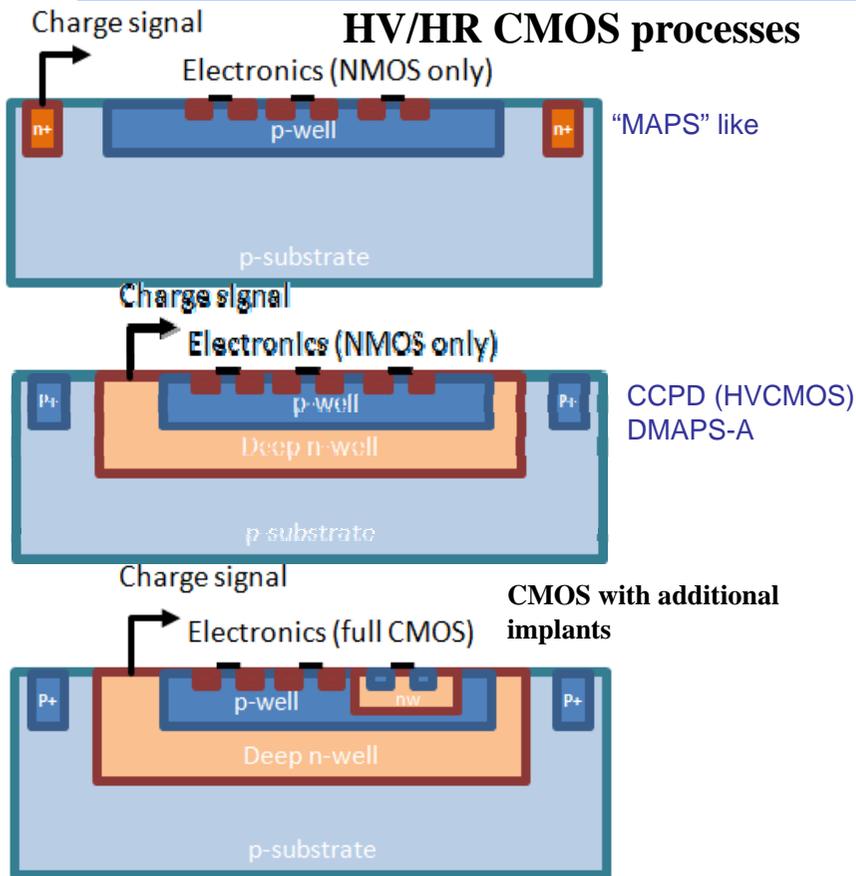


Depleted MAPS

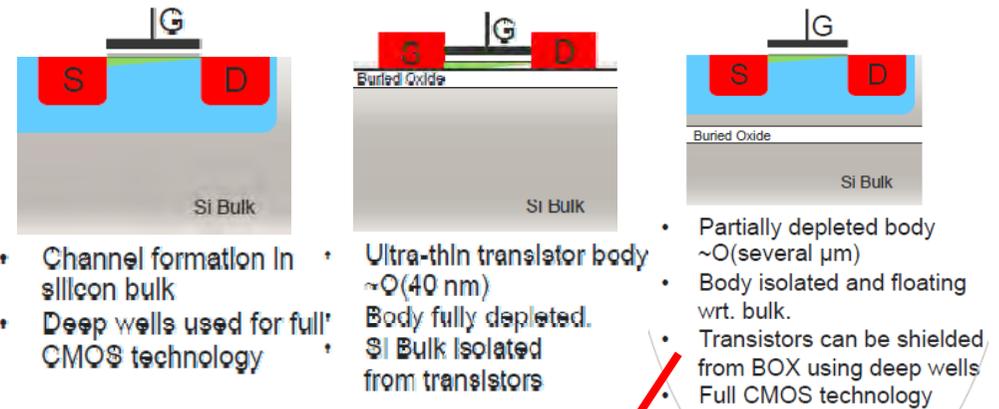


- 耗尽层厚度 $d \propto \sqrt{U_{bias} \cdot r_{substrate}}$
- $Q_{MIP} \propto d$
- $C_{plate} \propto 1/d$
- 增加d的两种途径：
 - 提高偏压 → HVCMOS工艺
 - 提高衬底阻抗 → “HRCMOS”
 - 或两者的结合

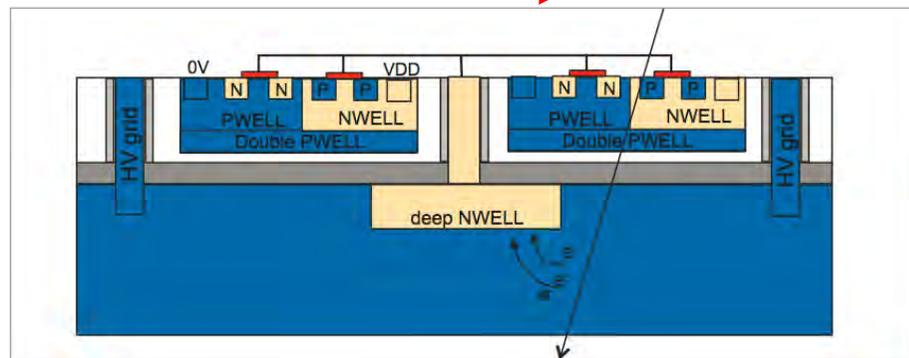
MAPS探测器研究——HV/HR CMOS or HVSOI?



- 电子学在电荷收集阱内
 - 较大的填充系数→抗辐照
 - 较大的探测器电容 (DNW/PW)
 - x-talk, noise & speed (power) penalties
 - Full CMOS with isolation between NW and DNW

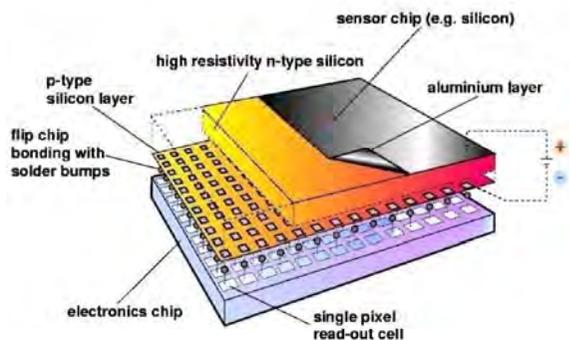


Partially depleted SOI process



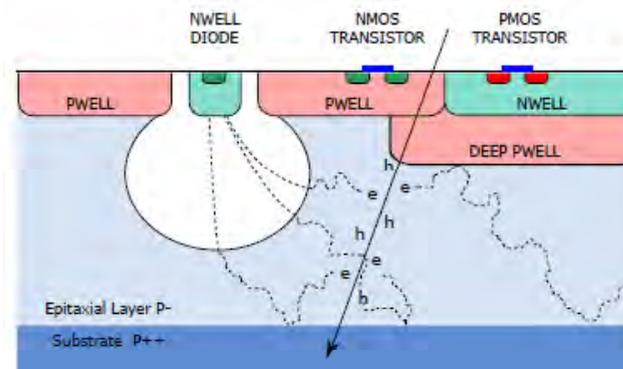
- Electronics isolated from substrate by BOX
- Small charge collecting electrode
→ But no „competing wells“
- Double wells in transistor body + particular geometry
→ No back-gate effect and high rad. hard. expected
→ Full CMOS logic
- Full depletion possible

混合型 vs 单片型[*]



混合型像素探测器

- 在大部分现存的已安装的系统
中被采用
- 容易实现100%填充系数
- 传感器、ASIC可以被分别优化
 - 传感器：其他材料、特殊结构
 - ASIC：性能、功能优化、更先进的工艺
- 可以实现传感器全耗尽工作
 - 提升了电荷收集和抗辐照能力

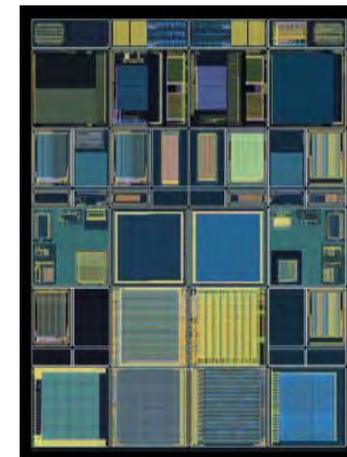
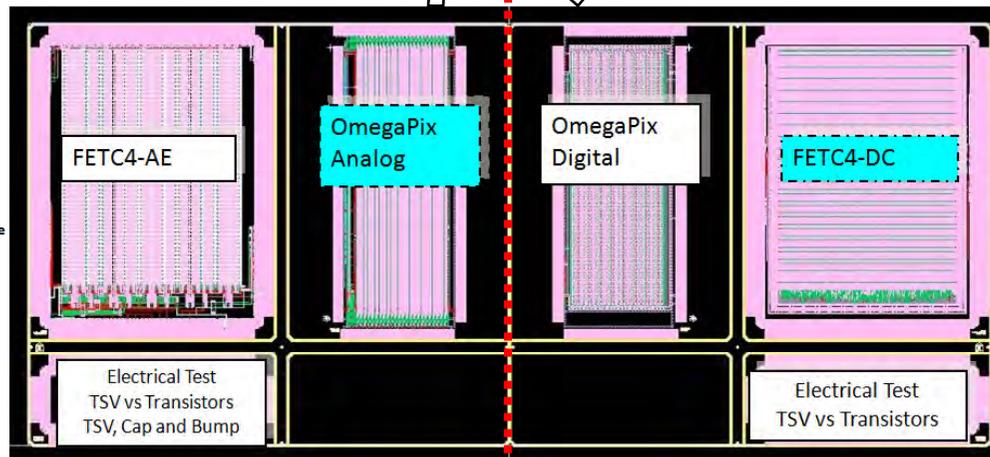
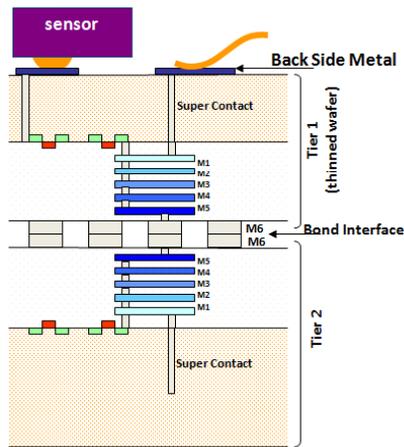


单片型像素探测器 (MAPS)

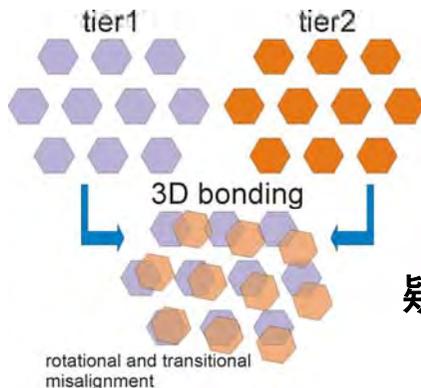
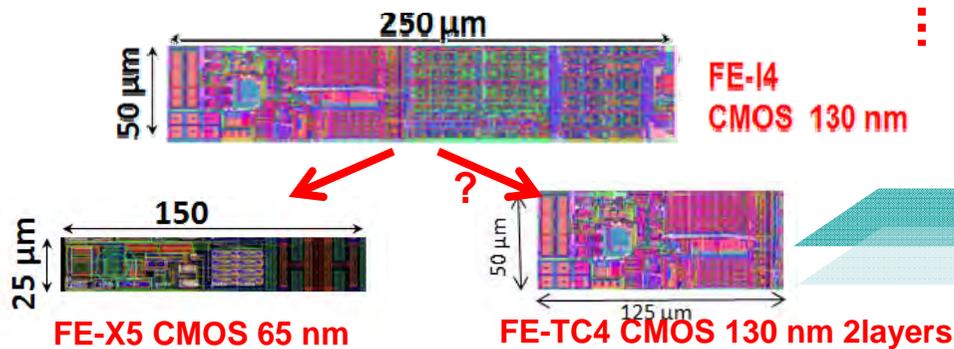
- 在STAR实验、ALICE ITS升级
中被采用
- 成本低，避免了倒装互联、容
易集成
- 功耗-性能比容易优化
- 显著降低了物质质量
- 在传感器、ASIC工艺、成本等
因素上试图获得平衡

新技术 (TSV、微球倒装焊等) 的出现正在使混合型和单片型像素探测器结构的区别越来越模糊

新技术与新思路-3D ASIC: Ideas & Attempts



Fermilab 组织的3D MPW



疑似问题的原因

- **ATLAS pixel的3D尝试:**
 - 像素尺寸减半, 分辨率提高
 - 模拟电路、数字电路可实现完全的隔离——大大减少串扰
 - 模、数可分别采用不同工艺进行优化 (130nm+65nm?)
- **But failed**
 - 首轮试做周期长+良率极低
 - PhaseII升级项目时间限制
 - 仍是一次有意义的尝试



- 虽然混合型像素探测器和单片型像素探测器的起源不同，在初期的区别也很明显，然而由于应用需求的驱使，最新的研究热点有趋同的动向：
 - 像素单元尺寸越来越小：MAPS原来占优
 - 像素单元内集成功能，特别数字逻辑越来越多：Hybrid原来占优
 - 低成本化：MAPS原来占优
- 出现了CCPD+FE-I4这种两者相结合的探测器类型
- “天下大势，分久必合，合久必分”
 - 预计在接下来的研究阶段中，将越来越多出现两者相结合的探测器形式，例如还将有MAPS结构+Hybrid读出方法等等

像素探测器国内外发展动态



- 历史与背景
- 研究热点
 - 混合型像素探测器
 - 单片型像素探测器
- 应用热点
 - 高能物理
 - 成像探测
 - 同步辐射
- 国内研究热点

像素探测器的国际应用热点



- 国际：混合型、单片型探测器技术都已非常成熟，因此也有大量的应用热点及相关研究
 - 高能物理领域
 - 主要还是针对HL-LHC开展R&D
 - 除了以RD53框架为主继续在65nm上开发混合型像素ASIC外，MAPS等相关研究成为热点
 - 抗辐照限制：内层还是混合型
 - 大面积覆盖成本限制：外层考虑低成本方案，甚至兼容Strip Detector
 - X光辐射探测应用：高能物理芯片的spin-off
 - 主要是利用已有成熟芯片搭建系统开展应用研究，或者在已有芯片基础上进行功能优化
 - 成像领域
 - MEDIPIX3/TIMEPIX3已非常成熟，有大量探测器研究基于该芯片开展
 - 利用PILATUS/EIGER家族、MEDIPIX家族芯片进行大面积成像探测的产品化
 - 利用像素芯片开展TPC研究：MPGD+TIMEPIX
 - 同步辐射领域
 - PILATUS/EIGER家族产品线不断扩大
 - 针对eXFEL开展的高重频X光探测器成为本领域的热点

HL-LHC & RD53 65nm ASIC



	ALICE-LHC	ILC	ATLAS-HL-LHC		
			ATLAS-LHC	Outer	Inner
Timing [ns]	20 000	350	25	25	25
Particle rate [kHz/mm ²]	10	250	1000	1000	10000
Fluence [n _{eq} /cm ²]	> 10 ¹³	10 ¹²	2x10 ¹⁵	10 ¹⁵	2x10 ¹⁶
Ion. Dose [Mrad]	0.7	0.4	80	50	>500

Monolithic CMOS

Not decided

	Pixel Matrix	Analog VFE	Analog / Digital Isolation	IP-Block	Pixel Region & Arch	Bias-Distrib	Powering	Digital CORE
FE65P2	64x64 pixels	AFE_LBNL	Analog in deep n-well Digital in deep n-well PAD in deep n-well	few and not RD53A	(2x2) Distributed Latency Buffer	Single stage mirroring	standard	(4x64)
CHIPIX65 demonstrator	64x64 pixels	AFE_TO AFE_PV	Analog in deep n-well	RD53A IP-blocks: DAC, ADC, SER, sLVS-TX, sLVS-RX, Bandgap, CERN I/O Pads	(4x4) central Latency Buffer	Double stage mirroring	standard	(4x4)
RD53A	400x192 pixels	AFE_LBNL AFE_TO AFE_PV AFE_FNAL -- tbc ; review	Analog in deep n-well Digital in deep n-well PAD in substrate tbc	RD53A IP-blocks: DAC, ADC, SER, sLVS-TX, sLVS-RX, Bandgap, CERN I/O Pads, PLL, ShuntLDO, T-sens, Rad-sens	tbd	Double stage mirroring	standard / Serial-Powering	(8x8) / (4x16)

In RD53 small demonstrator chips have been made as intermediate step before moving to large prototype RD53A. Here are reported the main differences among CHIPIX65-demo, FE65P2 and RD53A

CMOS demonstrator program thus far

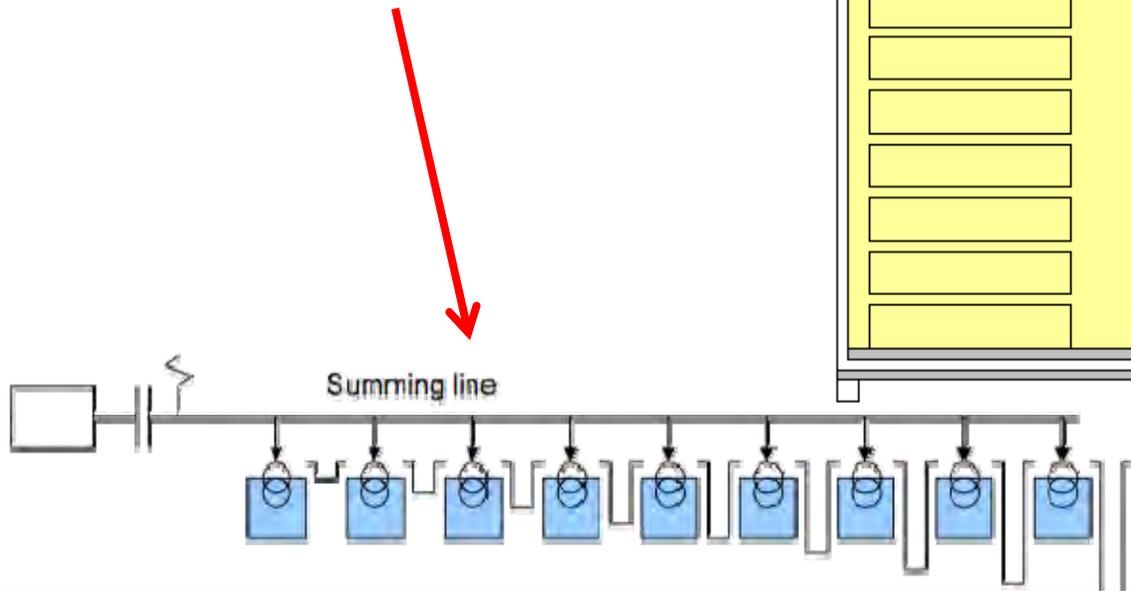
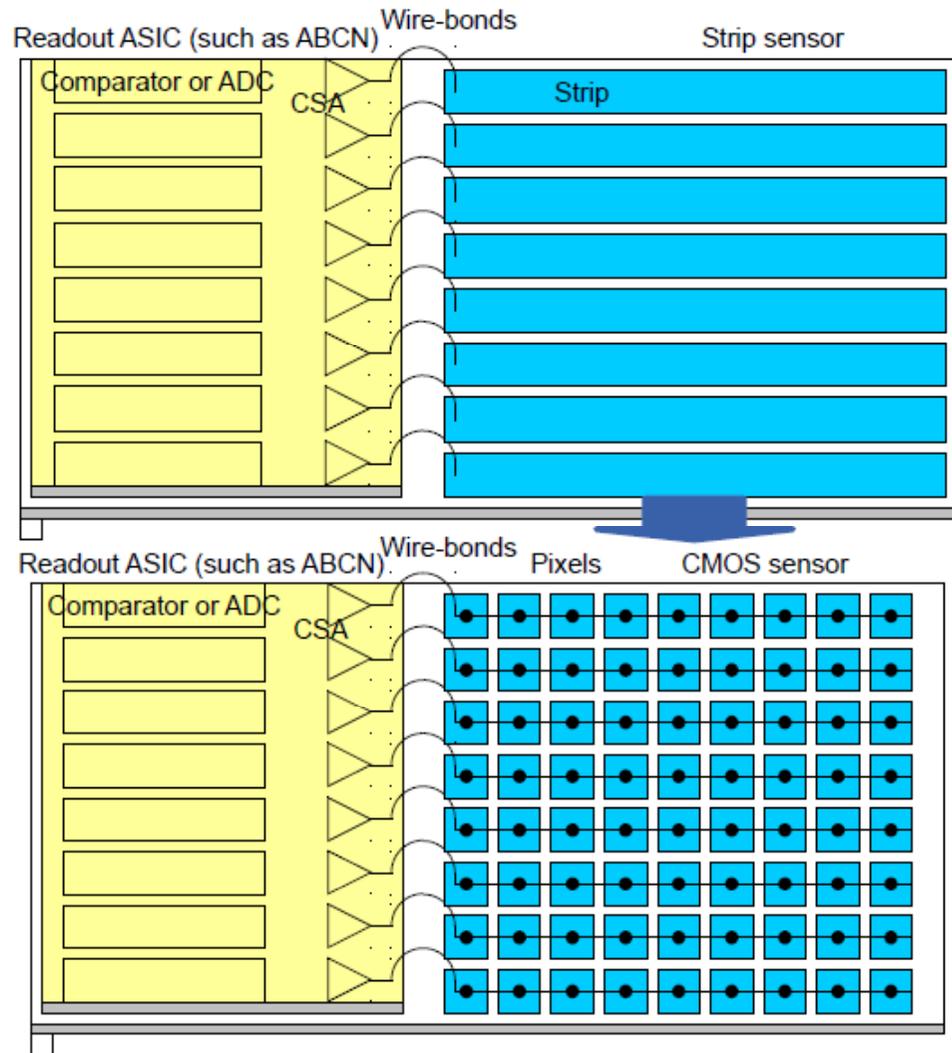


Technology	comments	Groups involved in design (D) & characterization	prototypes	demonstrator	monolithic
AMS 350/180 nm HV, >10 kVcm	3-well process extensive tests	Karlsruhe (D), GVA, Liverpool (D), CPPM, Glasgow, Oxford, Barcelona (D), BN, CERN,	✓ CCPDv1 – v4 (180nm) + FE-I4	✓ H35_DEMO 350 nm (back 1/2016)	H35_DEMO has monolithic part
Global Foundry 130 nm HR: 3 kVcm	huge vendor	CPPM (D), Karlsruhe (D), Geneva, Bonn, CERN	✓ HV2FEI4_GF		
Tower Jazz 180 nm, 1-3 kVcm, epi	little dedicated attention so far	Bonn (D), Strasbourg (D)	✓ ? Pegasus_1&2 stand alone, monolithic		
ESPROS 150 nm HR: 2 kVcm	back contact in process, generic design not for LHC	Bonn (D), Prague (D)	✓ EPCB01, EPCB02 stand alone		
XFAB 130 nm 0.1 – 1 kV SOI	SOI technology	Bonn (D), CERN CPPM	✓ XTB01, XTB01	planned ?!	planned ?!
Toshiba 130 nm 3 kVcm	designs not yet thoroughly tested	Bonn (D)	✓ TSB01		
LFoundry 130 nm 2-3 kVcm	extensive tests	Bonn (D), CPPM (D), IRFU (D) SLAC (D), CERN, Glasgow	✓ CCPD_LF CCPD_LF + FI-I4	✓ CCPD (CPPM, IRFU, Bonn) (subm. Feb. 16)	MONOPIX_01 (5/2016) (Bonn, CPPM, IRFU) COOL_01 (SLAC)
ST-M (BCD8) 160 nm selectable kVcm	bipolar+CMOS+ DMOS epi selectable	INFN Milano (D), Genova, Bologna, IIT Mandi	✓ KC53AB Testchip	planned TPM1	

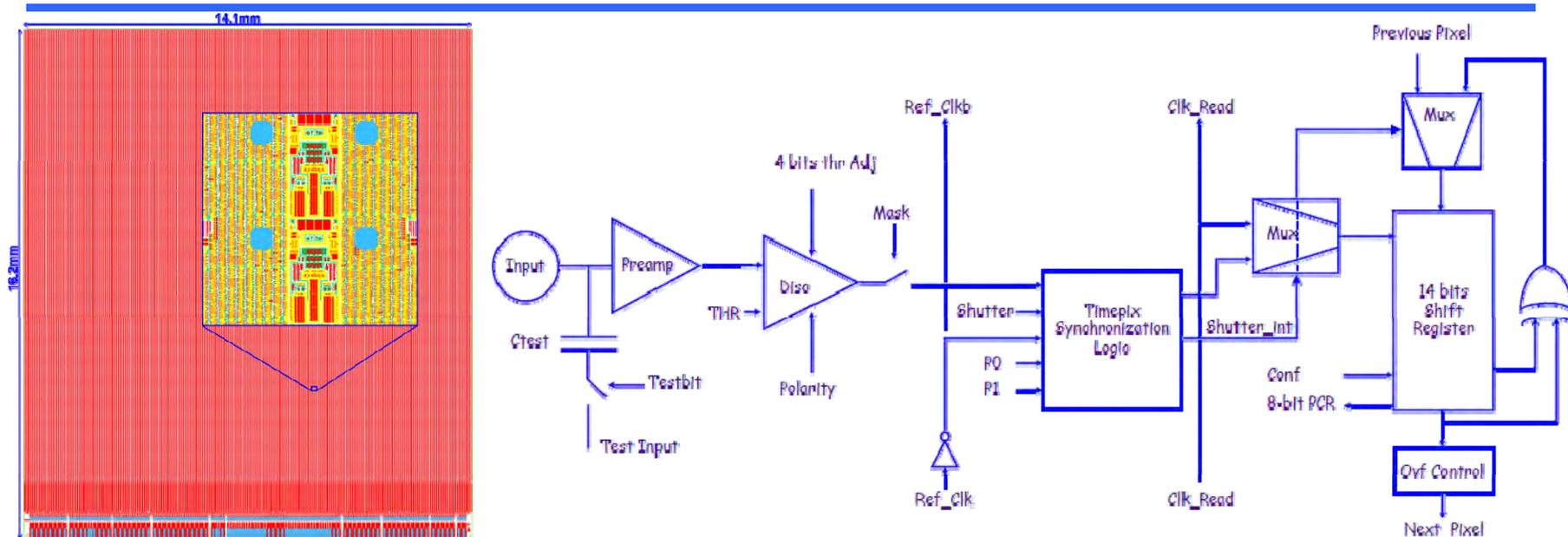
CMOS Pixel Sensor → Strip Sensor?



- CMOS Pixel sensor是否可用作硅微条探测器？
- 直接方案：将各像素信号相加，成为虚拟微条
- 击中位置可以通过脉冲高度编码得到
 - CCPD HV2FEI4中已采用



成像应用——TIMEPIX3: State of the art

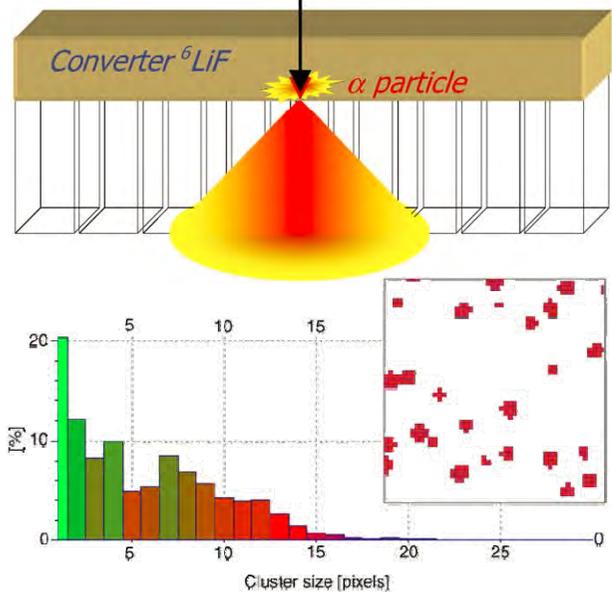


Feature	Value	
technology	130nm CMOS	
pixel array	256 x 256	
pixel size	55µm x 55µm	
input charge	both : h ⁺ and e ⁻	
sensor leakage current compensation	Yes	
data acquisition	ToA & ToT / only ToA	Event count & Integral ToT
minimum threshold	> 500 e ⁻ (1.8keV)	
peaking time	~ 15ns	
time walk (charge collection time)	< 25ns	
Time resolution / range	1.6nsec / 410µsec	
ToT accuracy / range	25ns / 25.6 µsec (~150 Ke ⁻)	
readout	Continuous sparse	Non-continuous sparse
output bandwidth	2.56Gbps	
count rate	up to 20 • 10 ⁶ cm ⁻² sec ⁻¹	
data transmission	Conventional (separate Clock)	Clock&Data Encoded8b/10b
Power consumption	~ 20µW/pixel (1.3W/chip)	

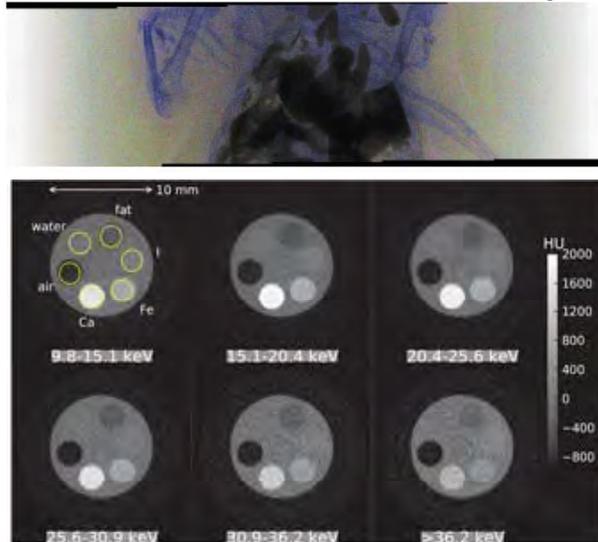
	Data acquisition mode		
	ToA & ToT	Only ToA	Event Count & Integral ToT
Data format	Fast Time (640MHz @ 4b) & Slow Time Stamp (40MHz @ 14b) & ToT (40MHz @ 10b) & Pixel coordinate (16b)	Fast Time (640MHz @ 4b) & Slow Time Stamp (40MHz @ 14b) & Pixel coordinate (16b)	Event Count(10b) & Integral ToT (14b) & Pixel coordinate (16b)
Double hit resolution (per pixel)	ToT + 700ns	> 450ns	-
Readout	continuous sparse data readout with zero-suppression		non-continuous sparse data readout with zero-suppression
Full chip readout time	Max counting rate < 1kHz/pixel		Max counting rate < 100kHz/pixel

成像：基于MEDIPIX/TIMEPIX系列的应用

Neutron 新探测方式探索



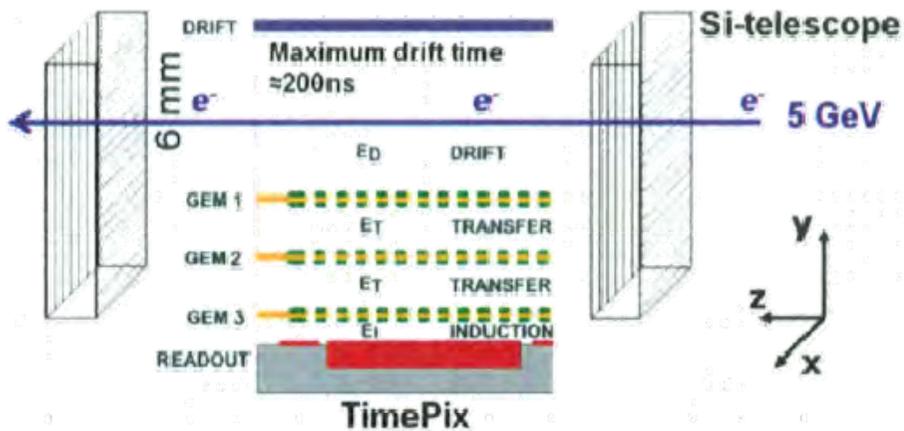
CT系统研究(hot)



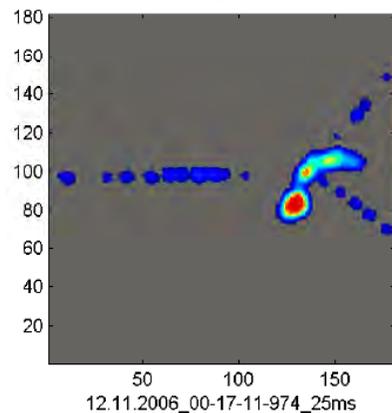
探测器性能研究(hot)



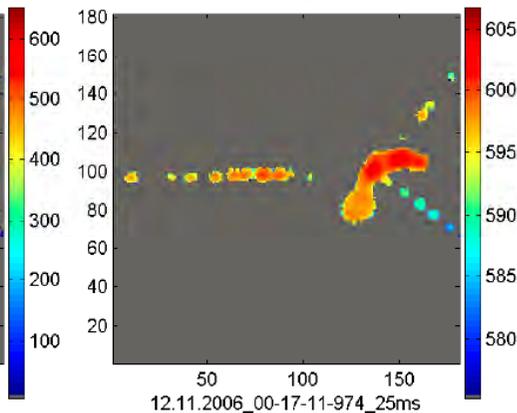
像素芯片作为TPC接收极



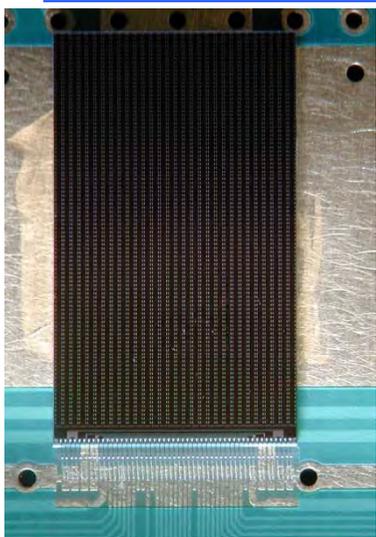
TOT



TIME



同步辐射探测：State of the art: PILATUS



PILATUS II芯片

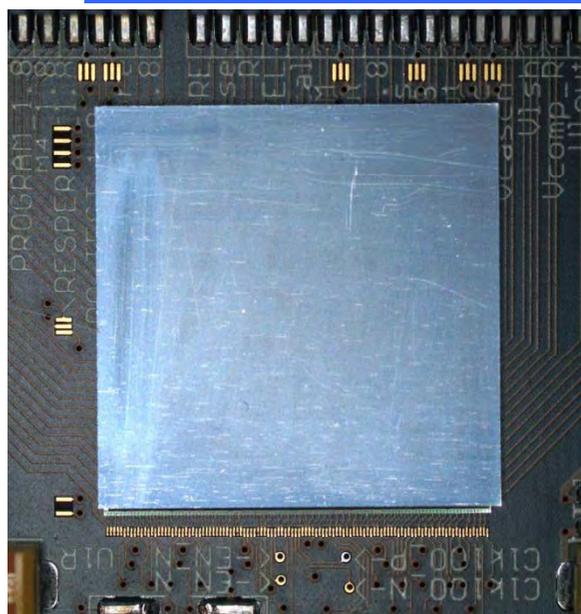
名称	参数	名称	参数
像素尺寸	$172 \times 172 \mu\text{m}^2$	芯片像素阵列	60×97
像素总数	2527×2463 (6M)	探测面积	$43 \times 44.8 \text{cm}^2$
计数深度	20bit/Pixel	计数率	1MHz/Pixel
读出死时间	2ms	帧刷新率	5~10fps
输出方式	100MHz LVDS	阈值	单阈值计数



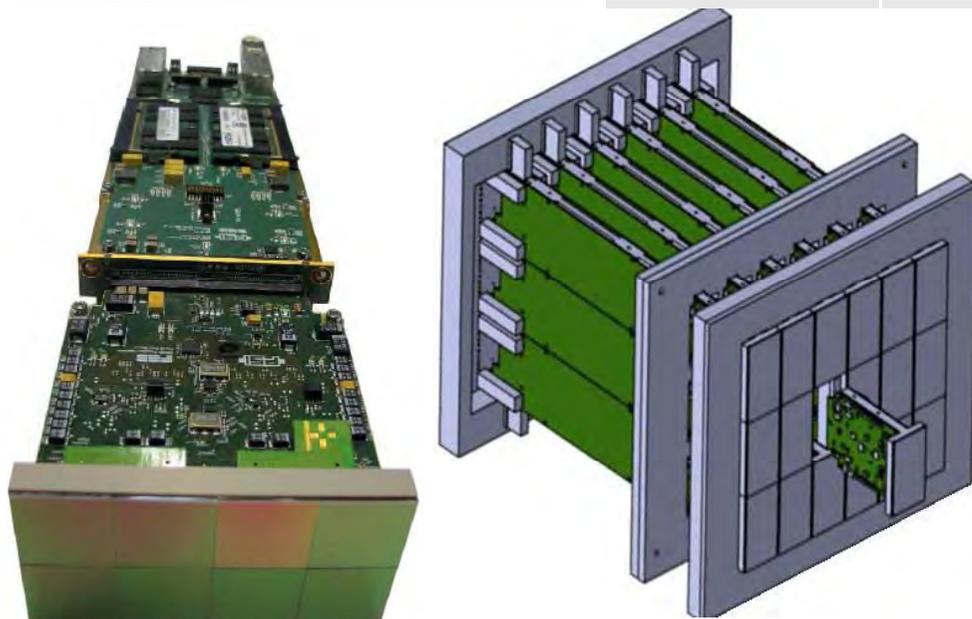
PILATUS II 6M探测器

- 瑞士PSI研发，后衍生出Dectris公司
 - 相关技术来自于CMS实验
- 在同步辐射应用中得到广泛应用
 - 国内外各大实验站所采用的主流产品
- 优点
 - 同类产品最大的接收面积，最大为6M像素版本
- 缺点
 - 帧刷新率较慢，且与探测器规模相关
 - 最新的3X同步辐射级系列通过辅助设备可将帧刷新率提高到500Hz

EIGER芯片与探测器



名称	参数	名称	参数
像素尺寸	$75 \times 75 \mu\text{m}^2$	芯片像素阵列	256×256
像素总数	3072×3072 (9M)	探测面积	$22.8 \times 23 \text{cm}^2$
计数深度	12/8/4bit/Pixel	计数率	2MHz/Pixel
读出死时间	3 μs	帧刷新率	8kHz@12bit (瞬发burst) 2kHz@12bit (连续读出)

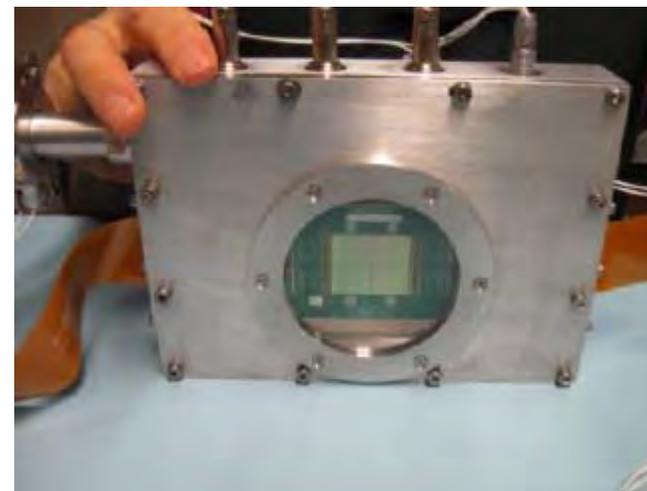
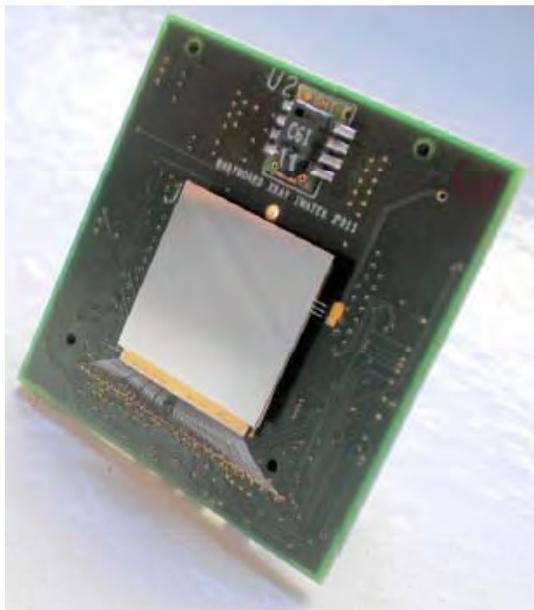


- 由PSI研发的PILATUS下一代探测器版本
- 主要改进：
 - 更小的像素单元尺寸
 - 着重提升了帧刷新率指标
- 目前实验室级最大为4M像素版本（帧率最高10Hz），同步辐射级最大为16M版本

MEDIPIX/TIMEPIX探测器（模块）



MEDIPIX探测模块

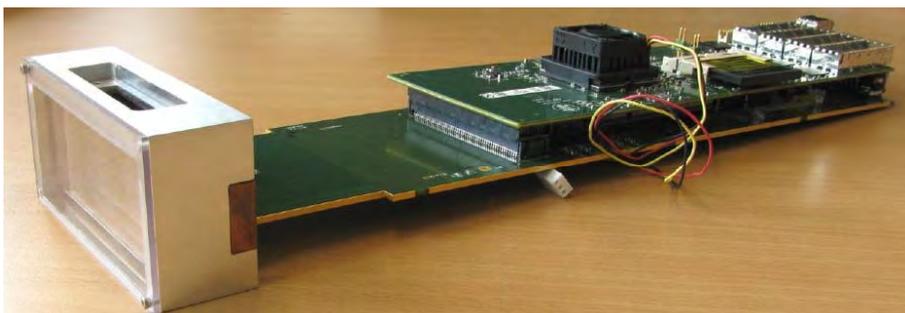


TIMEPIX探测模块

名称	参数	名称	参数
像素尺寸	55×55μm ²	芯片像素阵列	256×256
像素总数	512×512	探测面积	2.8×2.8cm ²
计数深度	13bit/Pixel	计数率	300kHz/Pixel
读出死时间	0.2ms	帧刷新率	1.2kfps（模块）

- 商业版权近几年才开放，因此相关产品也仅在近几年才可获得
- 目前多为模块级产品，多数为2×2芯片组合的探测模块，主要用于成像研究和探测器研究
- 合作组外的用户基本无法实现定制要求，例如大面积模块拼接等

MEDIPIX探测设备（整机）

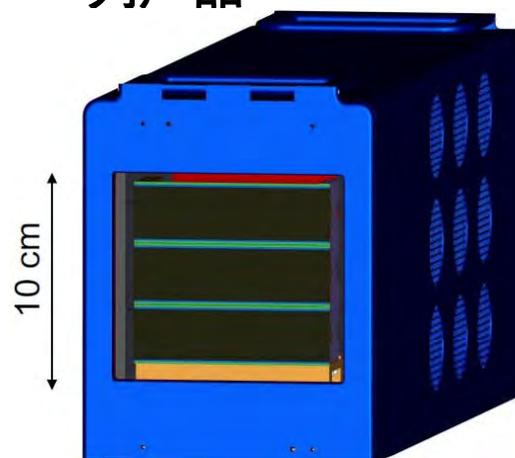


基于MEDIPIX的LAMBDA探测模块



WIDEPIX 10 × 10

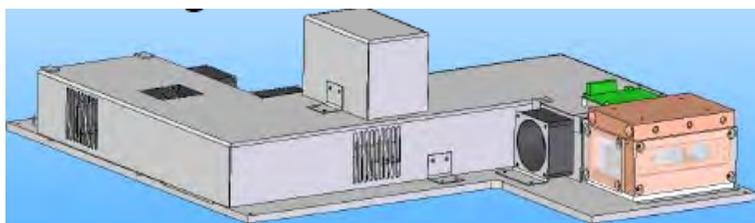
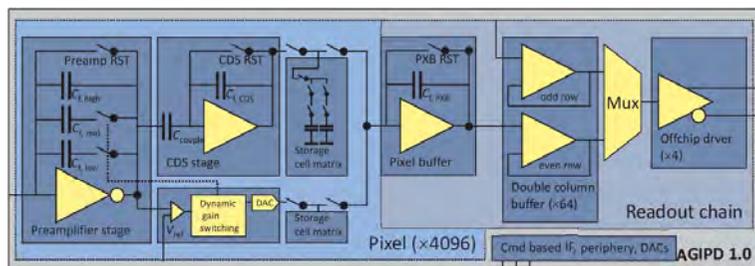
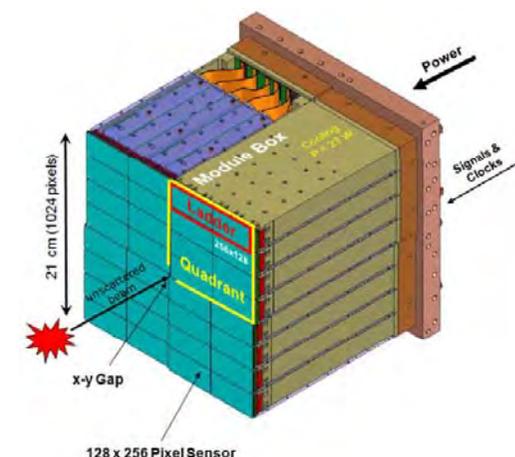
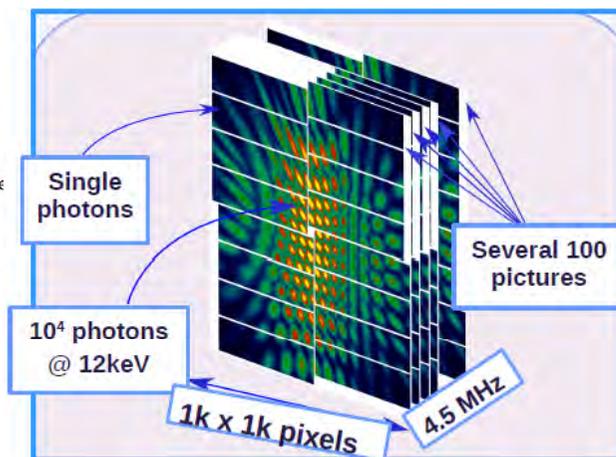
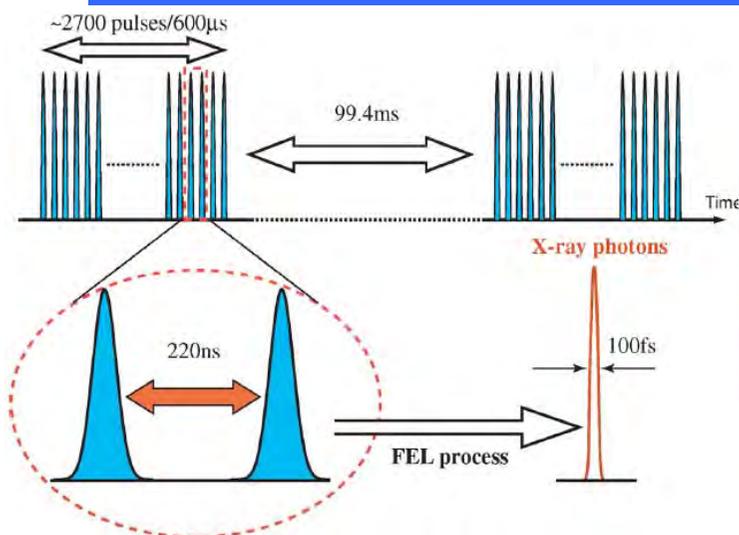
- 目前只有基于MEDIPIX芯片的大面积、少死区探测设备在开展研究
- **EXCALIBUR:**
 - 3 × 2 × 8 MEDIPIX3芯片 (3M)
 - 探测面积11cm × 10cm
- **WIDEPIX:**
 - 2560 × 2560 (6M)
 - 14.3cm × 14.3cm
- 整机探测面积不如PILATUS系列产品



EXCALIBUR探测设备



从同步辐射到XFEL



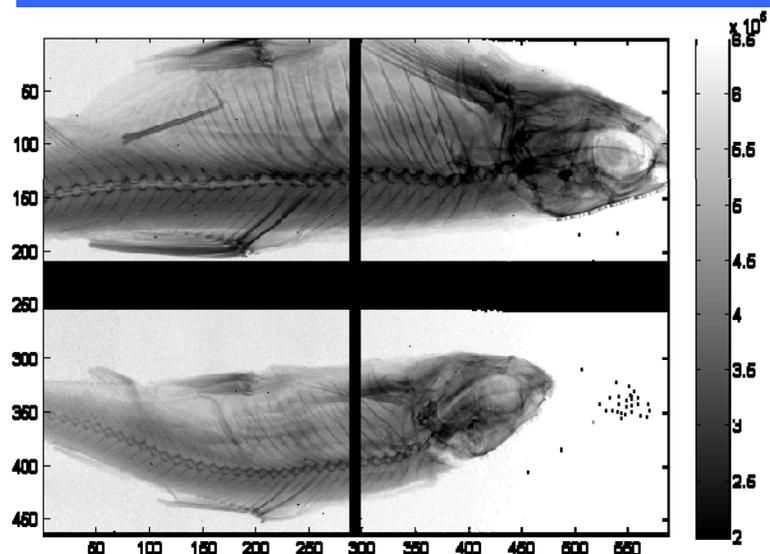
- 针对eXFEL的探测器设计进入成熟期，有大量报导
- 相比同步辐射，XFEL提出了更大的挑战
 - 单光子+大动态范围：1~10⁴
 - 瞬时高重频4.5MHz+几百帧存储深度
 - 抗辐照：> 1Grad
 - 低噪声：< 500e
 - 功耗、冷却、真空、机械结构
- 主要候选探测器设计AGIPD、DSSC、LPD、pnCCD
 - 均进入样机生产组装阶段

像素探测器的国内研究现状

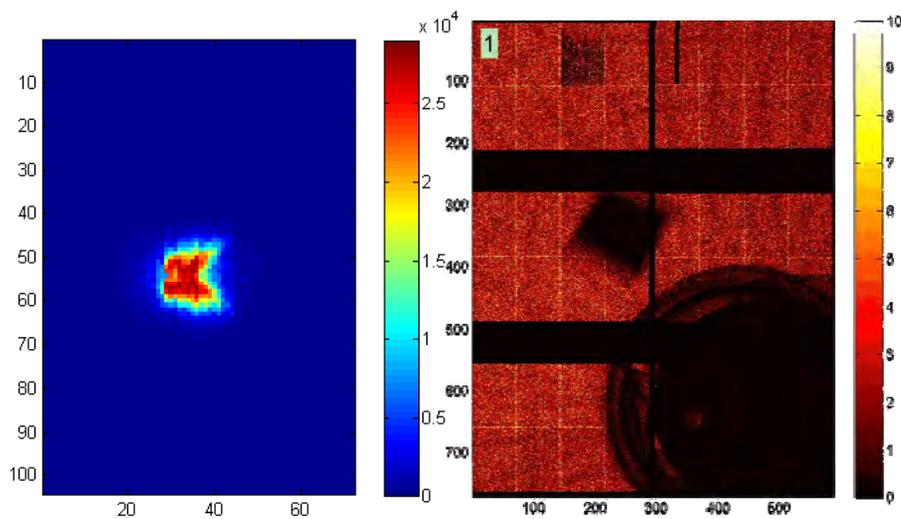


- 国内开展像素探测器研究的主要困难：
 - 研发成本高：为实现大面积、少死区，普遍需要工程批流片
 - 混合型像素探测器还需开展倒装互联、Sensor研究，成本更高
 - 技术门槛相对较高：集成度高，需要比较全面的电路设计基础
- 目前主要研究都依赖项目资金开展
 - HEPS-TF、CEPC.....
- 主要研究
 - 混合型
 - HEPS-BPIX：高能所
 - 单片型
 - CEPC MAPS：高能所、华中师范大学、山东大学.....
 - SOI MAPS：高能所
 - TPC读出
 - TOPMETAL：华中师范大学
 - 还有大量基于像素芯片的后端读出系统研究
 - BESIII升级-MIMOSA, ALICE-ALPIDE
 - Sorry for any missing studies
- 美好前景：各单位都开始布局像素探测器研究

混合型像素探测器HEPS-BPIX: 成像



X光机鱼骨透视成像



同步辐射直通光斑
最大计数率3.48MHz/Pixel

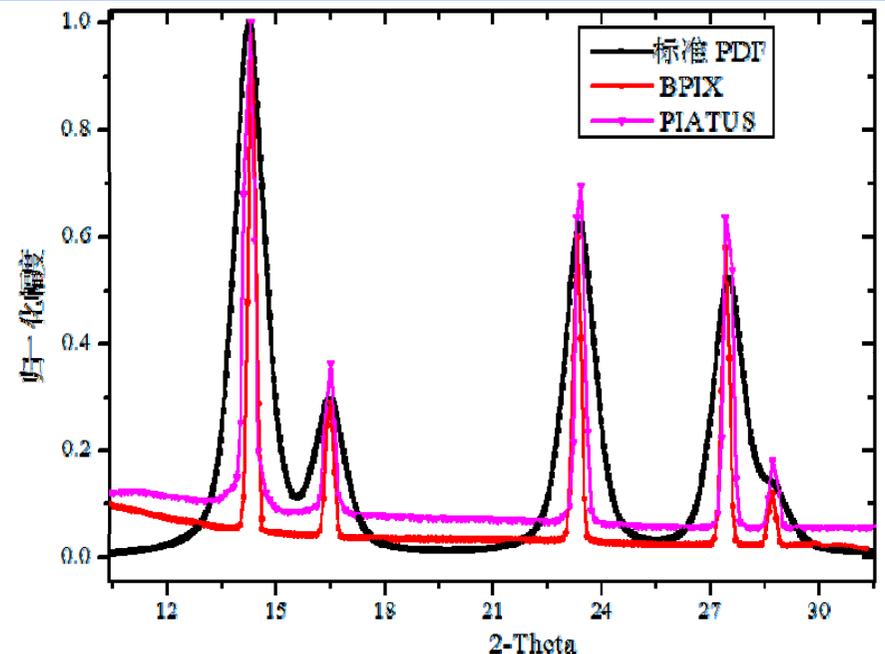
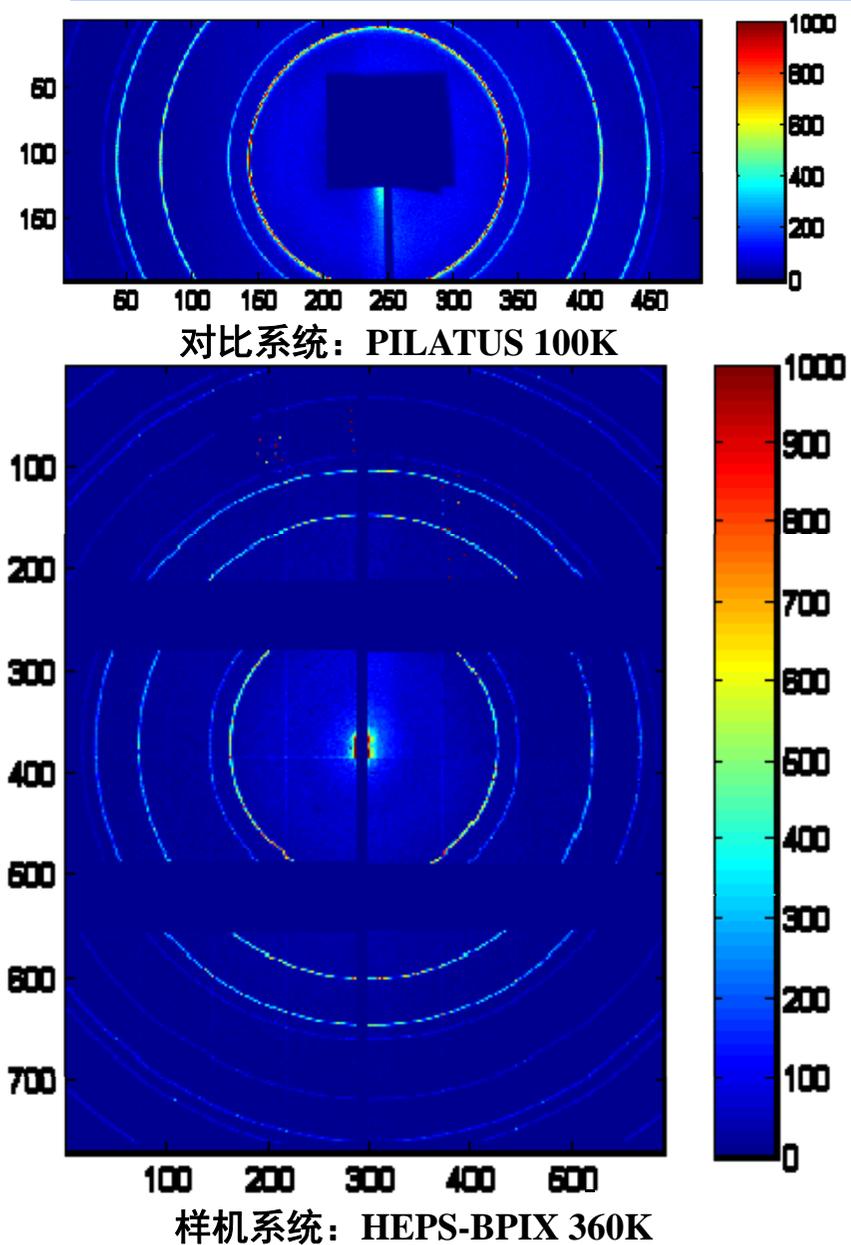
X光机风扇旋转动态图像
帧刷新率1.2kHz

- 像素单元: $150\mu\text{m} \times 150\mu\text{m}$
- 单芯片模块规模: 104行 \times 72列 (7488像素), 面积 $1.7\text{cm} \times 1.1\text{cm}$
- 能量探测范围: 6keV~19.5keV
 - 达到BSRF 1W2B线站能量上下限
 - 验收指标为8keV~20keV
- 计数率>每像素2MHz, 饱和计数率>每像素3MHz, 面积计数率>8GHz/cm²
 - 验收指标20位动态范围=每像素1MHz
- 帧刷新率>1.2kHz
 - 超过主流探测器PILATUS一个数量级
- 模块噪声<120e-, 不一致性<60e-
 - 同主流探测器指标持平



HEPS-BPIX 360K

混合型像素探测器HEPS-BPIX: X光衍射



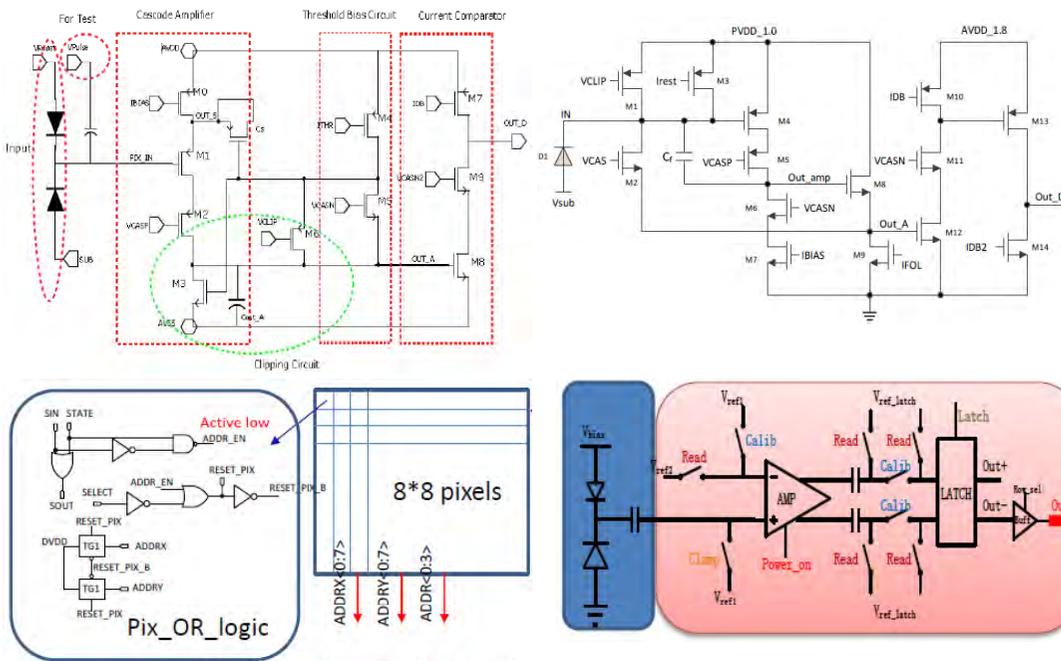
- 衍射环分析结果同标准卡数据对比
- 两套系统均符合CeO₂粉末样品的衍射峰位置, 且衍射峰的相对强度比是一致的, 即符合物理预期
- 可以看出, 像素较小的BPIX的峰型半高宽更小, 即角度分辨更好
- BPIX探测器的峰谷比好于PILATUS的峰谷比, 即具有较好的信噪比

CEPC MAPS R&D

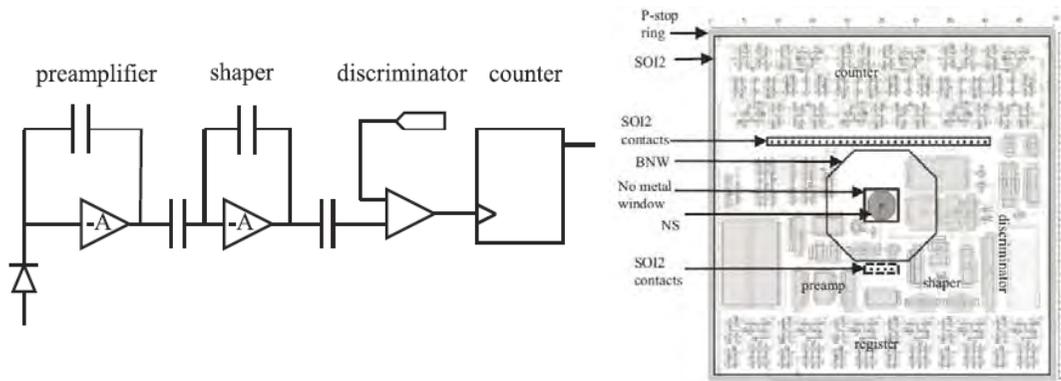
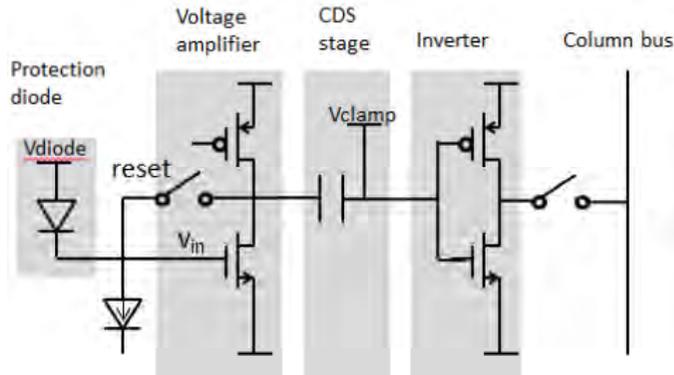
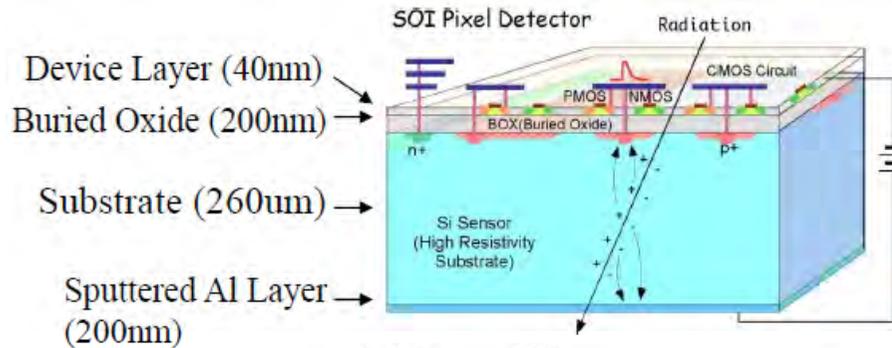


	Pixel sensor for CEPC vertex	ALPIDE for ALICE/ITS
S.P. resolution	2.8 μm	5 μm
Thickness	50 μm	50 μm
Power consumption	< 50 mW/cm ²	35 mW/cm ²
Integration time	20 μs ?	10 μs with trigger
Radiation hardness	1 Mrad/ year 10 ¹² neq/ (cm ² year)	312 krad 1.7 \times 10 ¹³ neq/ cm ²

- 相比现有设计，CEPC顶点探测器提出了更高的要求
 - 更高的位置分辨：5 \rightarrow 3 μm
 - 像素尺寸 \rightarrow 16*16 μm^2
 - 低功耗：无power pulsing
 - 读出速度
- R&D activities
 - MAPS on TowerJazz
 - IHEP, CCNU, SDU
 - SOI pixel sensor
- 针对不同的芯片方案开展R&D
 - 前端：像素内甄别/CSA
 - 读出：Rolling shutter/AERD
- 目前已完成两次流片



SOI R&D



- 和日本KEK在SOI工艺上开展合作 **SOIPIX**

- 主要设计

- 针对CEPC Vertex: **CPV芯片**

- 目前关注Sensing node和前端设计

- **LAPIS 0.2um SOI**

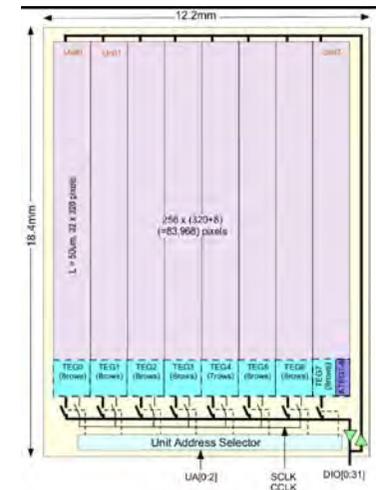
- **Fully Depleted CMOS**

- **HR substrate**

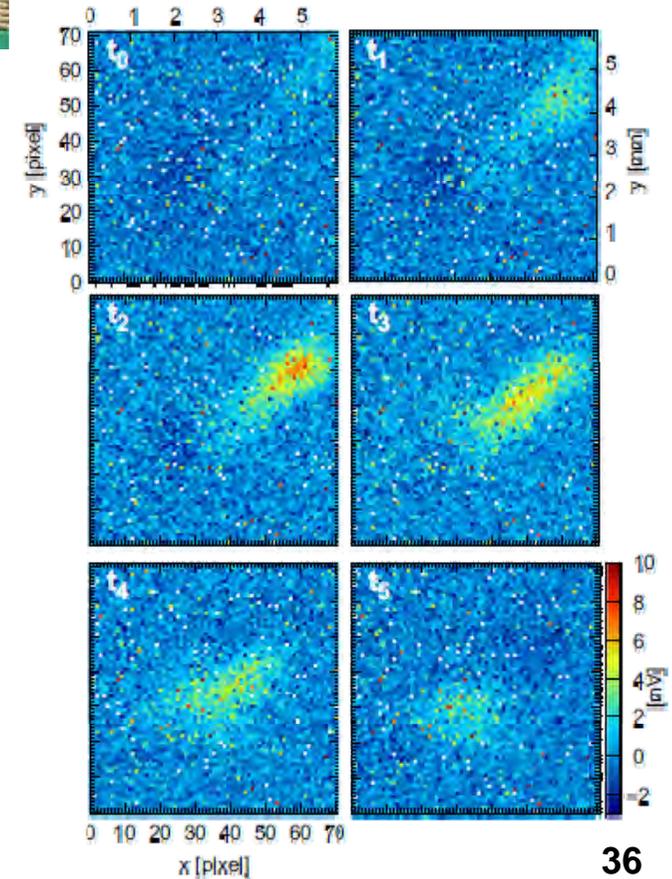
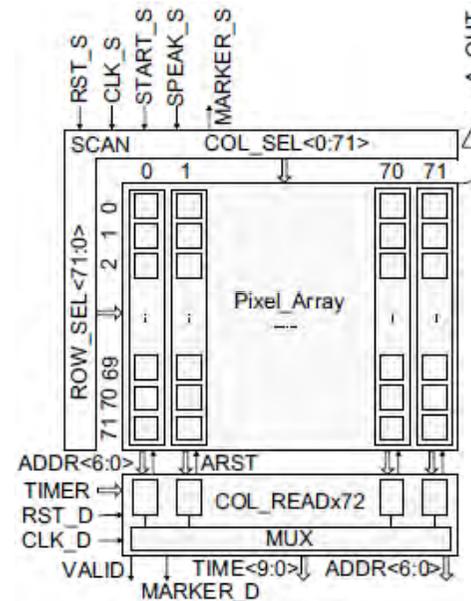
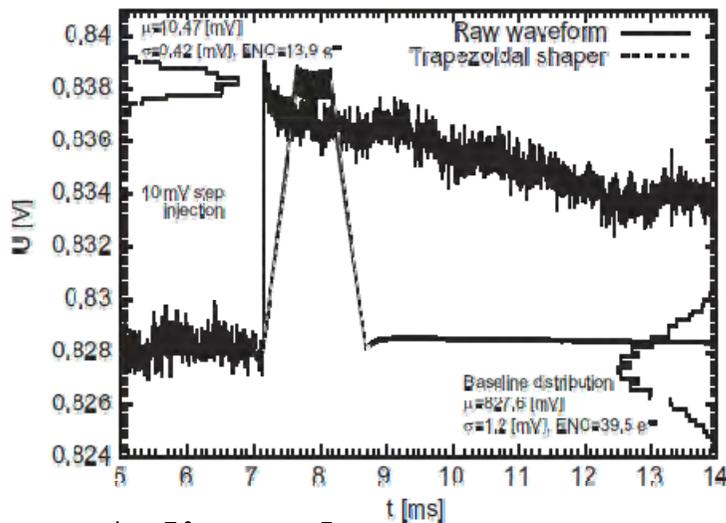
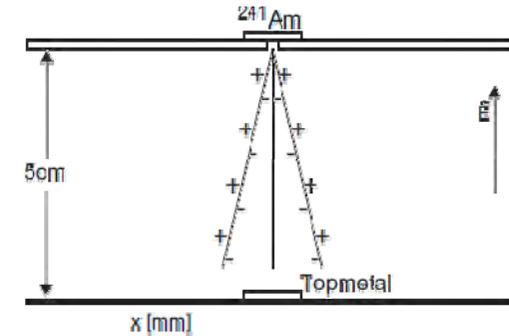
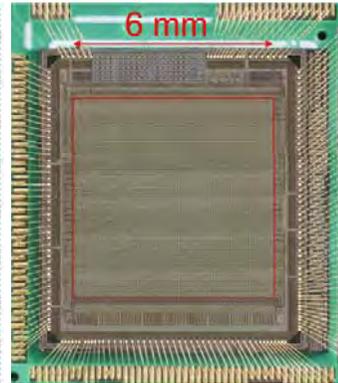
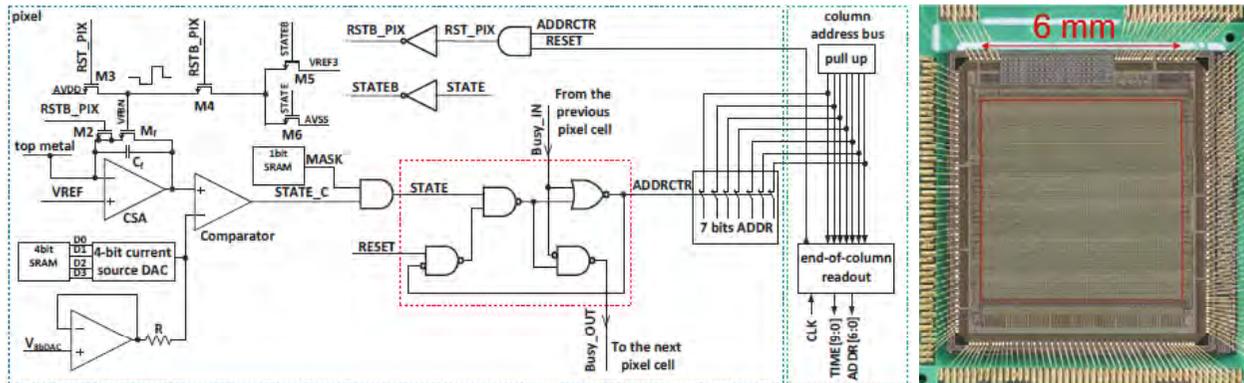
- 针对同步辐射应用

- **CPIXTEG3b、CNPIX**

- 基于Double-SOI工艺实现了高密集度电路



TOPMETAL II芯片



- A direct charge sensor
 - 可用于TPC读出
 - XFAB 0.35 CMOS
 - 72*72像素, 83*83 μm^2

总结



- 像素探测器研究开展已超过20年，至今仍是主要研究热点
- 除了针对未来对撞机、光源等需求开展探测器、电路研究外，利用成熟芯片开展成像、探测器特性等研究也得到了广泛开展
- 基于成熟芯片，已有系列产品出现，同步辐射高端探测器市场基本被垄断
- 由于成本、工艺、技术等因素的限制，国内研究开展较晚，不过各单位都已开展或布局像素探测器研究
- 已有一批初具规模的芯片设计出现，有望以此为基础，进一步推动国内像素探测器研究的开展

Thank you !