

# 用于 CEPC 内层顶点探测器的高计数率 CMOS 像素探测器芯片研制

Tuesday, 17 August 2021 11:30 (15 minutes)

高能环形正负电子对撞机 (Circular Electron Positron Collider, CEPC) 内层顶点探测器, 对于重味夸克重建与分辨至关重要。为实现高精度的物理测量, 对内层顶点探测器的物质量、空间分辨率、读出速度以及功耗等方面的性能提出了极严苛的要求。CMOS 像素探测器 (CMOS Pixel Sensor, CPS) 技术在上述各性能方面具有很大的优势, 是很有前景的候选探测器技术之一。自 2015 年起, CEPC 顶点探测器研发团队开展了一系列的 CMOS 像素探测器芯片研发工作。

根据最新的对撞机设计方案和电子束本底的研究结果, 顶点探测器内层的最高击中率预计高达  $\sim 10^7/\text{cm}^2/\text{s}$ 。为满足 CEPC 顶点探测器的最高击中率需求, 研发团队开展一款名为 TaichuPix 的 CMOS 像素探测器芯片的研发。采用 180 nm CMOS 工艺, 目前已经完成了两个小规模原型芯片 ( $25\text{ mm}^2$ ) 的设计和验证, 均能够满足高达  $36\text{ MHz}/\text{cm}^2$  的击中率需求。本报告将介绍像素内读出电路的设计改进, 以实现  $25\text{ }\mu\text{m}$  的像素间距和  $40\text{ MHz}$  的快速读出频率。像素阵列的读出基于一种改进型的“列级数据传输链”的读出结构, 并设计了两种不同的像素数字读出电路作为对比方案。像素按照每两列一组排列, 所有双列并行读出, 以尽量减少死时间。列内有优先级编码器, 在列末端有时间计数器以记录信号击中像素的时间戳。当其中一个像素检测到击中时, 列末端电路以  $25\text{ ns}$  的时间分辨率存储当前时间戳。在触发模式下, 击中的时间戳 (时间窗口为  $175\text{ ns}$ ) 与触发信号匹配的数据被存至芯片级存储器。数据可通过高速串行数据接口输出至芯片外。本报告将介绍两个 TaichuPix 原型芯片的电学和放射源, 以及电离辐射前后芯片功能和噪声、阈值性能的测试结果。

## Summary

CMOS 像素探测器芯片, TaichuPix, 针对 CEPC 内层顶点探测器的需求进行设计, 像素尺寸为  $25\text{ }\mu\text{m} \times 25\text{ }\mu\text{m}$ , 预期可实现优于  $5\text{ }\mu\text{m}$  的空间分辨率。TaichuPix-2 原型芯片经电学信号和 Sr90、X 光及红外激光等测试, 证明芯片功能正常, 阈值和噪声性能可达国外同类芯片同等水平。总剂量测试表明, TaichuPix-2 芯片经累计总剂量  $30\text{ Mrd}$  辐照后, 仍可正常工作, 像素噪声和阈值性能与辐照前无显著下降。TaichuPix 最终版芯片的设计已完成, 芯片面积约  $18\text{ mm} \times 26\text{ mm}$ , 包括  $1024 \times 512$  个像素以及全功能的读出电路, 预期可以用于顶点探测器原型 ladder 的装配。

**Primary author:** ZHANG, Ying (IHEP)

**Co-authors:** DONG, Jianing (SDU); GUIMARAES DA COSTA, Joao (IHEP); ZHANG, Liang (SDU); CASANOVA, Raimon (IFEA); GRINSTEIN, Sebastian (IFEA); WU, Tianya (CCNU); Mr WEI, Wei (高能所); WEI, Xiaomin (Northwestern Polytechnical University); LI, Xiaoting (IHEP); LIANG, Zhijun (IHEP)

**Presenter:** ZHANG, Ying (IHEP)

**Session Classification:** Parallel Session V: Particle Detector Technology

**Track Classification:** 5. 粒子物理实验技术