

JadePix3 设计文档

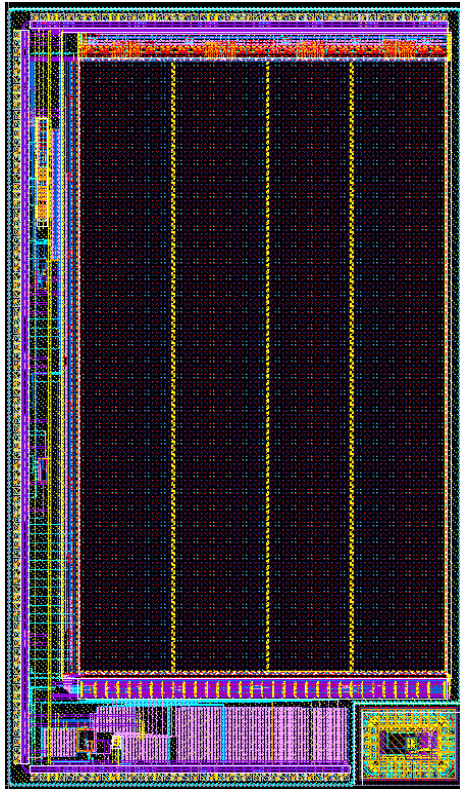
目录

第一部分：设计目标与方案

第二部分：设计实现与测试需求

- 2.1. Diode 和模拟前端
- 2.2. 像素内数字电路
- 2.3. 像素阵列与外围控制
- 2.4. 零压缩和数据缓存
- 2.5. Serializer 和 PLL
- 2.6. DAC 模块
- 2.7. SPI 模块
- 2.8. RSDS 测试模块
- 2.9. 带隙基准源测试模块
- 2.10. 测试系统可选方案

第三部分：管脚定义



Revision history:

0.1 2020/4/3, 初始版本, 各模块需补充。

0.2

第一部分：设计目标与方案

JadePix3 是高空间分辨，低功耗和快读出的像素阵列探测器芯片，按照 CEPC 的束流时间结构（表 1）和 baseline 探测器的无触发设计而采用了连续读出的工作模式。顶点探测器最内层要求空间分辨率达到 2.8 μm ，功耗小于 50mW/cm²，读出速度 1~100 μs 。前两个指标对顶点探测器物理性能有显著影响，因此作为设计优化的最高优先级；而读出速度有一定的灵活性，在现阶段设计中达到 100 μs 即可。

表 1. CEPC 的束流时间结构与顶点探测器击中率

Operation mode	H (240)	W(160)	Z(91)
Bunching spacing (us)	0.68	0.21	0.025
Hit density (hits $\cdot\text{cm}^{-2}\cdot\text{BX}^{-1}$)	2.4	2.3	0.25
Dara rate (hits $\cdot\text{cm}^{-2}\cdot\text{us}^{-1}$)	6.3	10.9	10

JadePix3 的方案采用弱反型的电流比较器进行像素内信号放大和甄别，过阈信号存储在像素内寄存器中，等待 Rolling Shutter 方式逐行扫描读出。像素阵列为 512 行，扫描速度为 192ns/行，完成一帧的时间为 98.3 μs 。每 48 列作为一个 sector，并行输入到 Priority Encoder 模块找出击中像素的列地址，并与 Rolling Shutter 的行地址组合后送入数据缓存中。4 个数据缓存在多路选择器的控制下轮流占用 Serializer 通道和 CML 串行端口输出数据。数据缓存的宽度 16 位（存储一个击中数据），深度为 48，写时钟频率为 43.75MHz，读时钟频率为 87.5MHz。Serializer 输出的串行码流为 875Mbps。

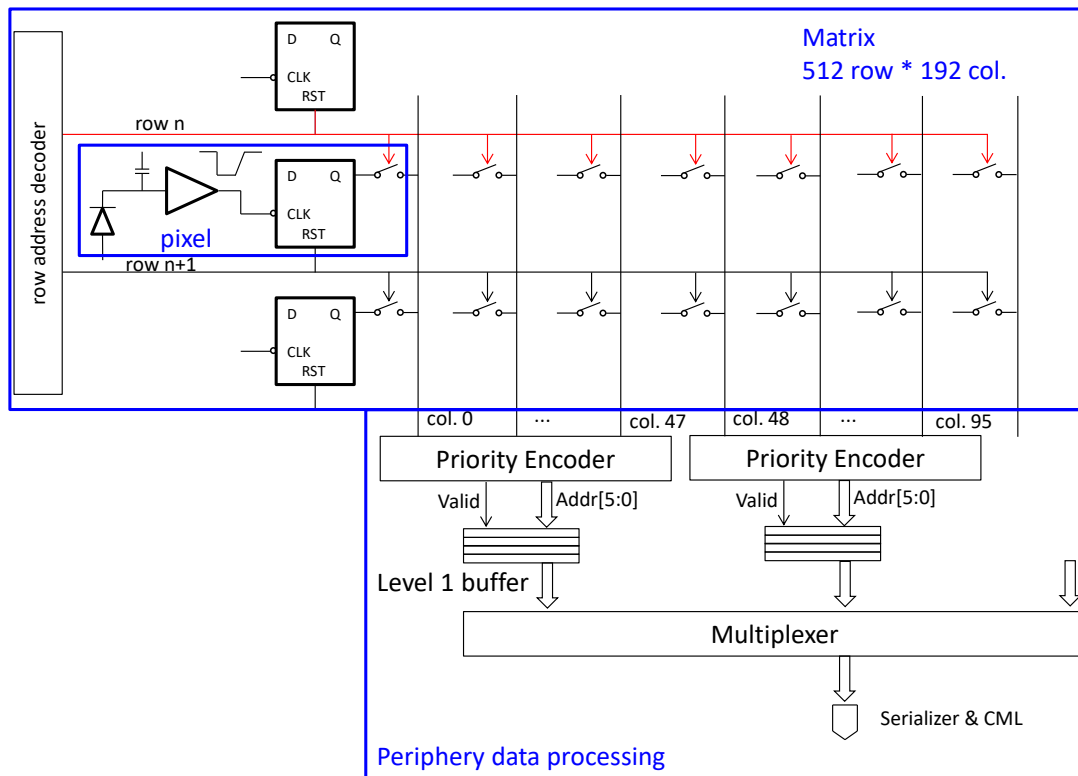


图 1. JadePix3 的整体设计方案

第二部分：设计实现与测试需求

JadePix3 的设计由如下模块组成：Sensing Diode 和模拟前端、像素内数字电路、Rolling shutter、零压缩和数据缓存、Serializer 和串行输出、DAC 模块、SPI 模块。除此以外还包含 LVDS 和带隙基准源两个独立的设计验证模块。以下是每个模块的功能描述，使用配置和主要指标说明。

为了方便区分片外输入输出信号和片内内部信号，前者名称用大写，后者名称用小写。

2.1. Sensing Diode 和模拟前端

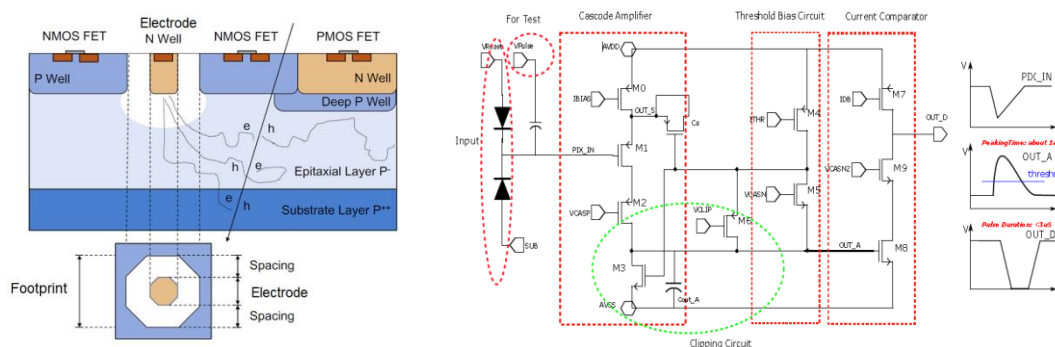


图 1 Sensing Diode 结构示意图（左）与模拟前端电路原理图（右）

高阻外延层的阻值大于 $1\text{k}\Omega\cdot\text{cm}$ （需确认），厚度为 $20\mu\text{m}$ （需确认）。Electrode N Well 与 P 型外延层形成 Sensing Diode，N 端的电势被 VRESET 钳制在 $V\text{RESET} - V_{\text{th}}$ ，P 端的电势由专用负压 PAD（PSUB_IN）提供，最大可设置到 -10V （需确认）。

信号电荷的收集过程约几十 ns，泄放过程约几百 us，因此图 1（右）中输入节点 pix_in 可近似看作负向阶跃电压。该阶跃电压通过耦合电容 Cs 降低 M3 的电流，使得该支路电流在节点 out_a 积分快速抬升其电压（前沿），迫使 M4/M5 支路的电流改道去补偿 M3 栅极的电压变化，直到 out_a 电压恢复到正常直流偏置（后沿）。out_a 经过 M7/8/9 支路的共源共栅进一步非线性放大，形成数字阈输出 out_d。

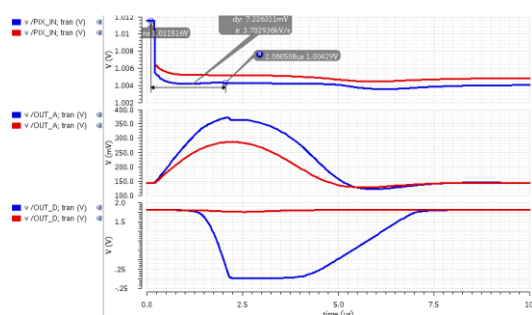


图 2 模拟前端电路的仿真波形，分别为低功耗版本（左）与高功耗版本（右，待补充）

上图是模拟前端电路的输入节点 pix_in，放大节点 out_a 和输出节点 out_d 的仿真波形，蓝色和红色分别对应前仿和后仿。可以看到在我们关注的 us 时间尺度，三个节点的信号分别是负向阶跃电压，正向模拟脉冲，和负向准数字脉冲。该仿真中的阈值分别约为 138e 和 163e ，信号输入在两者之间。模拟前端电路有低功耗和高功耗版本，分别为 FE_V0 和 FE_V1，具体的电路配置参数见表 1（待补充）。

表格 1 模拟前端电路配置参数

	IBIAS	IDB	ITHR*	Cd*	Ileak	VRESET	VCASP	VCASN	VCASN2	VCLIP
FE_V0	20 nA	4.5 nA	0.5 nA	2.5 fF	400 fA	1.4 V	600 mV	400 mV	500 mV	0
FE_V1	60 nA	10 nA	1 nA							

注 1: *标记为仿真值

表格 2 模拟前端电路的阈值和噪声指标

	阈值	瞬态噪声	阈值失配
低功耗版本前仿	138.1e	3.3e	2.7e
低功耗版本后仿	162.7e	3.2e	--
高功耗版本前仿			
高功耗版本后仿			

表 2 是模拟前端电路两个版本的阈值和噪声指标 (待补充), 按照以往的测试经验, 瞬态噪声跟测试结果比较一致, 但阈值失配差别显著。

2.2. 像素内数字电路

像素内数字电路有三个不同版本的设计, 分别命名为 DGT_V0/1/2。主要功能是存储模拟前端输出的 hit 信息, 并配合 rolling shutter 读出和重置该存储器, 辅助功能包括单独控制每个像素的测试脉冲输入开关和存储器输出开关。三个版本在具体实现上有一些区别, 见下表。

表格 3 数字内像素电路的不同版本比较

	DGT_V0	DGT_V1	DGT_V2
hit 存储器	RS-latch	D-flipflop	RS-latch
PULSE 开关	有	有	有
MASK 开关	有	无	无
全局 reset	有	无	无

PULSE 开关和 MASK 开关都是采用的 D-latch, 通过行地址选择线 rowselp/m 和列地址选择线 col_sel 把数据线 CON_DATA 的状态写入相应的单元。

APLSE 驱动 vpulse 从 VPLSE_HI 切换到 VPLSE_LO, 两者之间的电压差会在模拟前端进行电荷注入测试。

DPLSE 与模拟前端输出的 hit_pix_b 相“或”后可将 RS-latch 置位。

GSHUTTER (图中 strobe_b) 为全局门控信号。

pix_rst_b (图 7 中的 resetn) 为 Rolling shutter 给出的行 reset 信号。

rd_en_row 为 (图 7 中 sel) Rolling shutter 给出的行读出信号。

MATRIX_GRST (图中 matrix_grst_b 是其反相后的信号) 为全局 reset 信号。

DGT_V0/1/2 的电路框图如下:

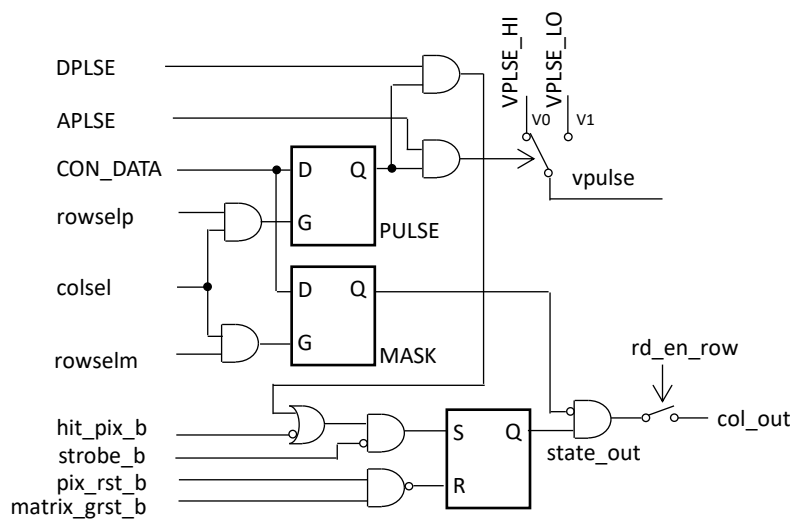


图 3 像素内数字电路 DGT_V0

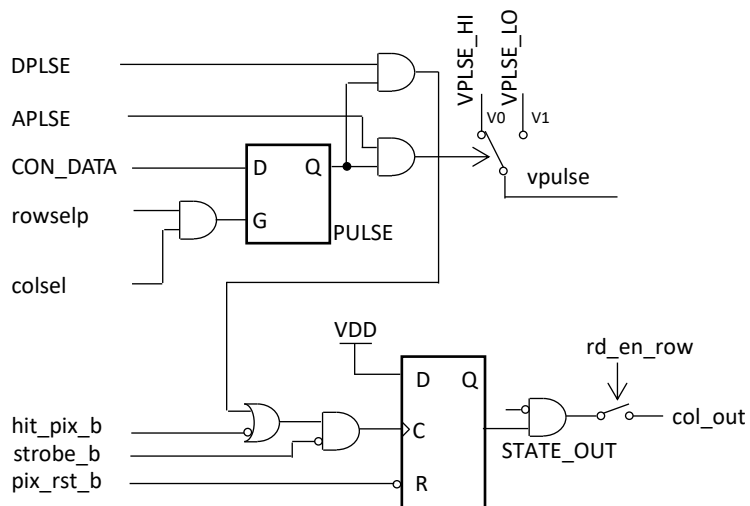


图 4 像素内数字电路 DGT_V1

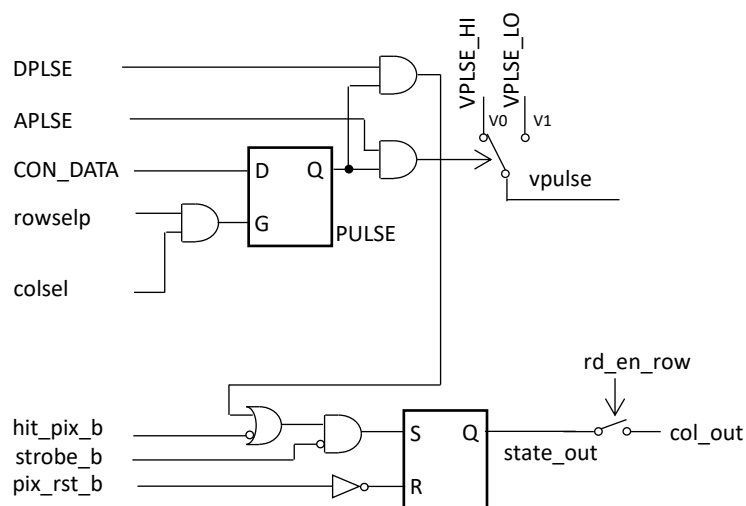


图 5 像素内数字电路 DGT_V2

D-latch 的写操作用 10MHz 的时钟产生相应时序即可；列总线 col_out 的负载大，settle time 需要 100ns，具体见周扬 2018 年 12 月 28 日报告。DFF 的设计见周扬 2018 年 11 月 23 日报告。另外，一些功能仿真见卢云鹏 2018 年 12 月 7 日报告。

2.3. 像素阵列与外围控制

像素阵列的规模为 512 行,192 列,按照模拟前端 FE_V0/1 和像素内数字电路 DGT_V0/1/2 的不同组合划分为 4 个 Sector (见下表)。每个 Sector 各 48 列,相邻的列为镜像排布,从而可以共用纵向布线,减小像素间距。Sector2 的像素尺寸最小,行间距为 16um,列间距为 23.11um,其它 Sector 均为行间距 16um,列间距 26um。行的编号规则为从上到下由 0 到 511,列编号的规则为从左到右由 0 增加到 191。

表格 4 像素阵列的不同 Sector 比较

Sector	Diode	Front-end	Pixel digital	Pixel layout
0	2 + 2 μm	FE_V0	DGT_V0	16 \times 26 μm^2
1	2 + 2 μm	FE_V0	DGT_V1	16 \times 26 μm^2
2	2 + 2 μm	FE_V0	DGT_V2	16 \times 23.11 μm^2
3	2 + 2 μm	FE_V1	DGT_V0	16 \times 26 μm^2

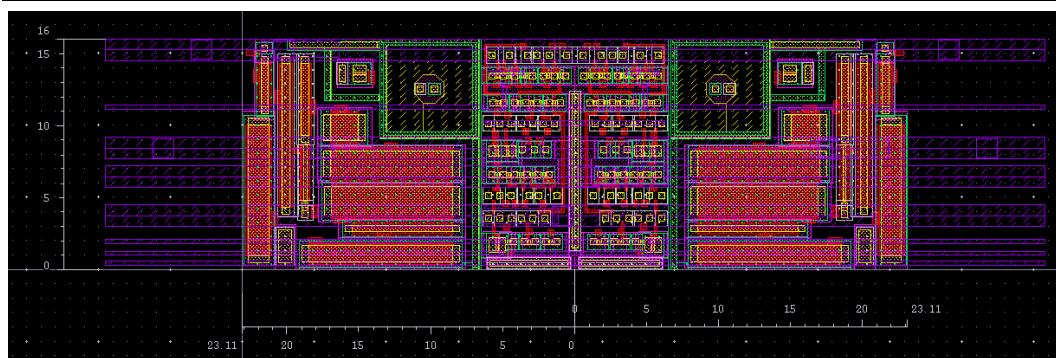


图 6 Sector2 相邻像素镜像排布的版图 (金属层仅显示了 M5)

行地址 RA[8:0]和地址使能 RA_EN 经过地址解码后与 RD_EN (图中 sel_in), HIT_RST((图中 reset_in), CON_SEL (图中 rowselm_in), CON_SEL (图中 rolwsel_in) 相“与”,输出

到对应的行作为控制信号。

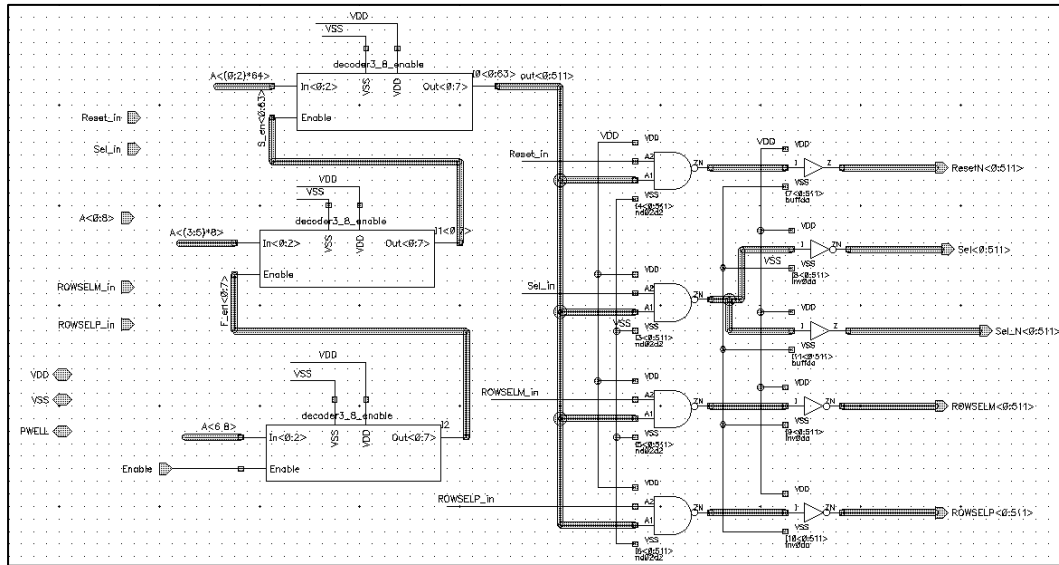


图 7 行地址解码与控制信号

Rolling shutter 的读出时序可参考周扬 2019 年 6 月 14 日的报告以及卢云鹏 2019 年 3 月 15 日的报告。

列地址 CA[8:0]和地址使能 CA_EN 经过地址解码后:

out<0:191>与 col_sel_in (外接 VDD) 相“与”作为该列的 col_sel 输入;

out<340:351>与 DIGSEL_EN(图中 matrix_sel_in)相“与”作为 192 列共用 16 位并行输出端的三态控制信号 MATRIX_DOUT[15:0];

out<224:239>, out<312:327>, out<392:407>, out<472:487>与 ANASEL_EN(图中 aout_sel_in)相“与”作为 64 个测试像素的模拟输出使能控制信号, 分别是 4 个 Sector 的正中间 16 个像素, 并在 Row[0]和 Row[1]中交替出现, 输出到 AOUT。对应关系如下表。

AOUT 的第一级驱动为 P 输入源跟随器, 其镜像电流源 VPSF 提供 22uA。AOUT 的第二级驱动为 Gain=1 的闭环运放, 可通过 PDB 端口 (高有效) 将运放关闭。

表格 5 测试像素模拟输出的地址对应关系

CA解码地址	224	225	226	227	228	229	230	231	232	233	234	235	236	237	238	239
ROW[0]像素位置		17		19		21		23		25		27		29		31
ROW[1]像素位置	16		18		20		22		24		26		28		30	
CA解码地址	312	313	314	315	316	317	318	319	320	321	322	323	324	325	326	327
ROW[0]像素位置		65		67		69		71		73		75		77		79
ROW[1]像素位置	64		66		68		70		72		74		76		78	
CA解码地址	392	393	394	395	396	397	398	399	400	401	402	403	404	405	406	407
ROW[0]像素位置		113		115		117		119		121		123		125		127
ROW[1]像素位置	112		114		116		118		120		122		124		126	
CA解码地址	472	473	474	475	476	477	478	479	480	481	482	483	484	485	486	487
ROW[0]像素位置		161		163		165		167		169		171		173		175
ROW[1]像素位置	160		162		164		166		168		170		172		174	

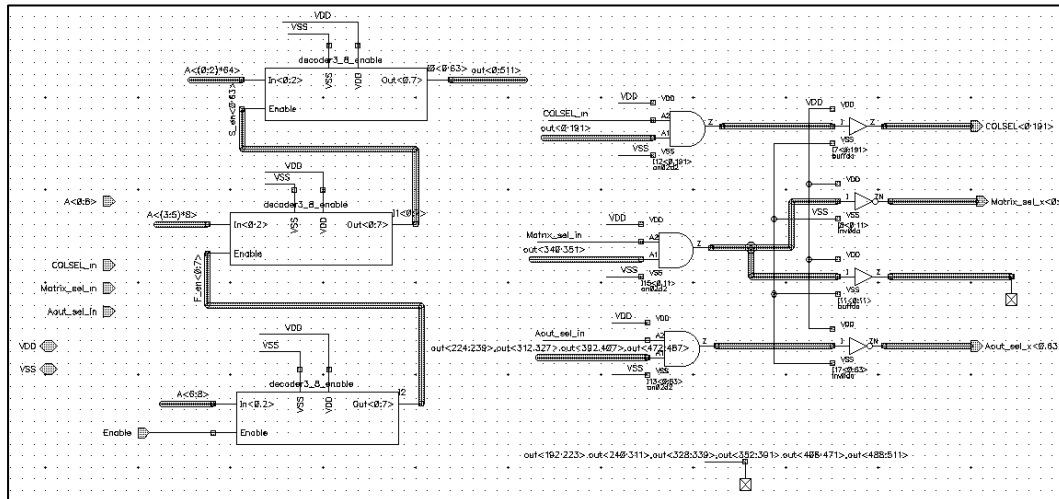


图 8 列地址解码与控制信号

像素阵列与外围控制的仿真见周扬 2019 年 6 月 14 日报告。

2.4. 零压缩和数据缓存

192 列的 col_out[0:191]信号在像素阵列的底部进入列端（End-of-Column）缓存，这些 D-Flipflop 在 CACHE_CLK 的控制下与 Rolling shutter 的行扫描同步锁存 col_out 信号。每 48 列作为一个 Sector，在 Sector 内部又进一步划分为 16 个 block。优先级编码模块(Priority Encoder)以 block 为操作单元来处理列端缓存的输出。

每个 PE 负责一个 Sector 即 16 个 block，按从左到右的顺序逐个查看 block 中是否有击中，如果有击中则将 9-bit 行地址+该 block 的 4-bit 编号+该 block 的 3-bit 输出组合为 16 位击中信息写入 FIFO 中，同时将该 block 的 DFFs 清零。为了与 Rolling shutter 的行扫描配合，这些操作的时钟 LVDS_RX_INP/N 的频率是 CACHE_CLK 的 12 倍。

FIFO 的写使能由 PE 的 VALID 信号控制，这些信号也被送到芯片外供 FPGA 监控数据流。这样 FPGA 可以确切地知道写入每个 FIFO 的数据数量，而 FIFO_READEN 和 BLK_SELECT[0:1] 则允许 FPGA 控制从任意 FIFO 读出数据，从而允许各种可能的读出算法。FIFO 的读出端口为 8 位宽，16 位击中信息的低 8 位先读出，高 8 位后读出，每个 FIFO 可存储 48 个击中信息。

除了 FIFO 中的数据，INQUIREY[0:1]还可控制 FSM 输出 K28.5 控制码或者 FIFO 的状态信息。FIFO 状态信息定义如下（待更新）：

表格 6 FIFO 状态信息字节定义

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ff0_emp	ff0_ful	ff0_emp	ff0_ful	ff0_emp	ff0_ful	ff0_emp	ff0_ful

FSM 输出的 8-bit 并行数据经过 8b10b 编码后再并串转换为 800Mbps 的串行码流输出，同时芯片的输出端口也保留了 8-bit 并行输出 DATA_OUT[7:0]。为了方便测试，列端缓存有 4 根同步置位控制线 CACHE_BIT_SET[3:0]，按照 4 位重复的方式接入 192 个 DFF，可在测试中产生不同的击中样式。

零压缩和数据缓存模块的全局复位信号是 DIG_RO_RST_x，低有效。

零压缩和数据缓存部分的时序约束见肖乐 2019 年 1 月 25 日报告，需注意后来设计有大幅度更新见肖乐 2019 年 4 月 26 日报告。从像素阵列到零压缩和数据缓存的整体混合仿真验证，见吴志岗 2019 年 7 月 26 日报告。

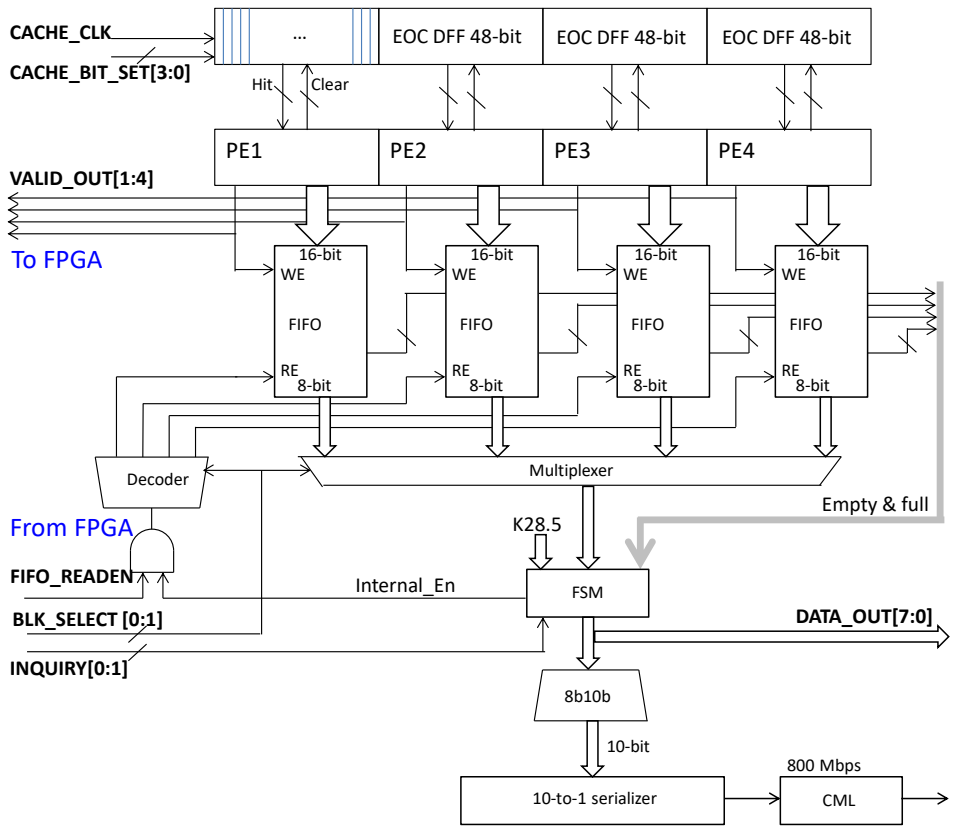


图 9 零压缩和数据缓存电路框图

2.5. Serializer 和 PLL

Serializer 模块的输入端口为 10-bit 并行数据，在时钟 CLK_IN（400MHz）的上升和下降沿各采样 1 位数据从串行端口 SERIALIZER_OUTp/n 输出，接口标准为 CML。Serializer 的并行输入数据，clk_in 以及 SERIALIZER_RST 的工作时序（待补充）。

clk_in 可由芯片外部提供，也可通过片内的 PLL 提供，与之相关的时钟方案如下图所示。

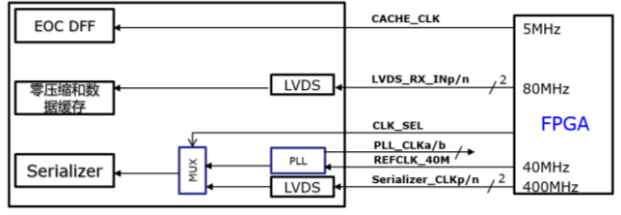


图 10 数据读出相关的时钟方案

PLL 和 MUX 相关的引脚说明如下，其中 Ibit0/1 和 Rbit0/1 由 SPI 提供，CLK_SEL 由输入管脚提供。

- REFCK_40M: 40MHz 参考时钟;
- ibit0、ibit1: 电荷泵充放电电流调节档位;
- rbit0、rbit1: LPF 中电阻档位调节，改变环路带宽;
- CLK_SEL: 选择器控制输入端。当 CLK_SEL =1 时，输出内部 PLL 的 400M 时钟信号；当 CLK_SEL =0 时，输出直接由外部输入提供 400M 时钟信号;
- VC: VCO 控制电压输出，测试用;
- SERIALIZER_CLKP/N: 从 FPGA 输入的 400M 时钟;
- out_400m: 输出 400M 时钟，供 Serializer 使用;

PLL_CLKA/B: PLL 输出，差分 400M 时钟，供测试使用，仿真时负载电容 120ff；

2.6. DAC 模块

DAC 模块为模拟前端 FE_V0 和 FE_V1 提供电压和电流偏置，各 6 个通道。通道名称与用途的对应关系见下表。

表格 7 DAC 的通道名称与用途

通道名称	用途
VDAC_1	VREF_IDAC, 为 IDAC_1/2/3 提供参考电压
VDAC_2	VREF_IDAC_V2, 为 IDAC_4/5/6 提供参考电压
VDAC_3	VCASP_OUT, 为模拟前端 FE_V0/1 提供偏置电压
VDAC_4	VCASN_OUT, 为模拟前端 FE_V0/1 提供偏置电压
VDAC_5	VCASN2_OUT, 为模拟前端 FE_V0/1 提供偏置电压
VDAC_6	VCLIP_OUT, 为模拟前端提 FE_V0/1 供偏置电压
IDAC_1	IBIAS, 为模拟前端 FE_V0 提供偏置电流
IDAC_2	IDB, 为模拟前端 FE_V0 提供偏置电流
IDAC_3	ITHR, 为模拟前端 FE_V0 提供偏置电流
IDAC_4	IBIAS2, 为模拟前端 FE_V1 提供偏置电流
IDAC_5	IDB2, 为模拟前端 FE_V1 提供偏置电流
IDAC_6	ITHR2, 为模拟前端 FE_V1 提供偏置电流

电压 DAC 的参考电压 VREF_VDAC 由片外电压参考源提供，也可以用两个片内带隙基准源输出的 VREF_BANDGAP (华师设计) 或者 VREF_BANDGAP_ALT (山大设计)，默认值为 1.2V (待确认)。电流 DAC 的参考电压 VREF_IDAC 和 vref_idac_v2 由 VDAC_1/2 提供，默认值为 1.2V (待确认)。

电压 DAC 为 10 位，电流 DAC 为 8 位，均由 SPI 提供并行编码数据 (见 SPI 部分)。

电压 DAC 的输入输出关系为 (待确认)：

$$V_{out} = VREF_VDAC \times \frac{N}{1024} \times 1.22 (V), N \text{ 为 DAC 输入}$$

电流 DAC 通道 IDAC_1/2/3 的输入输出关系为 (待更新)：

$$I_{out} = VREF_IDAC \times \frac{N}{256} \times coefficient (nA), N \text{ 为 DAC 输入}$$

电流 DAC 通道 IDAC_4/5/6 的输入输出关系为 (待更新)：

$$I_{out} = VREF_IDAC_V2 \times \frac{N}{256} \times coefficient (nA), N \text{ 为 DAC 输入}$$

表格 8 电流 DAC 通道的转换系数

	IBIAS	IDB	ITHR	IBAS2	IDB2	ITHR2
coefficient						

电压 DAC 的 6 通道输出可通过独立控制的开关 `moni_sel[11:6]` 从端口 `V_MON_OUT` 送到片外测量，需要注意每次只能打开一路开关，否则同时输出的电压驱动冲突。电流 DAC 的 6 通道输出也可以通过独立控制的开关 `moni_sel[5:0]` 从端口 `I_MON_OUT` 送到片外测量，打开一路开关即可独立测量该通道电流值，如果打开多路则电流值相加。这些开关通过 SPI 控制 (见 SPI 部分，已更名为 `moni_sel_xxxx`)。

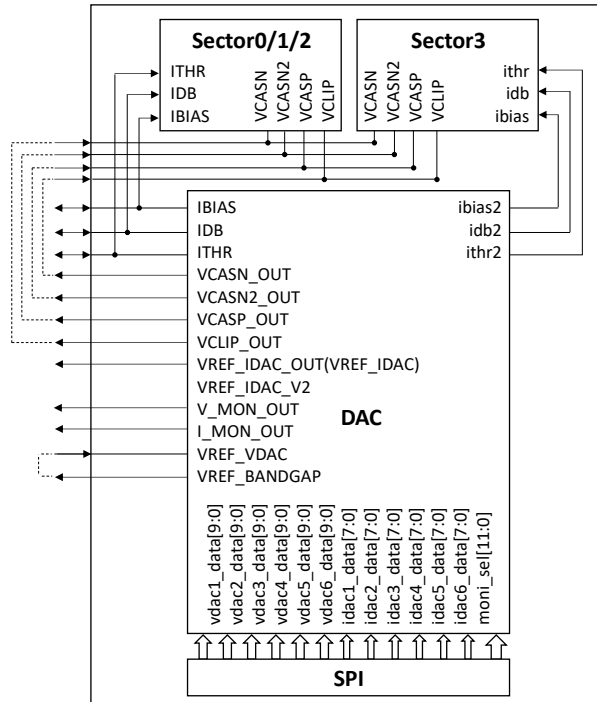


图 11 DAC 模块的接口示意图

2.7. SPI 模块

SPI 模块提供 200 个串行输入的控制字 REG[199:0], 用于 DAC, PLL, LVDS 设计验证模块, 带隙基准源设计验证模块等功能单元的配置。SCK 上升沿采样 SDI 送入 200-bit 移位寄存器, LOAD 上升沿将移位寄存器锁存到输出寄存器。功能仿真见吴志岗 2019 年 5 月 10 日的报告, 需注意输出端 SDO 的码流与输入端 SDI 有差别, 需进一步确认原因。

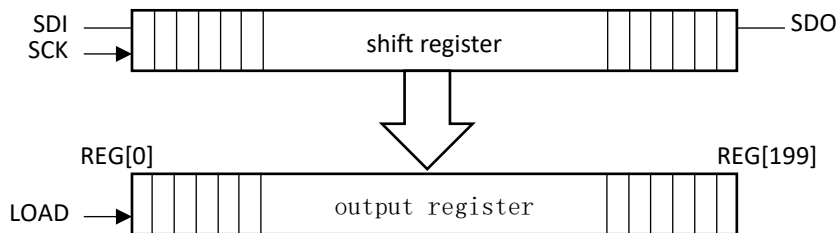


图 12 SPI 模块的接口示意图

表格 9 SPI 模块的控制端口定义

REG 位数	控制端口	说明	REG 位数	控制端口	说明
0	idac1_data[7]	IDAC1	40	idac5_data[3]	IDAC5
1	idac1_data[6]		41	idac5_data[2]	
2	idac1_data[5]		42	idac5_data[1]	
3	idac1_data[4]		43	idac5_data[0]	
4	idac1_data[3]		44	moni_sel_idac5	
5	idac1_data[2]		45	moni_sel_idac6	
6	idac1_data[1]		46	idac6_data[0]	
7	idac1_data[0]		47	idac6_data[1]	
8	moni_sel_idac1		48	idac6_data[2]	
9	moni_sel_idac2	49	idac6_data[3]		
10	idac2_data[0]	IDAC2	50	idac6_data[4]	
11	idac2_data[1]		51	idac6_data[5]	
12	idac2_data[2]		52	idac6_data[6]	
13	idac2_data[3]		53	idac6_data[7]	
14	idac2_data[4]		54	moni_sel_vdac1	VDAC1
15	idac2_data[5]		55	vdac1_data[0]	
16	idac2_data[6]		56	vdac1_data[1]	
17	idac2_data[7]	57	vdac1_data[2]		
18	idac3_data[7]	IDAC3	58	vdac1_data[3]	
19	idac3_data[6]		59	vdac1_data[4]	
20	idac3_data[5]		60	vdac1_data[5]	
21	idac3_data[4]		61	vdac1_data[6]	
22	idac3_data[3]		62	vdac1_data[7]	
23	idac3_data[2]		63	vdac1_data[8]	
24	idac3_data[1]		64	vdac1_data[9]	
25	idac3_data[0]	IDAC4	65	moni_sel_vdac4	VDAC4
26	moni_sel_idac3		66	vdac4_data[0]	
27	moni_sel_idac4		67	vdac4_data[1]	
28	idac4_data[0]		68	vdac4_data[2]	
29	idac4_data[1]		69	vdac4_data[3]	
30	idac4_data[2]		70	vdac4_data[4]	
31	idac4_data[3]		71	vdac4_data[5]	
32	idac4_data[4]	IDAV5	72	vdac4_data[6]	VDAC2
33	idac4_data[5]		73	vdac4_data[7]	
34	idac4_data[6]		74	vdac4_data[8]	
35	idac4_data[7]		75	vdac4_data[9]	
36	idac5_data[7]		76	vdac2_data[9]	
37	idac5_data[6]		77	vdac2_data[8]	
38	idac5_data[5]		78	vdac2_data[7]	
39	idac5_data[4]	79	vdac2_data[6]		

REG 位数	控制端口	说明		REG 位数	控制端口	说明
80	vdac2_data[5]	VDAC2		184	bgp_en	带隙基准源设计验证模块
81	vdac2_data[4]			185	bgp_trim[0]	
82	vdac2_data[3]			186	bgp_trim[1]	
83	vdac2_data[2]			187	bgp_trim[2]	
84	vdac2_data[1]			188	bgp_trim[3]	
85	vdac2_data[0]			189	rsds_sel_lpbk	RSDS 设计验证模块
86	moni_sel_vdac2			190	rsds_sel_rx	
87	vdac5_data[9]	191		rsds_sel_tx		
88	vdac5_data[8]	VDAC5		196	pll_rbit0	PLL
89	vdac5_data[7]			197	pll_rbit1	
90	vdac5_data[6]			198	pll_ibit1	
91	vdac5_data[5]			199	pll_ibit0	
92	vdac5_data[4]					
93	vdac5_data[3]					
94	vdac5_data[2]					
95	vdac5_data[1]					
96	vdac5_data[0]					
97	moni_sel_vdac5					
98	moni_sel_vdac3	VDAC3				
99	vdac3_data[0]					
100	vdac3_data[1]					
101	vdac3_data[2]					
102	vdac3_data[3]					
103	vdac3_data[4]					
104	vdac3_data[5]					
105	vdac3_data[6]					
106	vdac3_data[7]					
107	vdac3_data[8]					
108	vdac3_data[9]					
109	moni_sel_vdac6	VDAC6				
110	vdac6_data[0]					
111	vdac6_data[1]					
112	vdac6_data[2]					
113	vdac6_data[3]					
114	vdac6_data[4]					
115	vdac6_data[5]					
116	vdac6_data[6]					
117	vdac6_data[7]					
118	vdac6_data[8]					
119	vdac6_data[9]					

2.8. RSDS 设计验证模块

RSDS 模块是为了验证降低摆幅而节省功耗的设计，包含一个差分驱动器和一个差分接收器。

差分驱动器将单端输入信号 RSDS_TX_IN（图中 IN_TX）转换为差分输出信号 RSDS_TX_OUTp/n（图中 VOUTP/N_TX），共模参考电压 RSDS_VCM（图中 VCM_REF）可设置为 1.21V（需确认）。

差分接收器将差分输入信号 RSDS_RX_INp/n（图中 INp/n_RX）转换为单端输出信号 RSDS_RX_OUT（图中 OUT_RX）。为了方便测试，接收器的输出可直接连到发送器的输入，将 SPI 的 rds_sel_lpbk 位（图中 sel_rxo）置 1 即可。

驱动器和接收器均可独立关闭，将 SPI 的 rds_sel_tx/rx 位（图中 sel_tx/rx）置 0 即可。偏置所需要的电流从 RSDS_IBIAS 输入，设计值 160uA。

RSDS 的设计细节见施展 2018 年 12 月 28 日报告。

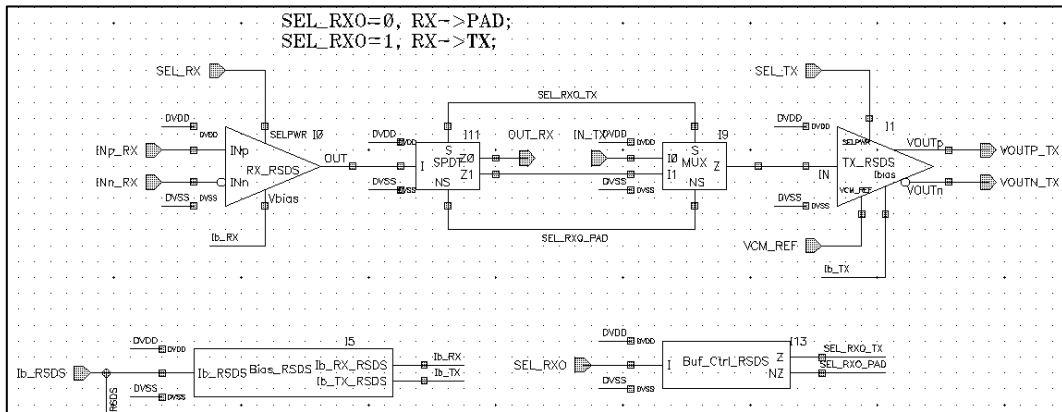


图 13 RSDS 设计验证模块

2.9. 带隙基准源设计验证模块

带隙基准源模块是为了验证输出 1.2V 参考电压的设计，输出端口 VREF_BANDGAP_ALT（图中 vref1p2v）。bgp_en 和 bgp_trim[0:3]通过 SPI 设置（见 SPI 部分），bgp_en 置 1 有效，bgp_trim[0:3]微调输出电压： $VREF_BANDGAP_ALT = 1.2V + Vtrim$

表格 10 BGP_TRIM 与输出电压

bgp_trim	0000	0001	0010	0011	0100	0101	0110	0111	
Vtrim(mV)	1200	+12	+24	+36	+48	+60	+72	+84	
bgp_trim		1111	1110	1101	1100	1011	1010	1001	1000
Vtrim(mV)		-12	-24	-36	-48	-60	-72	-84	-96

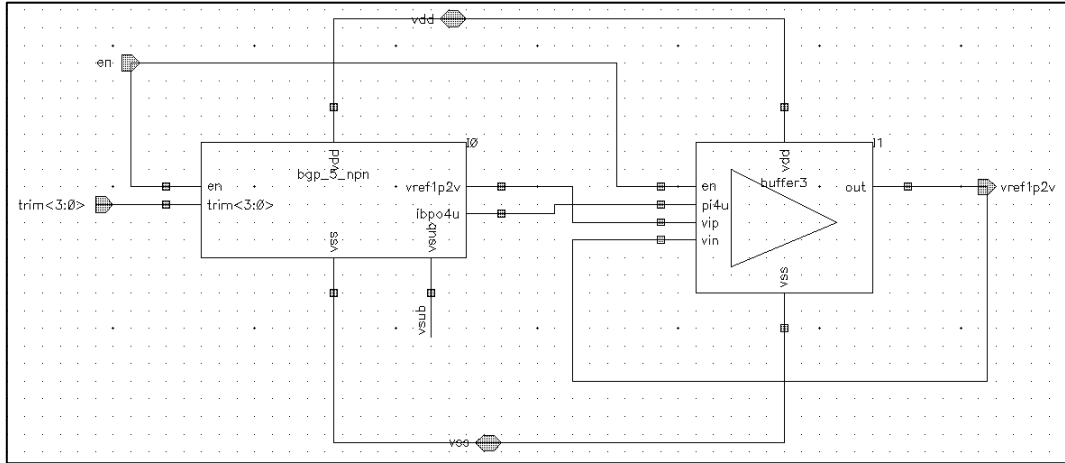


图 14 带隙基准源设计验证模块

2.10. 测试系统可选方案

见吴志岗 2019 年 11 月 19 日报告。

第三部分：管脚定义

见 excel 附件：JadePix3 芯片管脚定义表。