

CMOS芯片的测试需求与计划

卢云鹏

2020/6/19



测试工作的准备情况

- 测试系统的可选方案，吴志岗，2019.11.19 (<https://indico.ihep.ac.cn/event/9582/>)
 - 基于FPGA开发板KC705搭建JadePix3的测试系统是可行的
 - CPV3的测试系统提供了有用的参考设计：子板 + FPGA固件 + DAQ软件
- 芯片设计文档，卢云鹏，2020.4.3（本次会议网页）
 - 为测试人员提供基本的芯片结构信息
 - 为设计人员提供快速查阅的备忘录
 - 在测试过程中可进一步完善和补充
- 芯片测试需求，卢云鹏，2020.5.19（本次会议网页）
 - 罗列了芯片各模块测试的需求，待各位补充
- PCB子板原理图，董文豪，2020.6.16 (本次会议网页)
 - 作为讨论和修改的工程文档，需尽快定稿



设计文档中一些需要补充的内容

- 模拟前端的高功耗版本是否用相同的偏置电压 (VCASN, VCASN2, VCASP, VCLIP) ?
VRESET_S3应该用什么电压?
- 高功耗版本的仿真波形, 阈值和噪声仿真结果需补充
- Serializer的工作时序需补充
- 电流DAC通道的转换系数需补充
- SPI的SDO与SDI码流不一致问题需确认原因



计划

- 6.30前，完成子板原理图
 - 7月中旬完成子板PCB
- 8月完成子板的高密度座焊接和芯片bonding
- 9-10月开发FPGA固件和DAQ软件
- 11-明年2月，初步完成实验室测试
- 明年3月，根据实验室测试结果考虑下一次流片的设计方案
 - 修修补补
 - 或者再上一层楼



其它

■ 芯片命名

- 在娄辛丑的报告《CEPC CDR和探测器预研的进展》中首次被称为JadePix3，2019年4月核探测与核电子学重点实验室年会，此后在CEPC workshop以及HSTD会议上都沿用了JadePix3
- 我个人建议在MOST项目框架下保持JadePix系列命名，如果有必要，在MOST框架外可以增加其它命名

■ 文档共享

- <http://ihepbox.ihep.ac.cn/ihepbox/index.php/s/j3q81Asutsa7XPp>
- 链接可浏览，注册高能所统一认证账号后可修改

