技术——战略规划

电子学共5千字，7月26日前

一、与实验相关的考虑（1千字）（魏）

CEPC, STCF, CERN...

已有芯片列表，已有水平

15年后的进一步提高水平

相关技术和器件国产化问题

（魏微）

根据中国高能物理未来战略规划，以及CERN已经形成的欧洲粒子物理战略，未来中国高能物理电子学系统主要需要满足的是国内主导的以CEPC、STCF等为代表的大型物理实验，以及以LHC升级、ILC、FCC等为代表的国际合作中各类先进探测器的读出需求，同时，考虑到电子学与工业界发展紧密结合的特点，以及学科自身的发展规律，还应该积极探索各类新技术的引入，以及诸如抗辐照电子学、高速数据传输等共性问题的研究。

近十年来，以CERN为代表的国外高能物理领域在电子学最新技术和应用方面取得了大量成果[1]，包括130nm集成电路工艺的广泛使用、抗辐照电子学、GBT（GigaBit Tranceiver）通讯框架、通用光纤链路、多核处理架构等等。而国内电子学研究虽然也取得了长足的进步，但与国外相比仍有较大差距。近十年来，国内电子学研究中的专用集成电路技术经历了由起步到逐渐发展的过程，已有自主研发的芯片用于大科学工程上的成功例子。以MPGD、半导体像素探测器为代表的先进探测器及其读出电子学等也有全面的发展。后端电子学及触发系统技术日益成熟，除了继续对大型物理实验提供稳定支持外，在高精度时间测量、海量数据通讯等前沿研究方面均已达到世界先进水平。

针对未来物理实验以及探测器发展，CERN已提出将顶点探测精度提高至数微米，径迹探测器物质量减少至1%以下，同时抗辐照水平、计数率水平、数据率水平都提升至当前水平的十倍以上，时间分辨能力提高到数十皮秒水平，并且发展高颗粒度量能器等的研究目标[1]。在我国高能物理未来战略规划中，我们应该着力推动电子学相关技术加速发展，力争在未来十五年内，使我国的电子学水平达到和国外同等水平。因此，在针对未来物理实验的前端电子学同样实现上述指标的同时，我们还应加快发展当前相对差距最为巨大的抗辐照加固等相关技术的研究。

考虑到国际合作形势的日益严峻，以及电子学系统长久以来受到的器件禁运等因素的影响，未来物理实验中电子学系统能否实现充分、必要的国产化，对实验整体的顺利开展至关重要。由于专用集成电路流片均需依赖工艺厂商，而高能物理电子学系统又包含与辐射应用相关的敏感领域，流片渠道的风险近来日益升高，因此建立基于国内工艺的可靠流片渠道具有重要意义。此外，针对FPGA、高速缓存等高性能器件，也应考虑寻找可能的国内替代方式，或者逐渐转入到以片上数据处理、片上存储为主的前端电路实现方式上。

二、技术（4千字）

1. （探测器相关）大型物理实验应用、领域（2千字，每项约600~1000字？）

高颗粒度（像素类）+像素幅度（能量）分辨能力（孙向明、高武）

（孙向明）

高颗粒度读出芯片采用CMOS工艺直接将读出电极制作在芯片表层，形成高密度的读出电极阵列。该探测器能够与气体直接耦合，应用于毫米级径迹长度的初始点方向测量。像素的大小要小于50微米，能量分辨8位以上。高颗粒度读出芯片与SPAD或者SiPM结合，形成具有空间分辨能力的单光子灵敏器件，同时高精度的测量入射光子的位置和时间，位置分辨率未来可达到20微米，时间分辨能力小于50皮秒。高颗粒度读出芯片与半导体直接耦合，包括跟硅和其他半导体的耦合，像素的大小达到20微米，能量分辨8位以上。高颗粒度读出芯片的像素大小由耦合的工艺决定。目前植球方法的精度国际上可达到30微米，可以作为国内5年内的发展目标。未来15年耦合精度应突破10-20微米的量级。并可成熟应用。高颗粒度读出芯片的时间分辨能力未来五年以100皮秒为目标。未来15年应达到30皮秒以内。高颗粒度读出芯片的像素内数字化是一个重要的技术突破点，可采用TOT或者压控振荡器等技术。高颗粒度读出芯片的像素的高事件率计数和带能谱的计数技术也是一个重要的方向，技术频率实现1MHz（五年）到5MHz(十五年)，并且具有6位的能谱分辨。

混合型像素探测器数字像素读出ASIC（高武）

未来大型高能物理实验装置探测亮度和事件率同时提高，需要研制更先进的大阵列高速像素探测器。在CERN RD53合作组给出的项目建议中给出，未来ATLAS 和CMS中最内层粒子径迹探测也将采用混合型像素探测器，需要研制与之匹配的数字像素读出ASIC芯片，攻克像素内低噪声设计、高计数率设计、高速数据读出，采用Cu-Cu互连等新堆叠封装技术等，使性能达到更小的是像素尺寸（<50μm pitch），像素数据位宽4~6位，更大的事件率（1-2 GHz/cm2），前所未有的抗辐射能力（100MGy），更高输出带宽（>100Gb/s），更高集成度(>4cm2/chip)。

低噪声（MPGD、高计数率）（邓智、赵雷、千奕）

（邓智）

开展大面积微结构气体探测器读出专用芯片研制，实现高精度二维和三维带电粒子径迹探测。关键芯片设计技术包括低噪声放大、波形采样以及幅度和时间信息提取和数据压缩等。基于深亚微米先进CMOS集成电路工艺，实现毫瓦级低功耗10-100MSPS、8-12bit波形采样ADC（模数转换器）以及集成可编程、智能化的数字信号处理电路。开展微结构气体探测器百微米级像素读出芯片以及适用于MHz高事例率下的无触发读出电路结构研究，拓展气体探测器在高能核物理以及核能和国防等领域中的应用。

（赵雷）

低噪声、高计数率电子学是一个重要的发展方向，特别是未来以MPGD为代表的探测器的发展，对于此技术方向电子学提出了更高的要求。其核心技术挑战和发展方向包括如下方面。第一，低噪声电路设计技术，此类探测器信号微弱，为实现信号的高精度测量，需实现fC、亚fC的低噪音指标；第二，高计数率，需实现几十至百kHz事例率下信号的读出；第三，具备同时实现电荷和时间测量的能力。此外，还期望实现全数字化读出。上述关键突破需从电子学系统设计和ASIC设计两个角度展开研究，完成的关键技术在此领域国内外大型物理实验装置中有重要的应用价值（如未来的超级陶粲装置STCF中PID探测器等）。

（千奕）

高能物理实验中，通常关注的事件发生的几率低、或反应产物很快复合，因此需要高流强高计数率的实验装置来高效率的获取实验成果。GEM-TPC 探测器在灵敏区内无场丝，可以减小对束流能量的影响，有效增加探测器使用寿命；同时，快速的电荷收集特性，使其成为高计数率的径迹探测器。GEM-TPC 的读出

通常采用的是低噪声电荷灵敏前置放大器与主放成形加ADC的读出架构。对 TPC 探测系统的一些关键需求包括：高密度的前端电子学；利用外部和内部（如多重性）事件的触发系统；高速的、最小系统死时间的数据传输系统。然而目前国内外的前端读出专用集成电路芯片无法满足高计数率的需求，因此，针对GEM-TPC探测器进行高计数率的ASIC芯片研制成为亟待解决的问题。

为了实现高计数率读出，需要从多个角度对前端读出架构进行改进。

1. 前放的衰减时间需要符合计数率需求，在关注的能量信号范围内，前放需要对99%的信号进行正确放大而不发生堆积现象。

2. 主放成形电路处理后的准高斯波形，前沿达峰时间与后沿恢复时间之和需要小于计数率的要求时间。

3. 为了在后端正确恢复主放输出的波形，ADC的采样率与带宽需要高于主放前沿信号的带宽2倍以上，这对ADC电路的设计提出了一定的挑战。

针对以上几个角度，提出了相对应的解决方法。

1. 扩大前放输出信号的动态范围，可以降低前放堆积饱和的概率。根据关注的能量信号，计算前放中泄放网络的时间常数，为实现低功耗设计并适配高计数率探测器的快信号特性，前放的增益、关注的能量范围、探测器的体电容等参数，需要相互匹配。

2. 前放的基线恢复电路，要求阻抗连续，如果采用开关泄放，会产生伪信号，降低主放输出能量信息的线性。而降低前放的反馈电阻，电阻热噪声会增加，不利于低噪声。这部分，需要通过建模仿真，对反馈电阻的热噪声进行抑制。

3. 高采样率的ADC会带来更大的功耗，能量通道仅关注能量信息，可以对能量信息进行峰值采样。采样电压，通过ADC对峰值转换后数字化输出。ADC可以采用较慢的采样率，功耗更低，同时，也能保留能量信息。

高计数率的前端读出ASIC的研制具有创新性，并且对于物理实验成果产出具有极大促进。

前端数字化、波形数字化（赵雷、高武）

（赵雷）

随着探测技术的进步和电子学技术的发展，探测器信号的前端数字化是一个必然的趋势。将探测器输出信号经处理后直接在前端转换为数据结果，可以保证后续信号传输和处理的质量，契合未来粒子物理实验向着更大规模的发展趋势。此方面研究的核心是前端数字化ASIC设计技术，特别是低功耗、高性能模拟-数字变换器（ADC）电路实现技术。另外一方面，探测器信号的波形数字化也是一个重要的发展方向，相对于传统的时间、电荷测量方法，此技术通过对探测器信号进行高速采样，获得全波形信息，可以得到最全面的信息，使得物理学家可以根据应用的不同，使用其期望的处理模式对信号进行分析。此技术的关键发展方向是高速波形数字化（包括电子学系统级及ASIC级设计技术，采样率GHz至十GHz）以及实时的波形分析和数字信号处理技术。

高精度时间测量（TOF）（赵雷）

高精度时间测量是物理实验电子学的核心任务之一。下一代探测器的发展对电子学时间测量精度提出了更高的要求。目前稳定运行的高精度时间测量电子学水平在～20 ps RMS，未来则要求电子学实现好于10 ps RMS的精度指标。因此需要展开深入研究，提升电子学测量精度。有两个技术是未来展开深入研究的方向。第一个是以放大、甄别结合时间-数字变换（TDC）为代表的技术方向，其核心是掌握更高性能的前端放大甄别ASIC及TDC ASIC设计以及高速、低噪声系统级设计技术；第二个方向是基于高速波形数字化技术，进行高速采样ASIC的设计，配合电子学修正和数字信号处理技术，提取时间信息，此方向关键技术是采样ASIC，实时修正、提取算法和高速电子学系统的设计技术。

大动态范围（量能器）（沈仲弢、赵雷）

大动态范围信号读出和测量技术也是此领域未来电子学需要深入发展的一个重要方向，其应用以加速器物理实验中的量能器读出以及大型宇宙线实验中信号读出为代表。例如STCF为例，其电磁量能器单根晶体沉积的最低待测能量低至1 MeV，最高待测能量可达3 GeV，相应的读出电子学需要有3000倍以上的动态范围。因此，如何在大动态范围下实现高精度的信号测量是一个关键技术，此方向的核心为大动态范围前端读出ASIC和低噪声电子学系统的设计技术，通过电子学低噪声设计结合多增益处理、高精度阻抗匹配等技术，实现数千倍大动态范围下的精密信号测量。

高能物理环境下的抗辐照问题 （高武、赵雷）

（高武）

需要研究基于深亚微米先进CMOS工艺，特别是130 nm、65 nm及以下工艺节点CMOS前端读出芯片的抗辐照技术，包括辐射效应及抗辐射原理、抗辐射电路设计、抗辐射版图技术以及辐射仿真评估技术等方面的基础研究，通过完成自主设计的芯片制造，并且进行辐照试验，完成抗辐射能力评估。参照CERN的LHC-CMS项目中最靠近高能粒子撞击点，也就是说辐射强度最大的中心径迹探测中的硅微条CMOS前端读出芯片的抗辐射能力，要达到抗电离辐射的总量剂高于100MRad（Si）, 甚至达到1Grad(Si);抗非电离位移损伤为1015Neq/cm2水平（注：NIEL指标是相对于探测器）;抗单粒子翻转和单粒子闩锁效应的LET(Linear Energy Transfer)分别达到120和80 MeVcm2/mg。

（封常青）

随着加速器实验能量和对撞亮度的提高，谱仪的粒子辐射环境变得更恶劣，由此引起的半导体元器件的辐射损伤效应是读出电子学系统的一个重要的故障因素，尤其是对靠近对撞顶点的内层径迹探测器及其前端电子学，其影响更是不容忽视。

不同的实验，不同的安装环境，对电子学的抗辐射性能具有不同的要求。以大型的重离子对撞实验为例，径迹探测器的前端电子学的总剂量指标预计需要达到1 Mrad以上，且要求能够长期持续稳定工作，不受单粒子翻转和单粒子闩锁的影响。

主要研究方向可包括：（1）大型粒子谱仪的辐射环境仿真及风险评价；（2）前端电子学关键元器件的辐射效应评估，包括开展实验，了解其在特定辐射条件下的损伤程度及故障模式，并根据实验的辐射环境数据评估其可用性；（3）半导体器件的辐射效应及故障机理研究，包括仿真计算，以及芯片设计阶段的抗辐射措施研究；（4）系统级的读出电子学抗辐射加固方法研究，包括关键元器件的辐射屏蔽，以及数字系统的容错和纠错设计。

2. 电子学系统通用技术（2千字，共~600~1000字？）

新架构：智能读出、片上数据处理、神经网络（封常青）、读存算一体化（高武）

（封常青）

随着对撞机实验往高能量高亮度前沿发展，末态产物变得更复杂，探测器通道规模变得更庞大，对实验系统的触发也提出了极高的挑战，而基于机器学习及其硬件加速实现的触发处理（事例筛选）是一个重要的解决途径。

粒子物理实验天然地就具有“大数据”的特点，给数据驱动型的机器学习应用带来极大优势。此外，机器学习算法的层次分明、高度并行的特点也使其非常适合利用目前主流的高速数字电路实现，使之具备低功耗、高集成度、低延时的优势，能够很好地满足下一代粒子物理实验的高实时性触发处理需求。

该领域未来的研究方向可包括如下方面：（1）基于机器学习的高分辨、细颗粒度粒子探测器（包括各类径迹探测器、以及成像量能器）的事例筛选/重建（包括径迹重建、簇团/喷注区分、粒子鉴别等）等触发算法研究；（2）机器学习触发算法的硬件加速及电路实现技术，以实现在目前主流的高速数字逻辑中的μs级低延迟触发处理。

读存算一体像素型读出新架构（高武）

针对混合型像素探测器，在传统像素型读出ASIC架构的基础上，研究读出-存储-计算融合读出电路体系架构，探索像素读出电路与存内计算相结合实现神经网络加速硬件电路，将入射粒子电荷测量、触发信号定位、粒子种类识别、感兴趣区域读取等功能在探测器读出电路芯片中实现，从而减小探测器的原始数据量，降低数据读出带宽（<1Gb/s）,提高计数率（>10GHz/cm2）,降低整个探测器的功耗至原来的1/10或更小。

前端高速数据传输（区别后端数据获取）、无线传输 （赵雷、封常青）

（封常青、赵雷）

数据获取系统是大型对撞机实验中读出电子学系统的重要组成部分，负责将各种探测器采集到的数据打包、传输和存储。当前对撞机实验发展趋势是高亮度、高精度和高能量测量，这就意味着更高的事例率、更多的读出通道数和更高的数据率。例如，在ATLAS实验的最新升级计划中，有效事例率将达到1 MHz，读出通道数约为90,000,000路，总的数据传输带宽高达2 TB/s左右。

因此，传统的数据传输系统架构已经无法胜任，需要展开两方面的研究。第一，研发新的数据传输及获取系统架构，以满足上述高事例率（MHz以上）、大通道数（百万通道以上）、高数据带宽（10 TB/s以上）的读出需求。同时，为了满足不同探测器以及不同实验规模的读出要求，该数据传输及获取系统还应具有通用、可扩展的特点。第二，进行前端电子学数据汇总和传输的关键ASIC研究。包括前端数据接收与预处理芯片、光纤数据传输等系列芯片，负责将前端测量ASIC输出的数据接收汇总后进行预处理，如串并转换、缓存、数据流切换及组帧等功能，并将成帧的数据包通过高速串行接口传输至光纤数据传输芯片，最终经处理后通过光纤发送至后端数据传输系统。这些芯片将解决高数据率下的数据接收、汇总、光纤驱动的功能，配合数据获取构架构成新型的数据传输技术。

工业界先进技术的引入和应用（先进封装）（魏微）

（魏微）

在过去十到二十年的时间里，粒子物理先进探测器的发展与物理学家积极同工业界合作，大量应用工业界先进技术是分不开的。先进的像素探测器、专用集成电路技术等的发展都是最好的例子。通过引入先进的集成电路工艺，采用包括倒装焊工艺在内的先进封装技术，运用工业界最新的测试验证技术，集成工业界最新的电路模块等等，国内外粒子物理先进探测器和电子学都得到了飞速的发展。在电子学未来规划中，我们应该继续紧密跟踪工业界最新的技术发展，积极与工业界开展交流合作，探索新技术应用于粒子物理电子学领域的可能性。我们应该积极跟踪集成电路先进工艺的发展，在成本以及电路性能均合适的前提下，推动国内集成电路主流工艺往更先进的深亚微米CMOS工艺发展和过渡；应继续积极引入先进封装技术，开展合作研究，推动倒装焊、TSV（Trough Silicon Via）等3D集成手段在电子学系统中的成熟应用；应关注光电集成、无线传输、人工智能等新技术的发展动态，探索这些新技术应用于未来电子学系统的可能性。

高精密时钟与同步技术 （赵雷）

（赵雷）

在大型物理实验中，时钟信号是所有电子学同步的时间基准，也是进行事例组建（event building）的信息参考。在大型物理实验电子学系统中，特别是包含高精度时间测量的电子学系统中，必须进行高性能时钟系统的设计，才能保证最终电子学系统整体的性能。随着此领域物理实验的发展，时间测量精度的不断提升，发展更先进的时钟电子学设计技术也是此领域一个重要的方向。此方向发展包括两个关键技术的探索。第一，更高品质时钟信号的产生与分发技术。如前文所述，下一代电子学时间测量精度追求好于10 ps RMS的时间测量精度，时钟信号本身的jitter必须与之匹配，而在大规模电子学系统中，需要对时钟信号进行多级、大量通道的扇出，因此，既需要高品质的时钟源，也必须保证时钟信号扇出的质量，研究出高性能的时钟信号传输技术（period jitter好于5 ps RMS）是一个重要的发展方向。第二，在某些物理实验中，探测器分布范围广，而实验环境无法保证恒温控制，因此如何解决变温环境下的时钟相位对齐也是一个关键技术，发展的可能技术方向包括高效的校准技术、高精度自动相位同步等技术。此外，针对某些应用下，还需考虑时钟和高速数据、命令等信息的融合传输，这也是此领域进一步发展的一个方向。

问题：5~15年的规划，需要有相对近一点的新技术，和未来技术

加数量级的指标，突出高能物理特色

高能量前沿——战略规划（短）

从上述内容里概括出大概1~2千字

技术1千字、实验相关1千字（LHC升级、CEPC、ILC国际合作、STCF等——加速器相关的）

