

# “粒子物理前沿卓越创新中心” 青年骨干成员考评报告

## 报告内容

- 研究领域
- 工作成果
- 5年计划

卢云鹏

2020.12.5

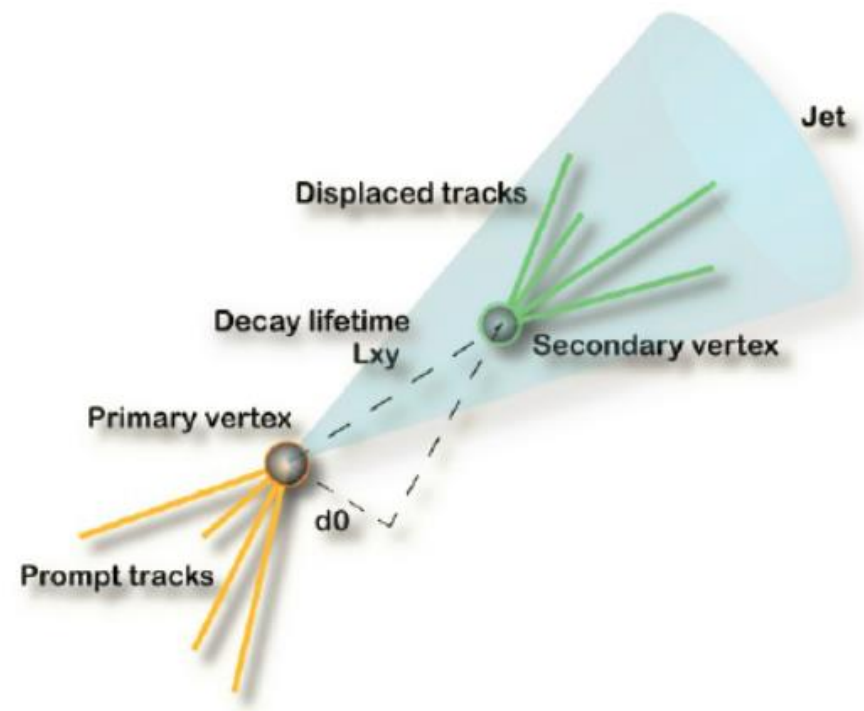


# 高能 $e^+e^-$ 对撞实验中的顶点探测器

- $H \rightarrow bb / cc / \tau\tau$  测量对 flavor tagging 和  $\tau$  identification 的要求 : efficiency and purity
  - 其中  $H \rightarrow cc$  对顶点探测器参数非常敏感
- 顶点探测器的性能要求  $d_0$ : *impact parameter resolution*
  - 像素芯片是实现探测器指标的核心部件
  - 现有工艺条件下, 没有一款芯片能够同时满足所有指标

$$d_0 = 5\mu m \oplus \frac{10}{p(\text{GeV}) \sin^{3/2} \theta} \mu m$$

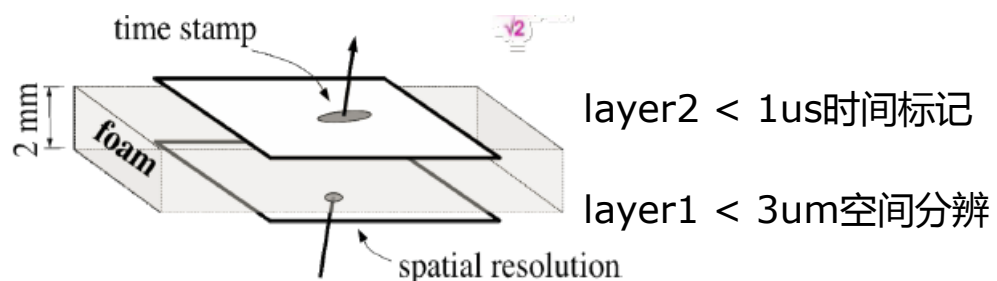
| Vertex detector specs                | Pixel sensor specs                                          |
|--------------------------------------|-------------------------------------------------------------|
| $\sigma_{\text{s.p.}} \sim 2.8\mu m$ | → <b>Small pixel</b> $\sim 16\mu m$                         |
| Material budget                      | → <b>Thinning to</b> $\sim 50\mu m$                         |
| $\sim 0.15\% X_0/\text{layer}$       | → <b>Low power</b> $\sim 50\text{mW}/\text{cm}^2$           |
| r of Inner most layer                | → <b>Fast readout</b> $\sim 1\mu s$                         |
| $\sim 16\text{mm}$                   | → <b>Radiation tolerance</b>                                |
|                                      | $\leq 3.4 \text{ Mrad}/\text{year}$                         |
|                                      | $\leq 6.2 \times 10^{12} n_{eq}/(\text{cm}^2 \text{ year})$ |



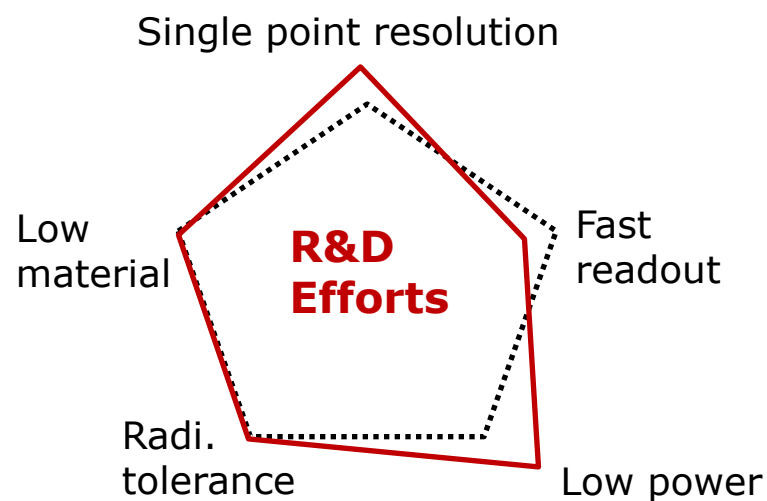
# CEPC顶点探测器的预研

- **选项一：设计创新**，用性能互补的两款芯片实现全部指标要求（Baseline方案）

- 探测器结构：double-sided ladder



- **设计难点：高空间分辨和低功耗**



- **选项二：工艺突破**，在一款芯片上实现全部指标要求（进阶方案）

- SOI → SOI-3D
- 180 nm CMOS → 65 nm CMOS
- 探测器学科发展的需要

- 技术难度高，需要有深厚的工作积累

# 成果1：提出CEPC顶点探测器的R&D技术路线

“Sensor technology options”——用什么技术

“Critical R&D”——做什么研究

既是CEPC概念设计报告的研究内容，  
也是开展预研工作的主线。

## ■ 亮点1：设定高目标，全面攻关

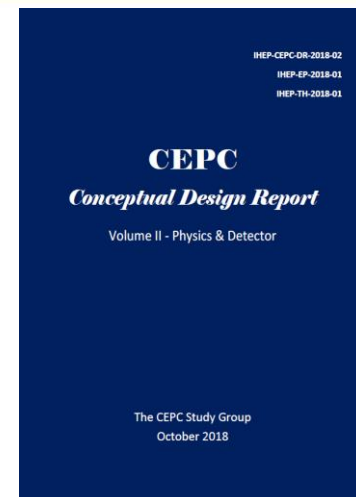
- 功耗比ILD降低75%
- 空间分辨比ALICE upgrade改善40%
- 读出速度提高一个量级

## ■ 亮点2：设计理念清晰合理

- 低功耗的实现方法 (in-pixel discriminator)
- 高空间分辨率的实现方法 (charge sharing)

## ■ 亮点3：技术研判有前瞻性

- 65 nm CMOS , SOI-3D



## CDR国际评审报告对Vertex的总体评价

### Vertex Detector

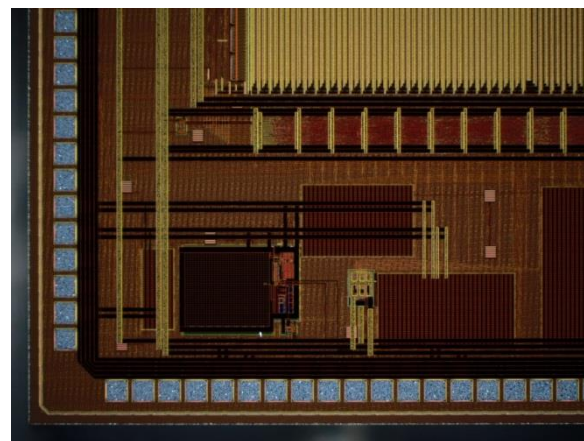
Findings: there is active R&D and groups are making good progress, building on large effort by the international community. Compared to other efforts toward precise and transparent vertex detectors, CEPC (with its 100% duty cycle) should place stronger emphasis on power management. Advanced processes like 65 nm CMOS or 3D-integrated devices should be pursued actively and can have a big impact on the vertex detector performance.

# CMOS像素芯片的研究

- 高能所创新基金和科技部重点研发计划支持
- 采用以色列180nm高阻CMOS工艺，先后设计了4款芯片
  - JadePix1：工艺特性研究
  - JadePix2和MIC4：像素内甄别的初步尝试
  - JadePix3：全功能大尺寸芯片，多家单位合作完成
  - 针对Layer1的指标要求
- 下一次工程批流片，针对Layer2的指标要求
  - 完成Baseline方案的预研

JadePix3芯片的实物照片（局部）

设计团队：华中师大，山东大学，大连民族大学，高能所



# 成果2：主导完成了JadePix3芯片的设计

## ■ 作为JadePix3设计队伍的召集人

- 亮点1：设计了芯片架构<sup>[3]</sup>，针对空间分辨率优化
- 亮点2：组织协调10名设计人员、13个模块的设计验证工作，并负责整体集成
- 亮点3：设计指标满足Layer1的要求（TID除外）

JadePix3芯片的设计指标

|        |                          |
|--------|--------------------------|
| 最小像素尺寸 | 16*23.11 $\mu\text{m}^2$ |
| 最低阈值   | 150e <sup>-</sup>        |
| 预估功耗   | 55mW/cm <sup>2</sup>     |
| 读出速度   | 100us                    |

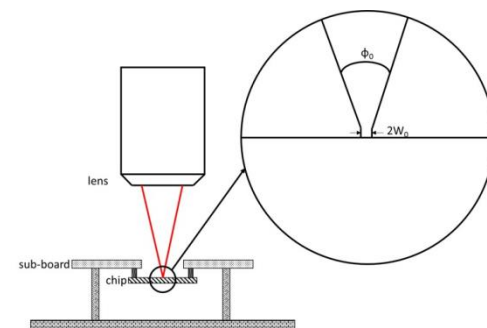
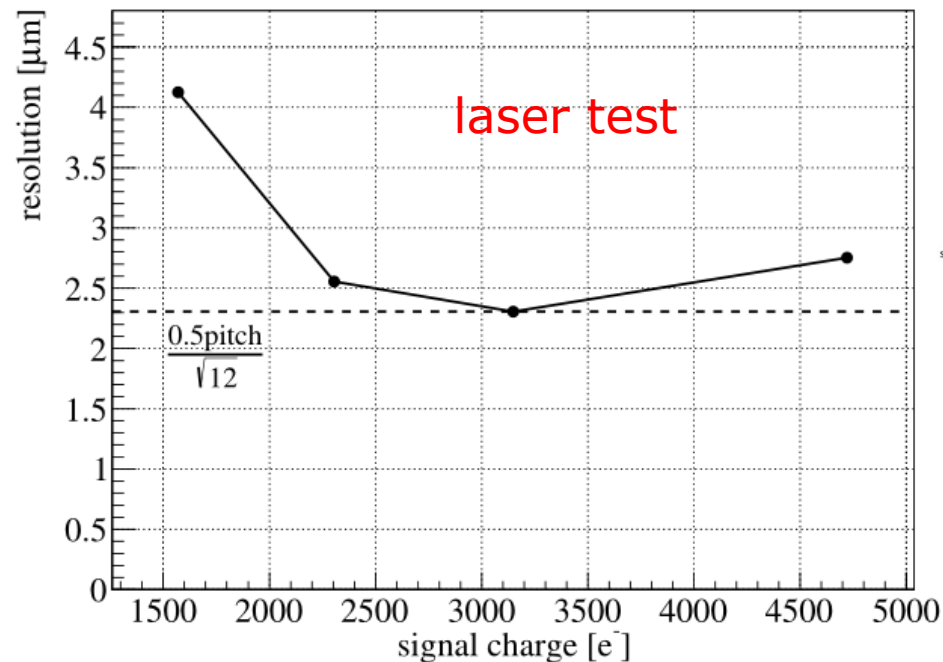
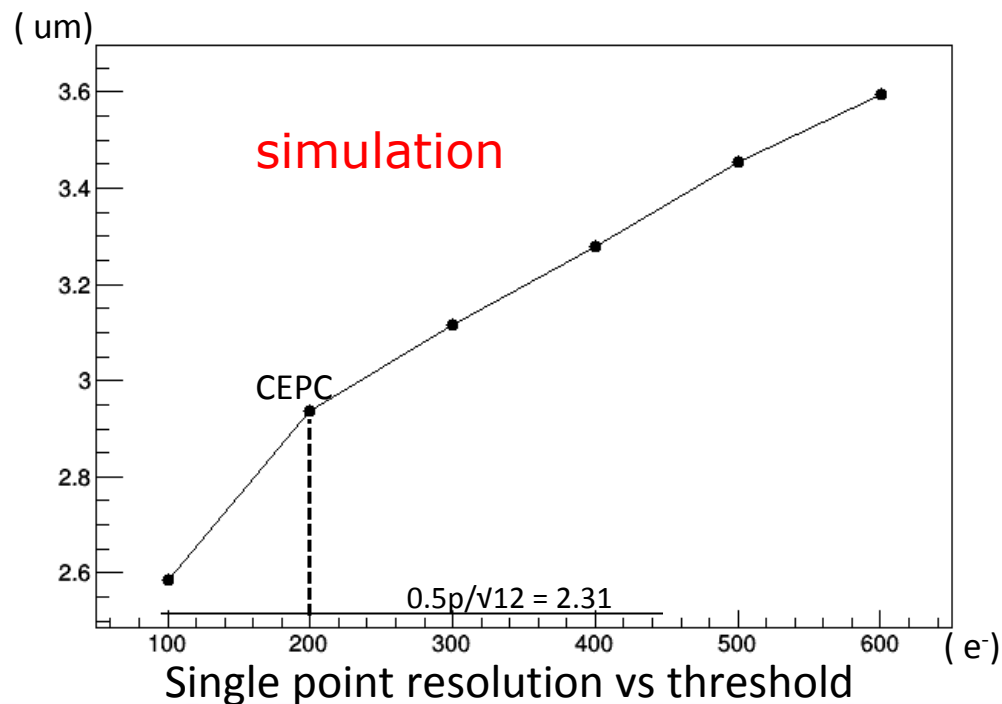
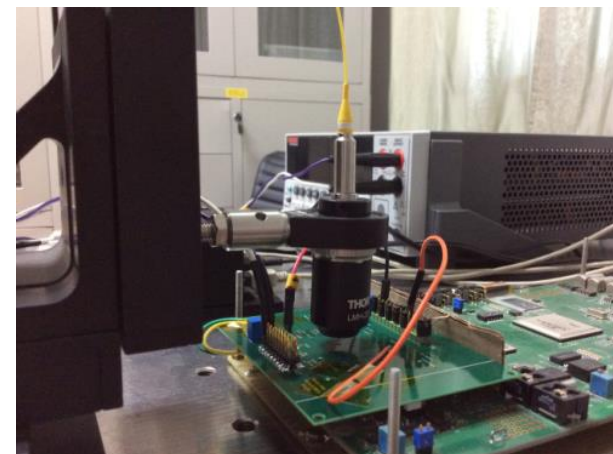
## ■ 作为测试工作的负责人

- 亮点1：指导博士生完成测试系统（中国科大和华中师大）
- 亮点2：制定了完善的测试方案（design for test）



# SOI像素芯片的研究

- 基金委面上项目（两次）和国重实验室支持
- 采用日本200nm全耗尽SOI工艺，先后设计了3款芯片（2016-2020）
  - CPV1/2/3：聚焦研究空间分辨率的影响因素
  - 实验与模拟结合，深入理解探测器物理
  - 在小像素设计上大胆创新，提高设计理念的实现能力



# 成果3：SOI的相关研究在国内外有很好的显示度

## ■ 亮点1：解决了SOI结构中探测器单元与像素电路的电容耦合问题

- 数字像素的基础，SOI技术的里程碑
- 论文被引用13次，其中8次为他引<sup>[10]</sup>
- Seminar报告@KEK和LAPIS

## ■ 亮点2：实现了尺寸最小的数字像素设计（16um\*16um）

- 实验验证了空间分辨率可以达到 $< 3\mu\text{m}$ <sup>[4]</sup>
- FEE2018邀请报告<sup>[6]</sup>（Front-End Electronics）

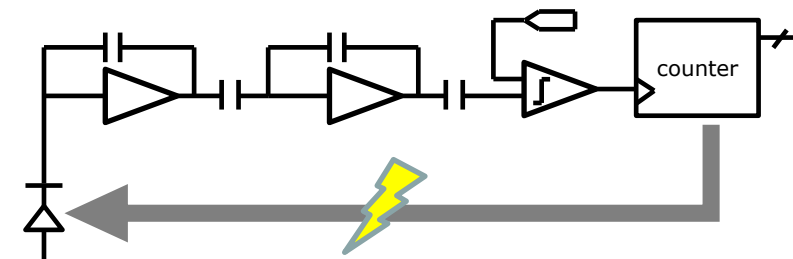
## ■ 亮点3：验证了TID辐照损伤的背栅补偿机制

- 首次在脉冲计数型芯片上实现了TID辐照损伤的补偿<sup>[1]</sup>

## ■ 亮点4：建立了一套红外激光测试系统

- 不少国内国外同行前来咨询和引进

## ■ 亮点5：合作培养了3名博士和1名硕士（探测器专业）



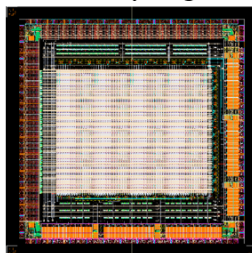
脉冲计数型SOI像素探测器中的电容耦合问题示意图

Overview of SOI development, invited by the CEPC international workshop 2017<sup>[8]</sup>

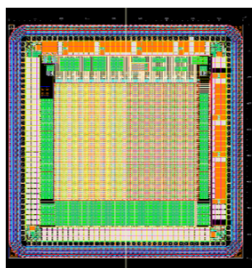
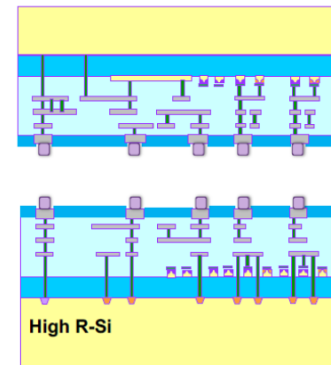
# 新技术的研究：SOI-3D

- 基金委重点项目支持
- 空间分辨和时间标记的指标将在SOI-3D芯片上同时实现
  - 常规SOI工艺 + uBump 3D工艺
- 2020.11.20提交了第一个设计CPV4-3D
  - CPV4\_U：像素数字控制与读出，<1us时间标记精度
  - CPV4\_L：探测单元与模拟前端，<3um空间分辨率
- 测试工作将于明年5月开始

CPV4\_U (Yang Zhou)

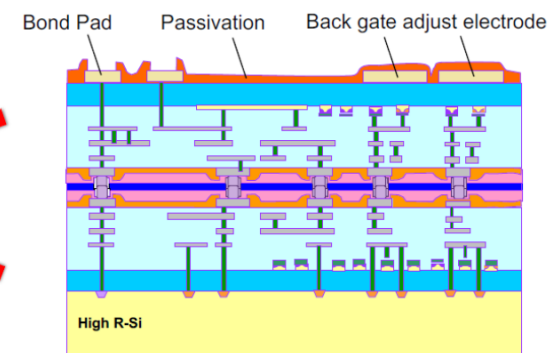


Upper Chip



Lower Chip

CPV4\_L (Yunpeng Lu)

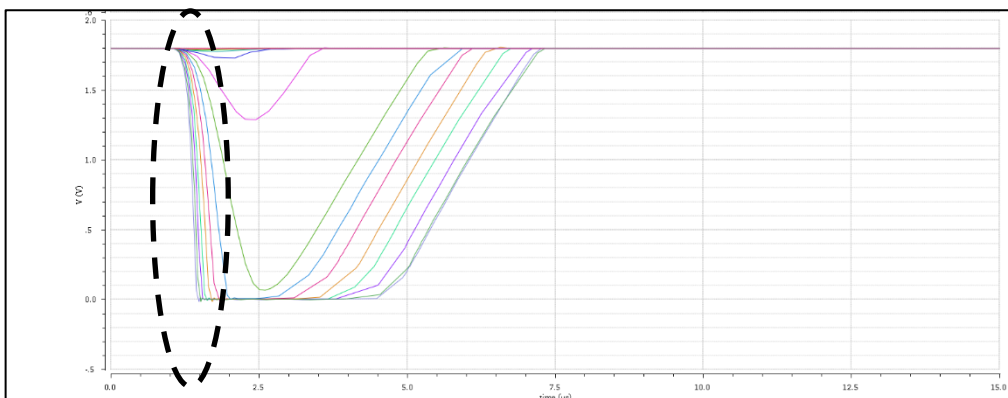


# 成果4：主导完成了CPV4-3D设计

## ■ 作为芯片设计整体负责人

- 亮点1：提出了时间标记的实现方法，比JadePix3提高两个量级
  - 亮点2：完成了CPV4\_L的设计，像素尺寸比JadePix3还略微缩小
  - 亮点3：克服疫情影响，完成了首次3D设计和验证流程
- } SOI-3D带来的好处

利用甄别器输出前沿作为信号定时

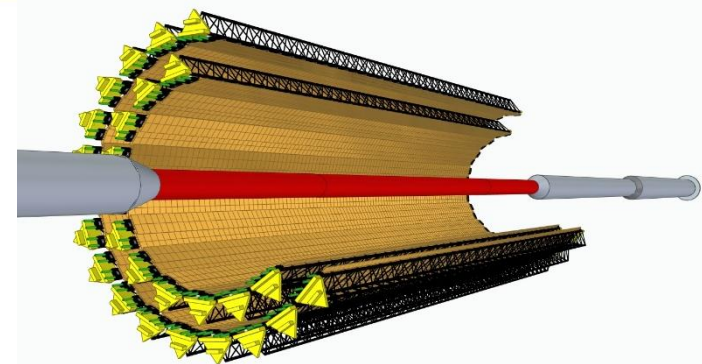


CPV4-3D芯片的设计指标

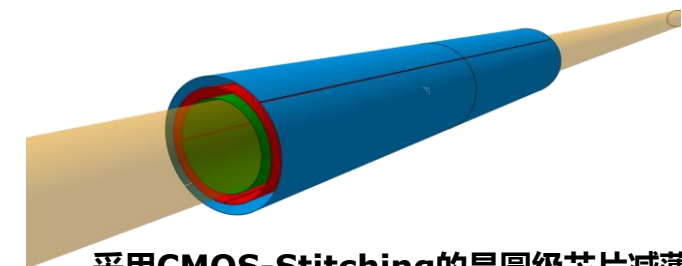
|        |                            |
|--------|----------------------------|
| 最小像素尺寸 | 17.24*21.04um <sup>2</sup> |
| 最低阈值   | 127e <sup>-</sup>          |
| 预估功耗   | ~50mW/cm <sup>2</sup>      |
| 读出速度   | <1us                       |

# 新技术的研究：CMOS-Stitching

- 首次与国内大厂合作开发CMOS工艺（华虹宏力 55 nm CMOS）
  - 以色列的65 nm CMOS未对中国开放
- CMOS-Stitching的技术优势
  - 晶圆级别的超大尺寸芯片，易组装和测试
  - 减薄后，直接卷制成探测器的单层圆桶或者半桶，自支撑降低物质量
  - 更小的MOS管，缩小像素尺寸，提高读出速度
- 科技部NICA定向支持（近物所牵头）
  - 高能所参与课题2：基于硅像素的内径迹探测器合作研制（华中师大负责）
  - 承担芯片内像素相关的设计任务
  - 项目执行时间2020.6-2024.5



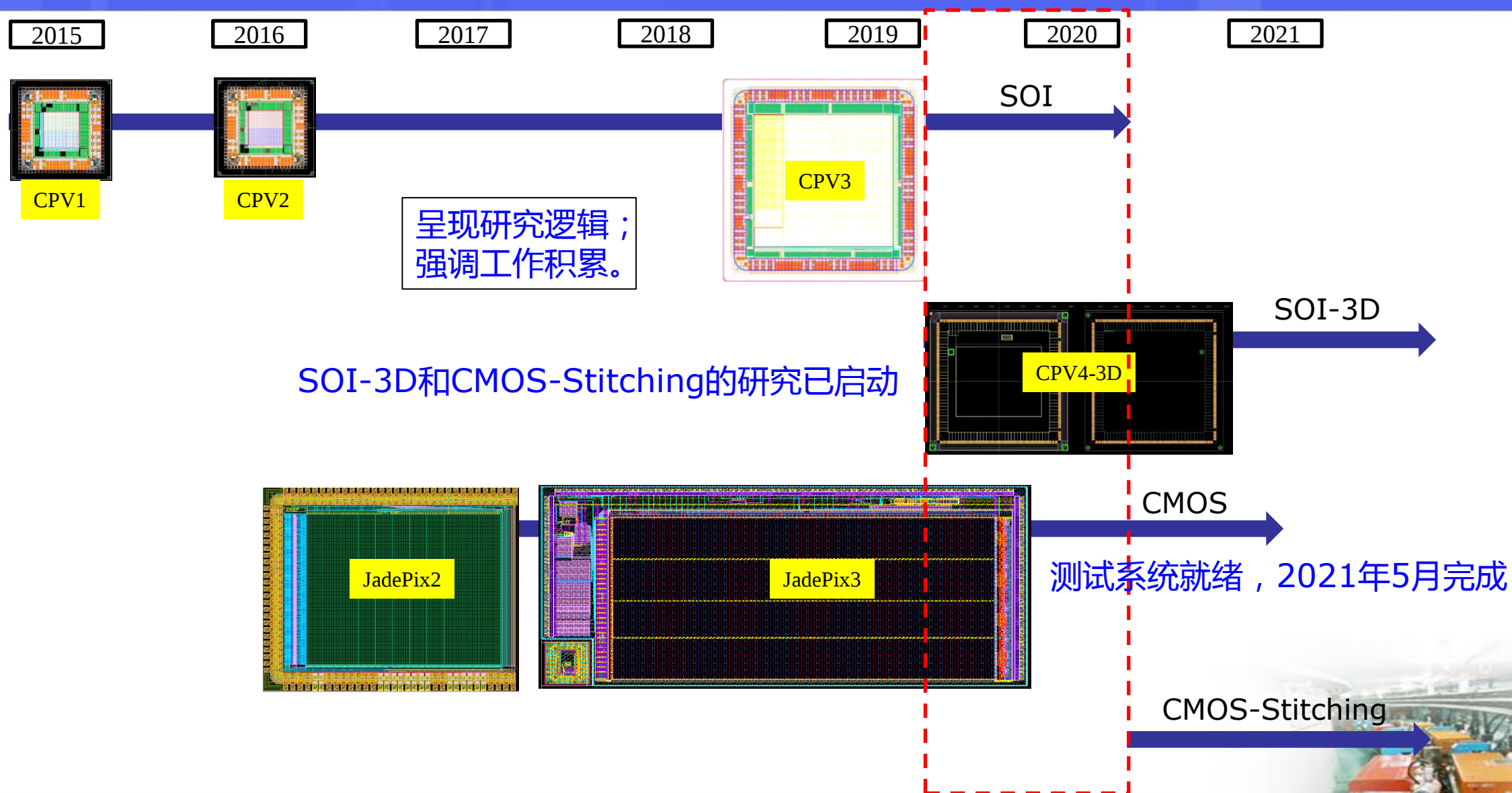
用大量芯片拼装成桶装探测器的传统方式



采用CMOS-Stitching的晶圆级芯片减薄和卷制成桶装探测器的概念示意图

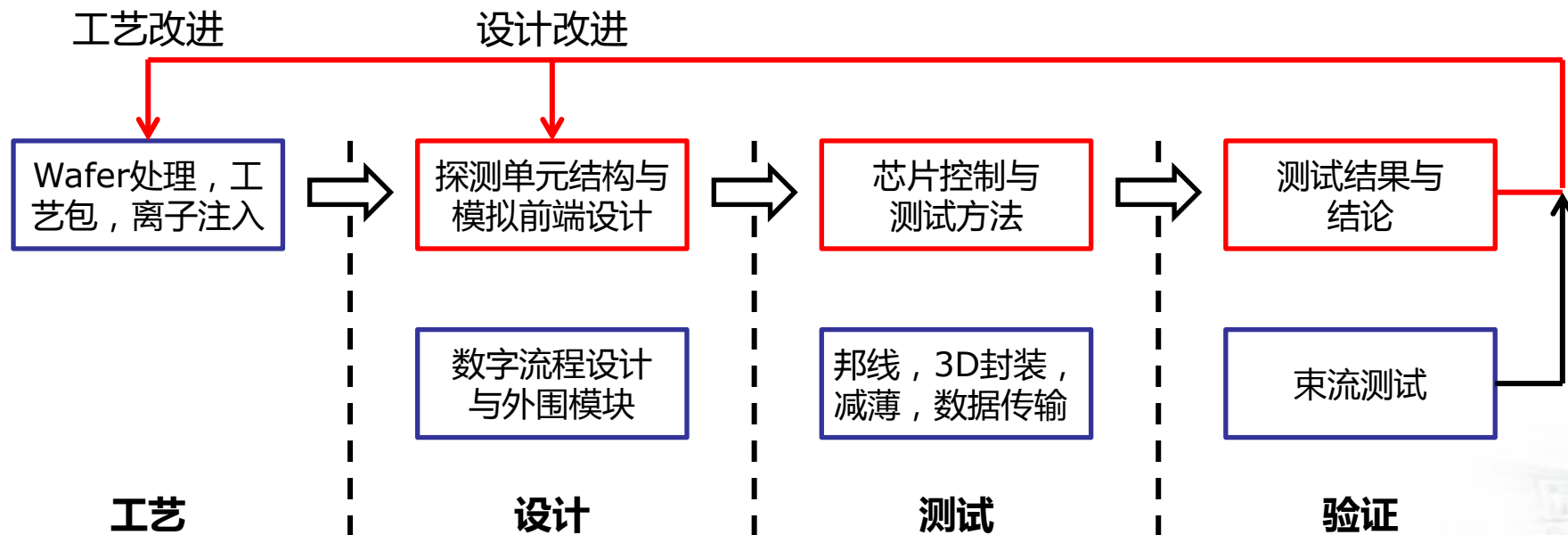


# 2020年的主要工作一览表



# 5年计划 ( 2020-2024 )

- 目标：进一步提升硅像素探测器技术的核心竞争力
  - 提高设计理念的层次，出高水平 “idea”
  - 推动技术前沿的发展，做有显示度的研究
- 策略：抓关键路径，提升效率



# 承担的项目情况（近五年）

| 项目名称                             | 项目来源              | 本人承担任务       |
|----------------------------------|-------------------|--------------|
| 用于顶点探测器的高分辨、低功耗SOI像素芯片的若干关键问题的研究 | NSFC面上            | 项目负责人        |
| 重离子超导同步加速器（NICA）上的关键技术合作研究       | 国家重点研发计划          | 子课题负责人（经费体量） |
| 用于低能X射线成像的高分辨计数型SOI芯片的研究         | 国家重点实验室<br>自主部署项目 | 课题负责人        |
| 高精度SOI像素顶点探测器研究                  | NSFC重点            | 子课题负责人       |
| 高能环形正负电子对撞机相关的物理和关键技术预研究         | 国家重点研发计划          | 项目骨干         |
| 面向同步辐射的计数型SOI像素探测器研究             | NSFC面上            | 项目骨干         |



# 代表性文章和报告（研究成果的支撑）

## ■ 2020年

- [1] SONG L, LU Y\*, MIYOSHI T, et al., Total ionization dose effects and compensation in a counting type double SOI pixel sensor. **Journal of Instrumentation**, 2020, 15(04): C04026.
- [2] SONG L, ARAI Y, LU Y\*, et al., Minimization of charge sharing effects in a counting type soi pixel detector for synchrotron radiation. **Journal of Instrumentation**, 2020, 15(01):P01037.

## ■ 2019年

- [3] Development of high resolution low power CMOS pixel sensor for the CEPC vertex detector, YP Lu, **HSTD12**, Dec. 14-18, 2019, Hiroshima, Japan
- [4] Zhigang Wu, Yunpeng Lu\*, et al., A prototype SOI pixel sensor for CEPC vertex, **NIMA** 924 (2019) 409-416

## ■ 2018年

- [5] Development of the Silicon Tracker for CEPC, **ICHEP 2018**, Seoul, July 4-11, 2018
- [6] A prototype SOI pixel sensor for the CEPC vertex, **Front-End Electronics 2018**, 20-25 May, Sherbrooke, Canada （邀请报告）

## ■ 2017年

- [7] Y. Zhou, Y. Lu\*, et al., Synchrotron beam test of a photon counting pixel prototype based on Double-SOI technology, **Journal of Instrumentation** , 2017, 12 C01037
- [8] Overview of SOI development, **CEPC international workshop**, Beijing, Nov. 6-8, 2017 （邀请报告）

## ■ 2016年

- [9] Yi Liu, Yunpeng Lu\*, et al. , Laser test on a fine pitch SOI pixel detector, **Chinese Physics C**, Vol. 40, No.1 (2016)
- [10] First results of a Double-SOI pixel chip for X-ray imaging, **NIMA** 831 (2016) 44-48, corresponding author, citing articles available at <https://www.sciencedirect.com/science/article/pii/S0168900216301851>



# 总结

- 我的工作回答了在CEPC运行条件约束下的**顶点探测器最内层关键指标如何实现的问题**
- 成果1：在CEPC概念设计报告中提出了CEPC顶点探测器的R&D技术路线
  - 设定目标高；设计理念清晰合理；技术研判有前瞻性
- 成果2：主导完成了全功能大尺寸CMOS像素芯片JadePix3芯片的设计
  - 作为设计召集人负责：芯片架构，组织协调，整体集成；满足Baseline方案的Layer1指标（TID除外）
  - 作为测试负责人：指导博士生完成测试系统设计，制定了完善的测试方案
- 成果3：经过多年积累，SOI的相关研究在国内外有很好的显示度
  - 对技术进步的贡献，对空间分辨的深入理解，TID辐照损伤的研究，测试方法的开发，学生培养
- 成果4：主导完成了CPV4-3D芯片设计
  - 时间标记精度提高了两个量级，同时保持高空间分辨率
  - 克服疫情影响，完成了首次3D设计和验证流程
- 首次与国内大厂合作开发CMOS-Stitching工艺，用于高能物理实验

感谢您的宝贵时间！



Backup slides



# Parameters optimization study: $Br(H \rightarrow bb, cc)$ measurement

- $Br(H \rightarrow cc)$  is extremely sensitive to the vertex design
- $Br(H \rightarrow bb)$  is not really sensitive to the vertex design

ZG Wu, Optimization on silicon detectors at CEPC, CEPC workshop Nov.2019

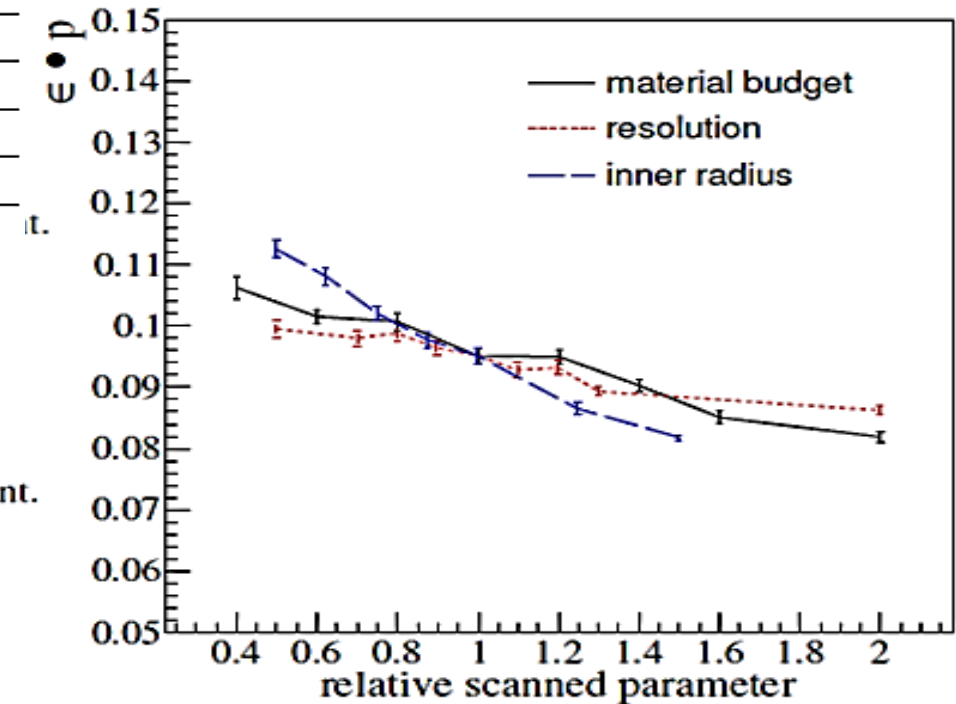
|                             | Scenario A (Aggressive) | Scenario B (Baseline) | Scenario C (Conservative) |
|-----------------------------|-------------------------|-----------------------|---------------------------|
| Material per layer/ $X_0$   | 0.075                   | 0.15                  | 0.3                       |
| Spatial resolution/ $\mu m$ | 1.4 - 3                 | 2.8 - 6               | 5 - 10.7                  |
| $R_{in}/mm$                 | 8                       | 16                    | 23                        |

$\sigma_{sp} < 2.8 \mu m$   
very difficult

|                    | Scenario A        | Scenario B        | Scenario C        |
|--------------------|-------------------|-------------------|-------------------|
| $\epsilon \cdot p$ | $0.133 \pm 0.002$ | $0.095 \pm 0.001$ | $0.078 \pm 0.001$ |
|                    | 41%               |                   | -22%              |

Table 4. Maximum  $\epsilon \cdot p$  value comparison for the  $Br(H \rightarrow b\bar{b})$  measurement.

|                    | Scenario A        | Scenario B        | Scenario C        |
|--------------------|-------------------|-------------------|-------------------|
| $\epsilon \cdot p$ | $0.925 \pm 0.001$ | $0.914 \pm 0.001$ | $0.900 \pm 0.001$ |
|                    | 1%                |                   | -1.5%             |



$$\epsilon \cdot p = 0.095 \left(1 - 0.14 \frac{\Delta x_{material}}{x_{material}}\right) \left(1 - 0.09 \frac{\Delta x_{resolution}}{x_{resolution}}\right) \left(1 - 0.23 \frac{\Delta x_{radius}}{x_{radius}}\right)$$

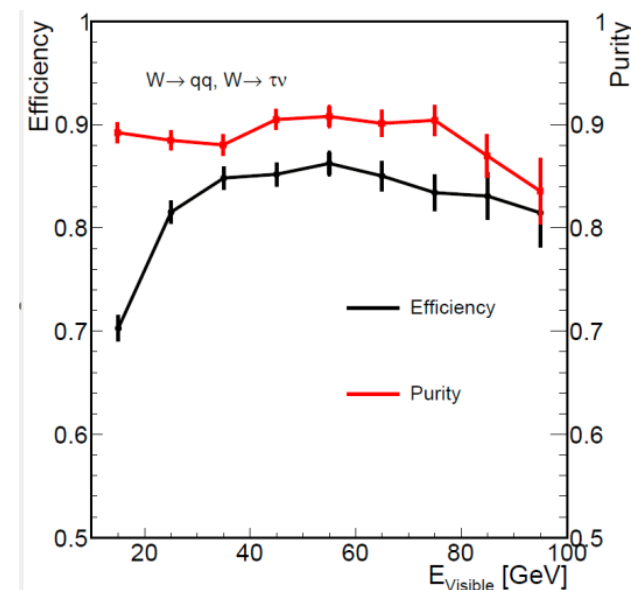
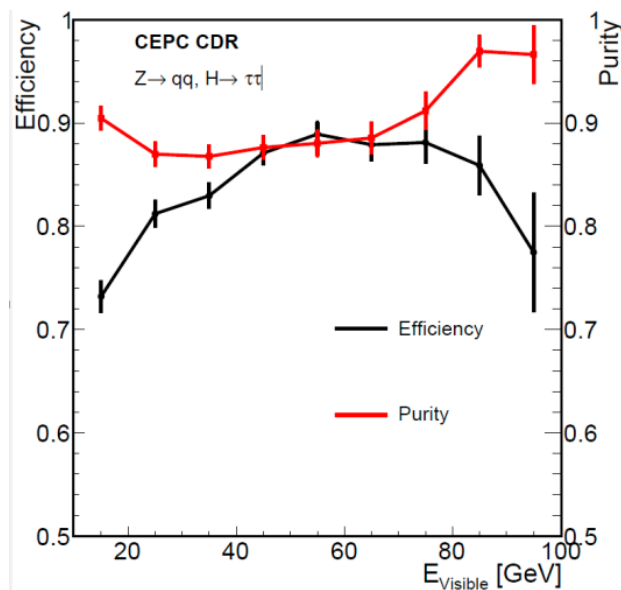
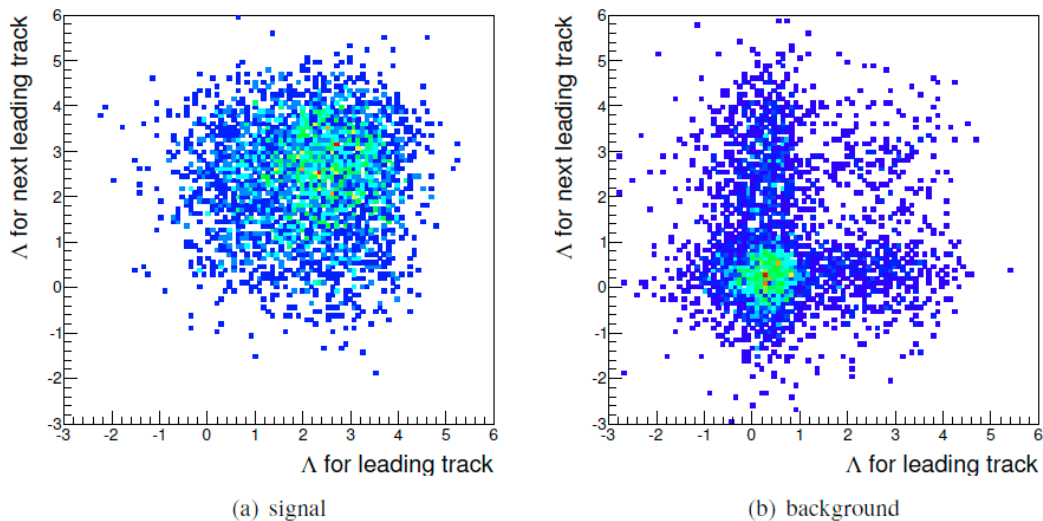
ZG Wu, MQ Ruan et al., Study of vertex optimization at the CEPC, 2018 JINST 13 T09002

# Parameters optimization study: $Br(H \rightarrow \tau\tau)$ measurement

ZG Wu, Vertex optimization and  $\tau$ -finding optimization at CEPC, CEPC workshop Nov.2018

- signal:  $H \rightarrow \tau\tau$ , BG:  $H \rightarrow WW \rightarrow ll\nu\nu$ ,  $l=e, \mu, \tau$
- parameters of reconstructed tracks  $D_0$  and  $Z_0$ , definition of  $\Lambda$
- distinguish signal and background via cuts on  $\Lambda$
- impact on  $\tau$  tagging

$$\Lambda = \log_{10} \left[ \left( \frac{D_0}{\sigma_{D_0}} \right)^2 + \left( \frac{Z_0}{\sigma_{Z_0}} \right)^2 \right]$$



Scenario A    Scenario B    Scenario C

$\epsilon \cdot p$      $0.77 \pm 0.01$      $0.71 \pm 0.01$      $0.68 \pm 0.01$

Dan Yu, et al., The measurement of the  $H \rightarrow \tau\tau$  signal strength in the future  $e^+e^-$  Higgs factories. The Eur. Phys. J. C. 80:7