

# JadePix3 测试情况

Content:

参与人员：张颖、周扬、董静、卢云鹏

- 像素工作偏置的配置检查和优化;
- 像素阵列噪声、阈值等初步结果;
- 芯片功耗的初步评估;
- 发现的问题;
- 数据及测试记录链接;

2021年3月9日

# 像素工作偏置的配置检查和优化：

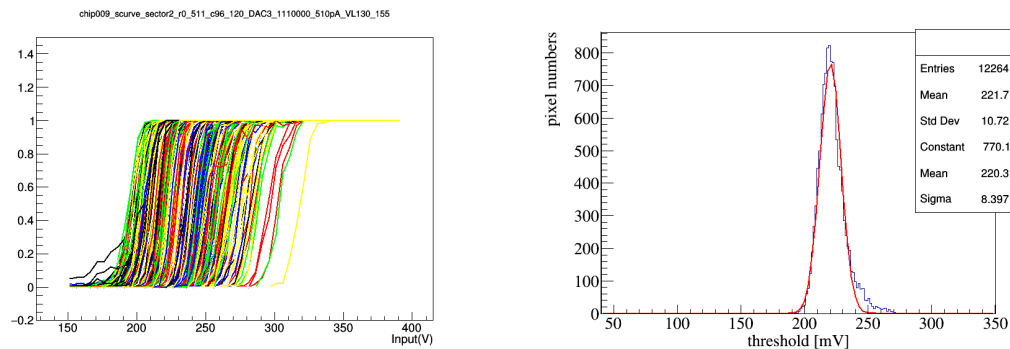
- **DAC模块6个电压和6个电流通道均已验证可以正常配置、调节**
  - 与设计值基本吻合，不同芯片之间会有轻微差异
- **初步测试FE\_V0模拟输出波形**
  - 小输入信号时输出幅度比设计值略低，脉宽比设计大约2-3 us
  - 可能原因：**sensor衬底目前是0V**，导致电容会比设计值大
  - 初步粗调偏置条件，**VRESET从1.4V增大到1.5V时**，输出幅度增大。
- **实测证实改变ITHR和VCASN可以调节阈值，符合设计**

# 像素阵列噪声、阈值等初步结果

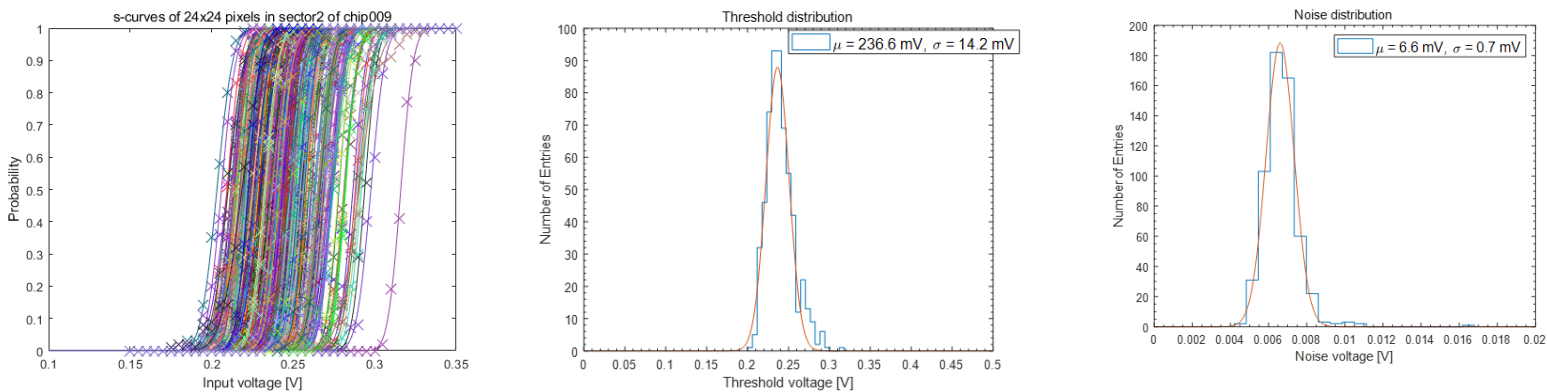
- 完成了三块芯片（chip000、003、009）的部分区域数据获取：
  - 数据区域：sector2（FEV0+DGTV2版本） Row:0-511 Column: 96-120；
- 对上述区域初步的S-curve分析；
- 像素阵列噪声、阈值随 ITHR，VCASN偏置变化的情况；
- Fake hit几率和噪声像素数量随VCASN偏置的变化
- 同时给与模拟输入的像素个数对S-curve的影响

# 初步的S-curve分析

- 完成基于ROOT和MATLAB两种软件的数据处理代码，可实现数据解码和s-curve画图

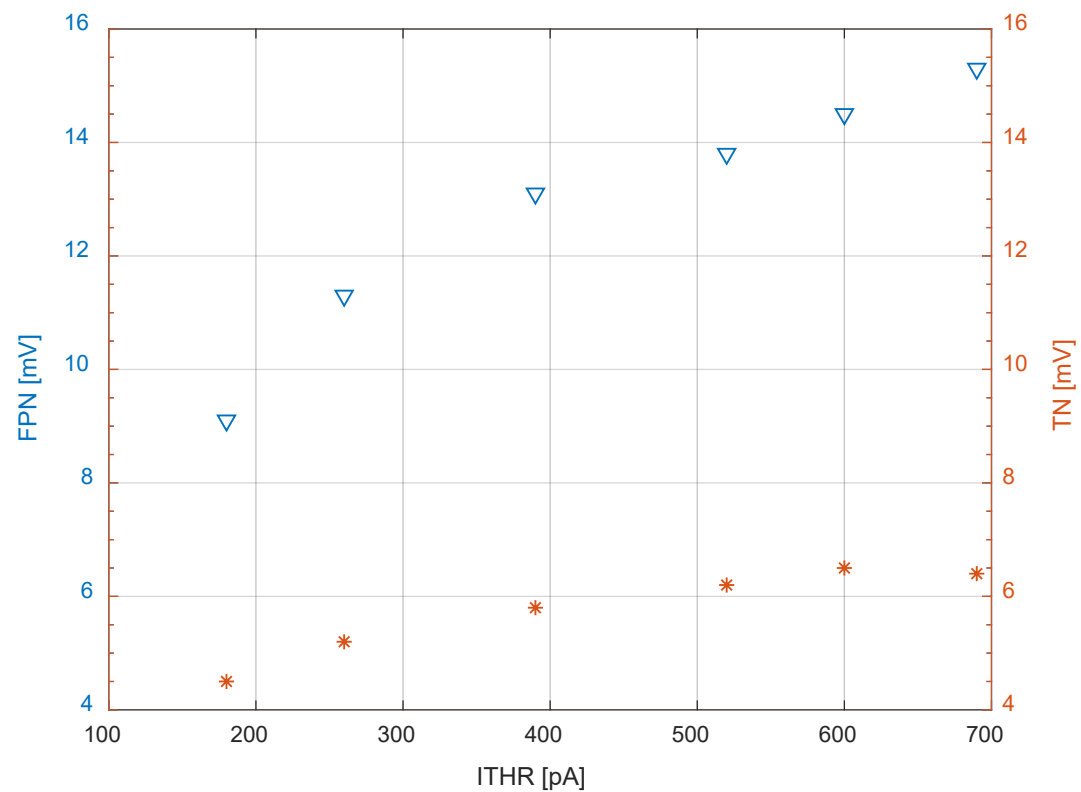
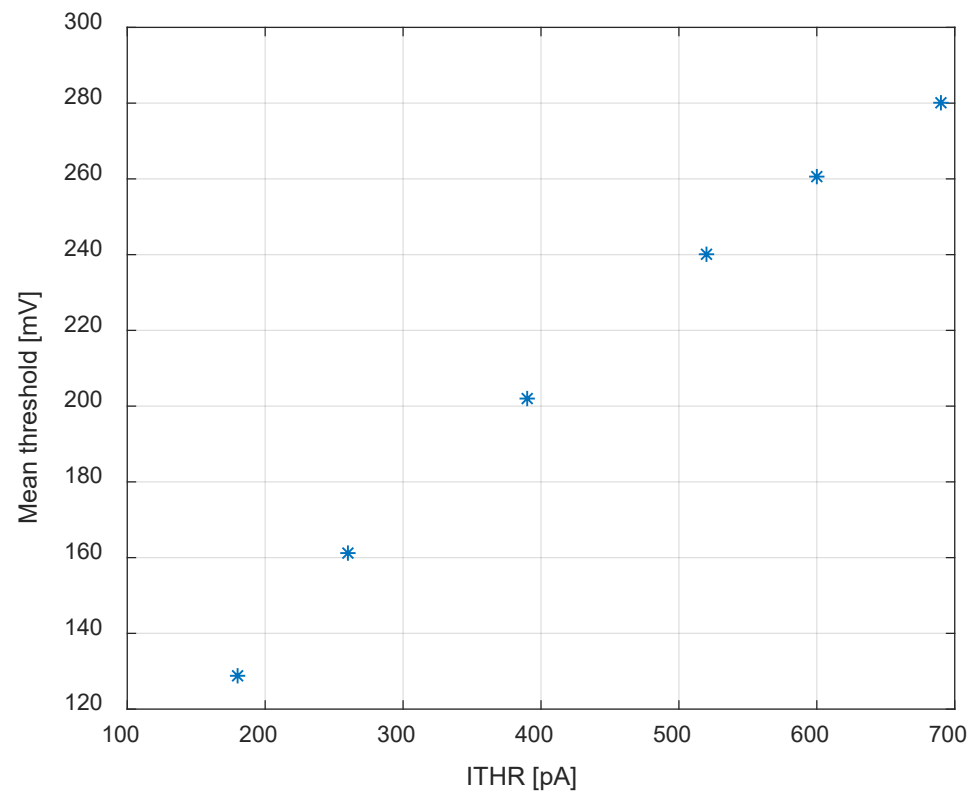


511行，24列像素的S-curve 和 FPN (root)



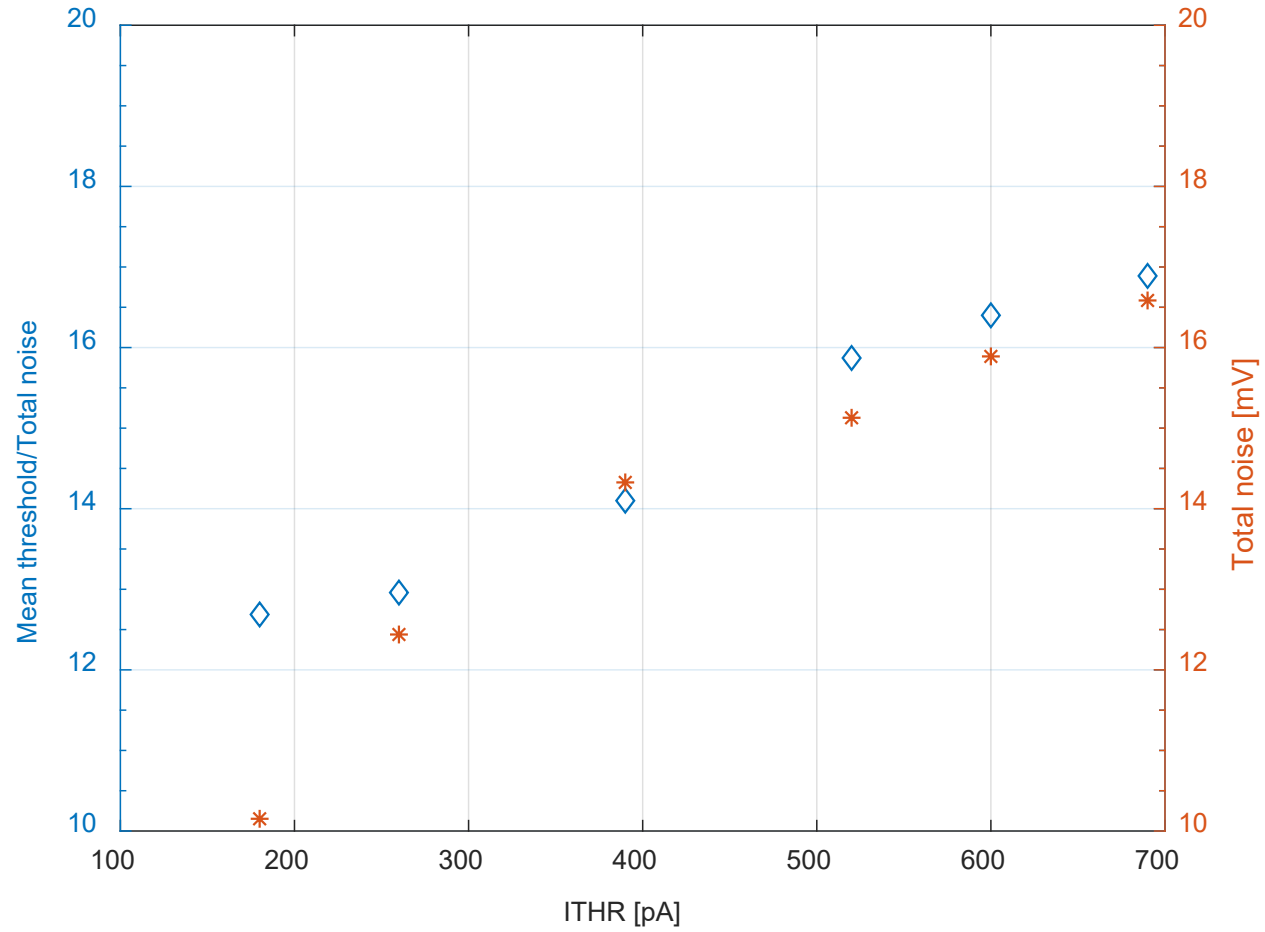
24行，24列像素的S-curve、FPN、TN (matlab)

# 像素阵列噪声、阈值的表现随 ITHR 偏置变化的情况\*:

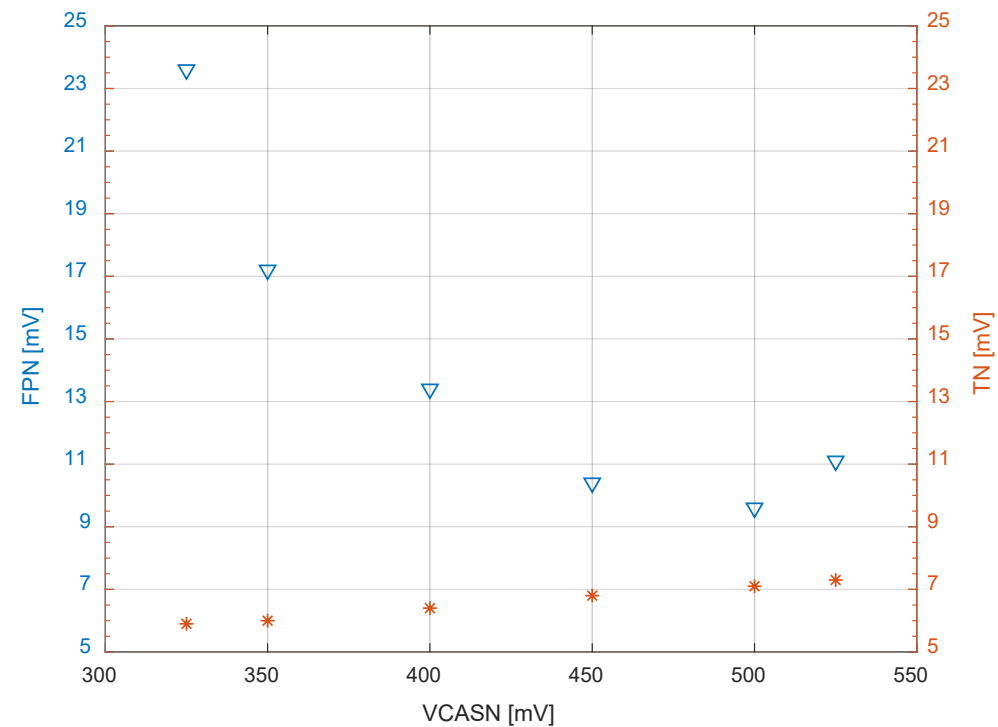
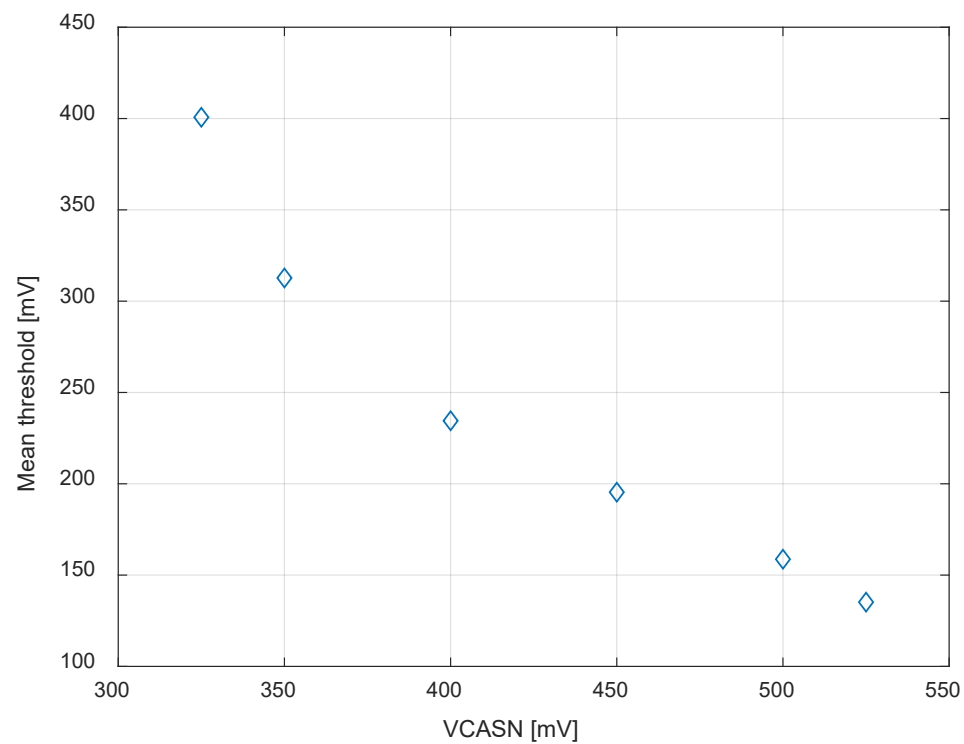


\*数据来源: sector2 24\*24 mini-matrix

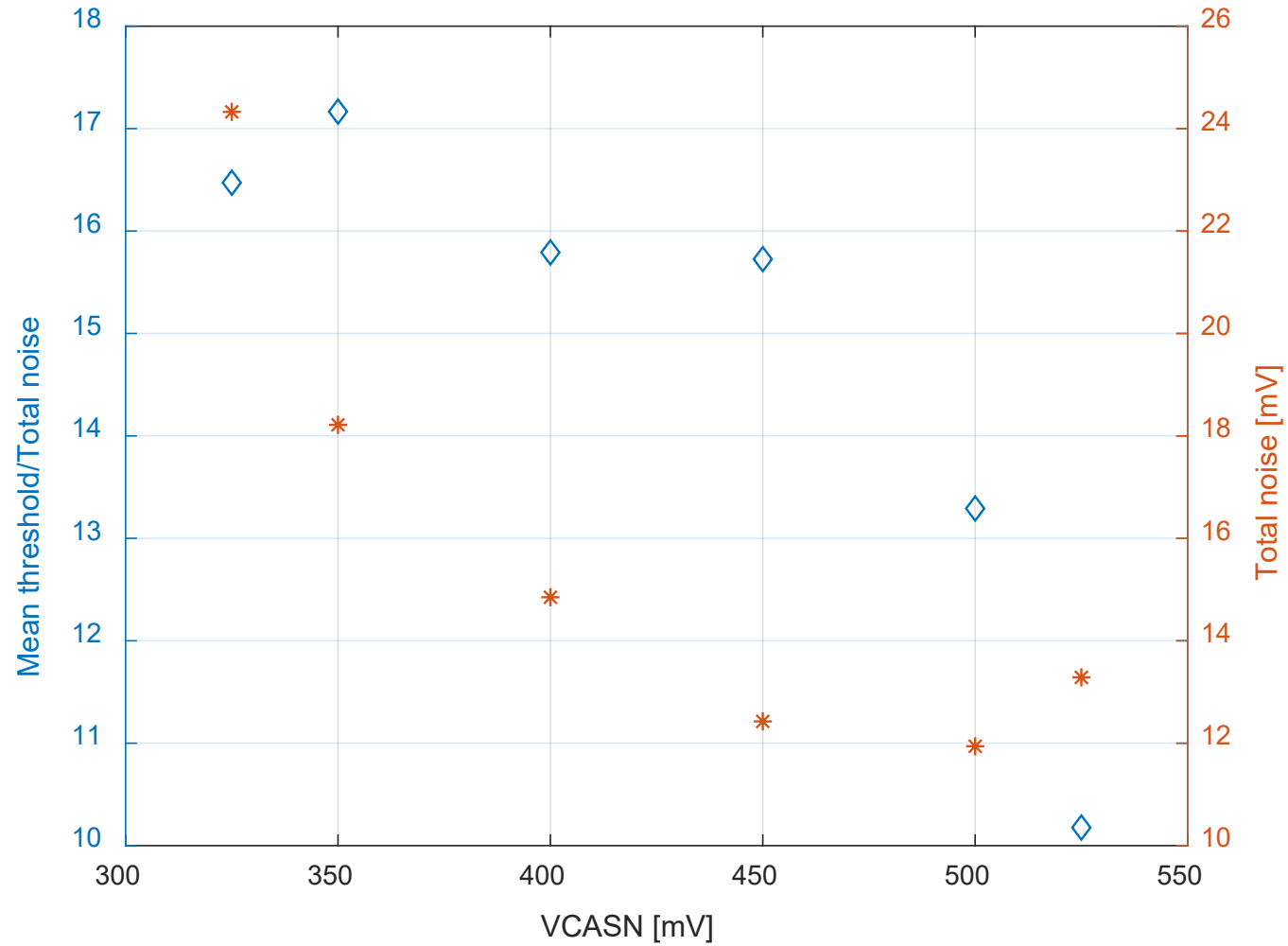
# 像素阵列“阈值/噪声”随ITHR偏置变化的情况:



# 像素阵列噪声、阈值的表现随 VCASN偏置变化的情况\*:



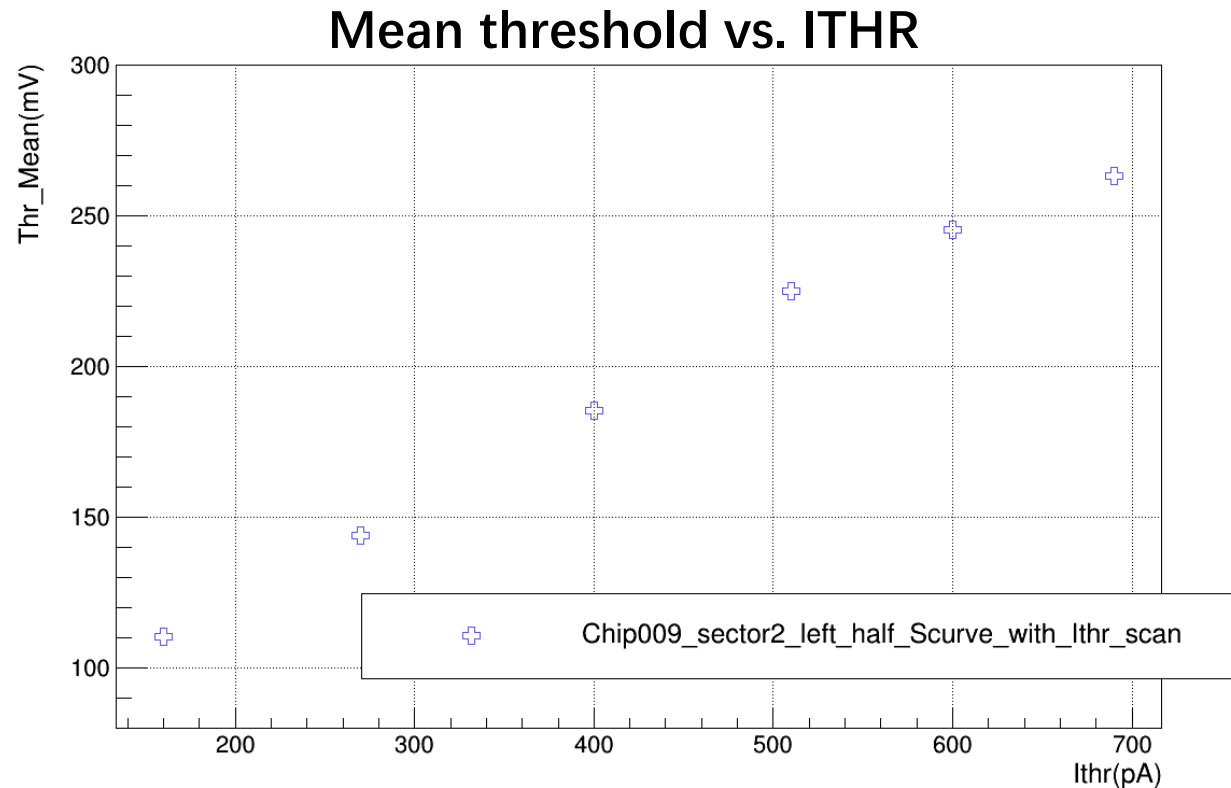
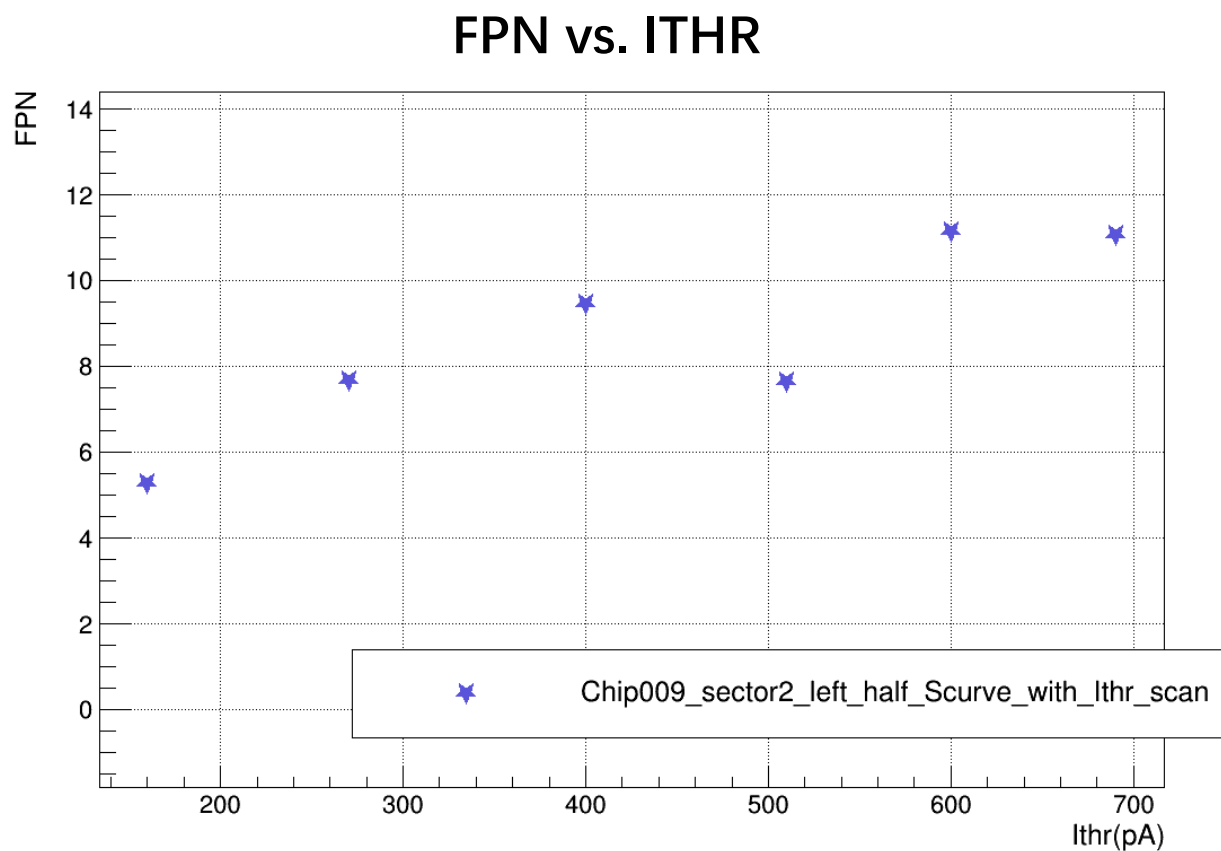
像素阵列“阈值/噪声”随VCASN偏置变化的情况:





# 半个sector的S-curve分析

- 511 \* 24个像素噪声和阈值特性与24 \* 24个像素结果略有差异



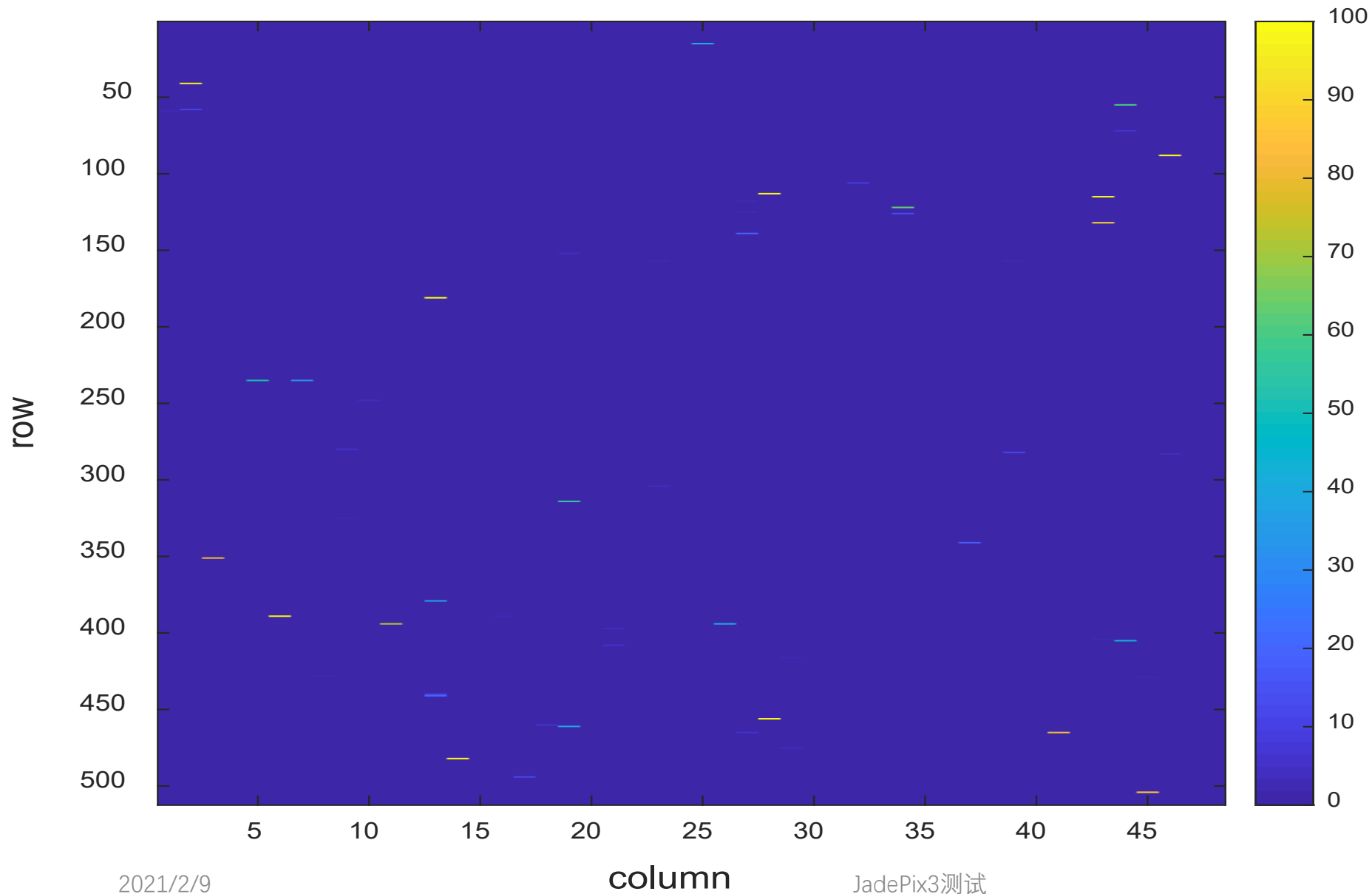
# 噪声像素数量随VCASN偏置的变化

测试方式:

无输入, 读出sector2 (511 \* 48) 的100帧, 1s/frame:

VCASN (mV)	噪声读出次数	噪声像素个数
400	2	1
450	157	12
500	1880	74
525	10305	390

# 噪声像素map@VCASN= 500 mV



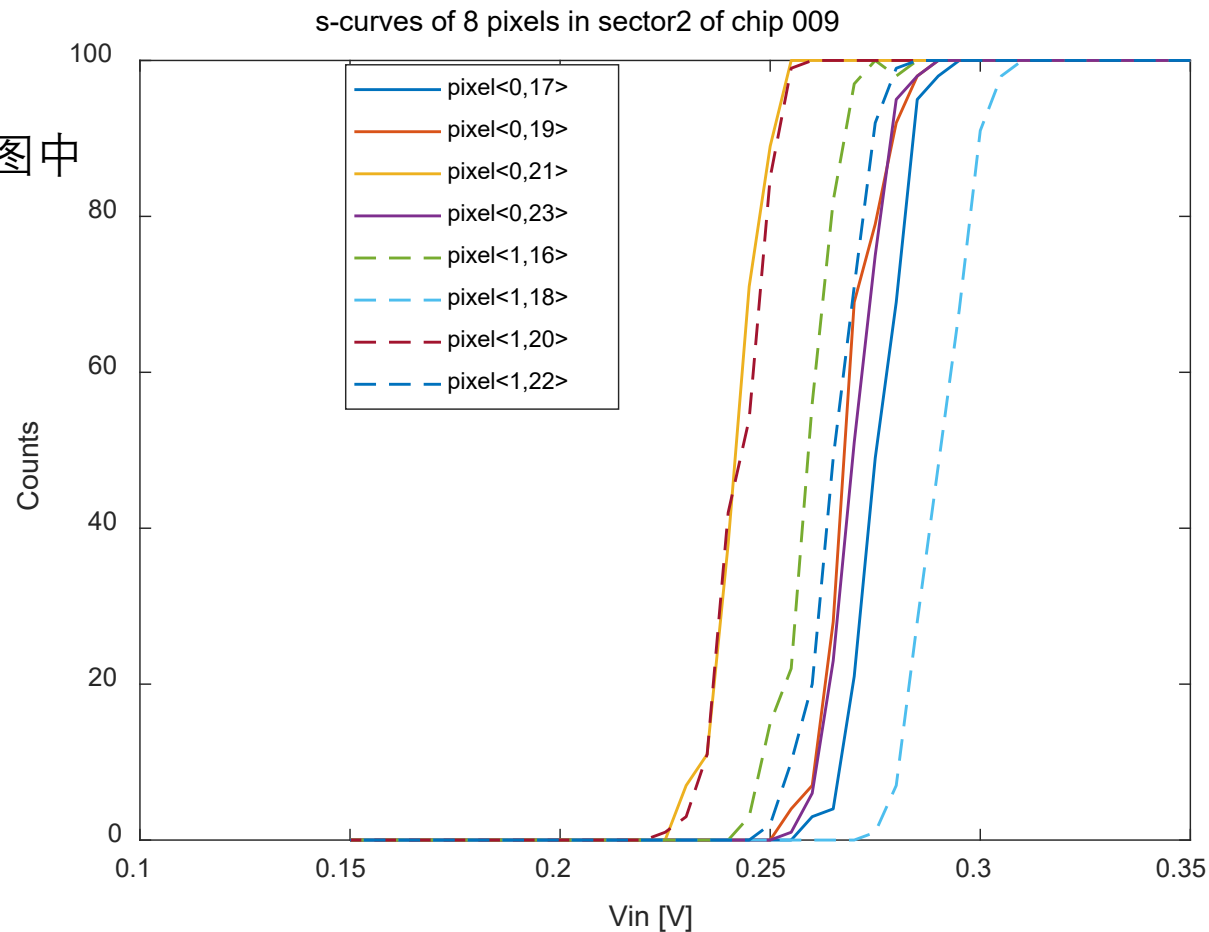
	row	col	Num of hit
1	0	11	1
2	16	14	1
3	16	24	41
4	42	1	96
5	55	44	1
6	56	43	60
7	59	1	10
8	60	0	2
9	73	43	6
10	89	45	100
11	107	31	8
12	114	27	100
13	116	42	100
14	119	26	3
15	123	33	64
16	126	26	2
17	127	33	13
18	133	42	88
19	140	26	19
20	142	24	1
21	149	39	1
22	153	18	4
23	158	22	3
24	158	38	2

# 不同位置模拟输出像素S-curve的对比

测试方式:

sector2 0-1行, 16-19列, 共8个像素给模拟输入 (右图中  
“8 pix open”)

第0行即最靠近输出pad的一行



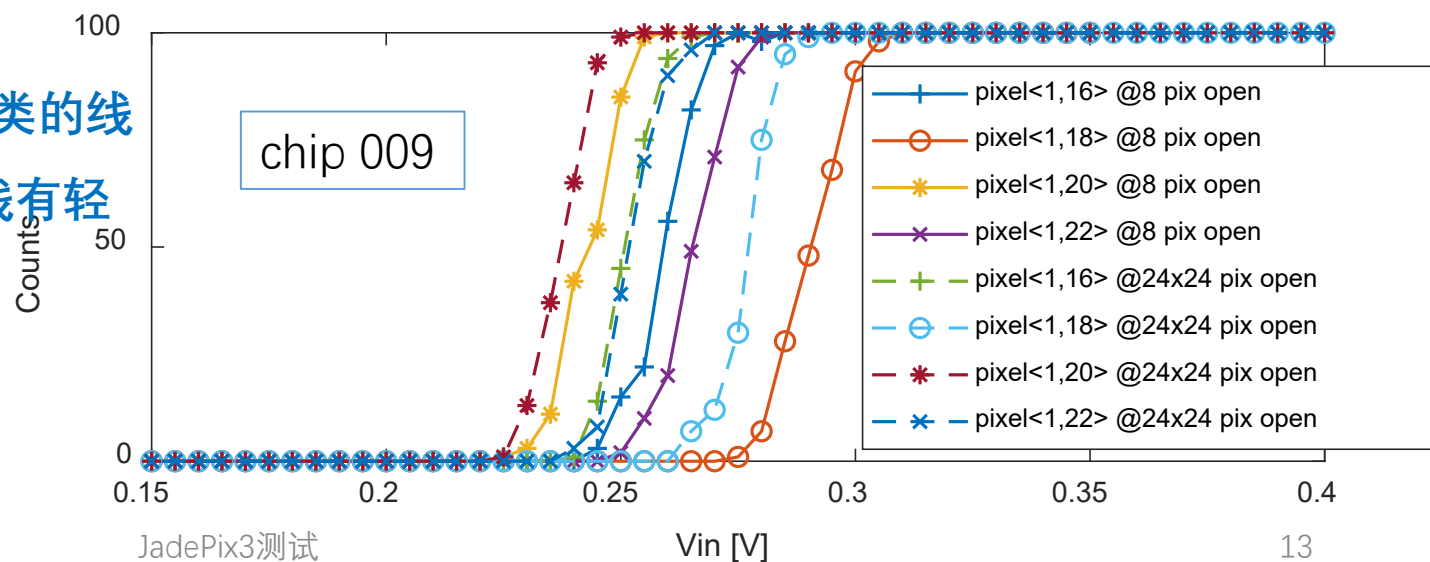
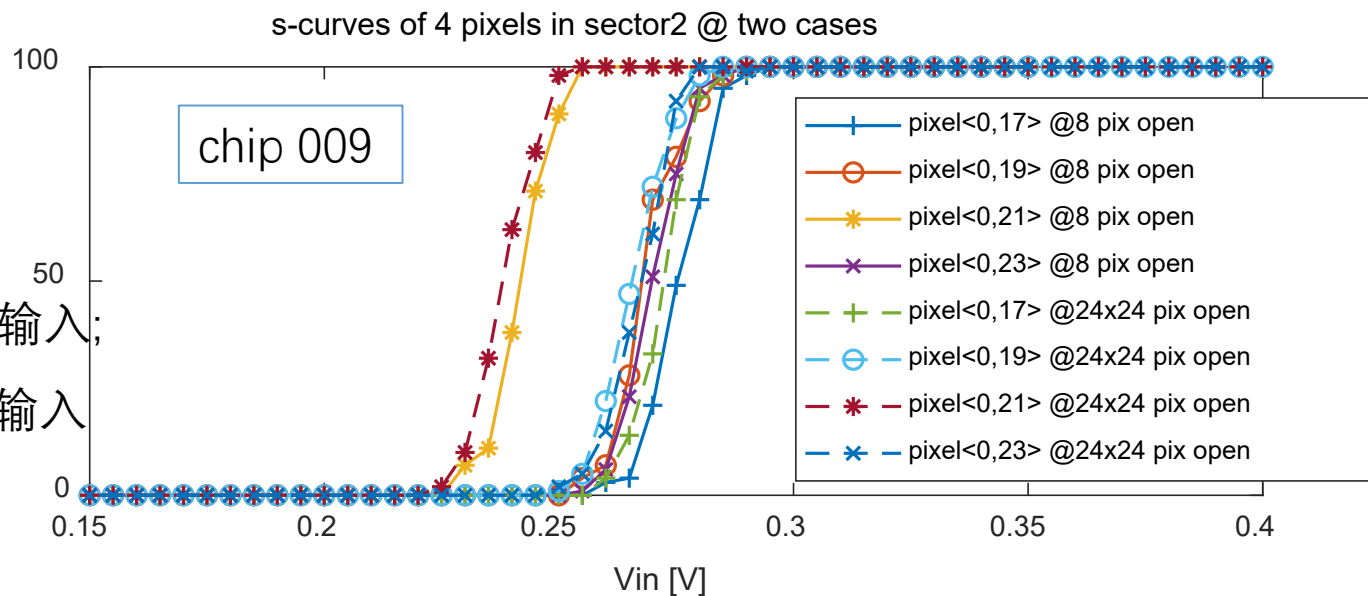
# 同时给与模拟输入的像素个数对S-curve的影响

测试方式:

对比以下两种情况, 特定像素的S-curve曲线:

1. sector2 0-23行, 0-23列所有像素同时给模拟输入;
  2. sector2 0-1行, 有模拟输出的8个像素给模拟输入
- (右图中“8 pix open”)

右图中同一像素使用相同的标记, 采用不同种类的线条区分, 发现两种情况下同一像素S-curve曲线有轻微偏移



# 芯片功耗的初步评估

模拟电源AVDD功耗组成	仿真电流 (mA)	设计电流 (mA)	测试电流 (mA)	测试条件
像素阵列	3.15	3.15		
模拟输出SF	1.3	1.3		
模拟输出buffer	1.792	1.792		
DAC	0.643	0.643		
BandGap	0.13	0.13		
LVDS Receiver	0.104	2.3		
PLL	11.11	11.1		
<b>模拟电源功耗</b>	18.229	20.415	30	上电未配置
			26.2	上电配置像素正常工作设置
			23.8	
			26.44	PLL无输入时钟
			35.09	给PLL输入50M参考时钟, PLL工作
<b>数字电源DVDD功耗</b>				
零压缩及数字读出		8.53		
SPI		0.6		
serializer		13.9		
LVDS receiver		2.3		
数字电源功耗		25.33	13.63	上电未配置
			26.5	上电配置正常工作设置
			29.2	PLL, serializer工作, 输入0
			30.8	PLL, serializer工作, 输入BC
			31.3	serializer无时钟, SRESET=1
			26.5	serializer无时钟, SRESET=0
<b>芯片总功耗</b>		45.745	64.29	

功耗初步测试值比设计值高约40%，原因有待进一步测试及分析

# 附录：发现的问题

## □ 每个sector同时读出像素列数不能大于42列

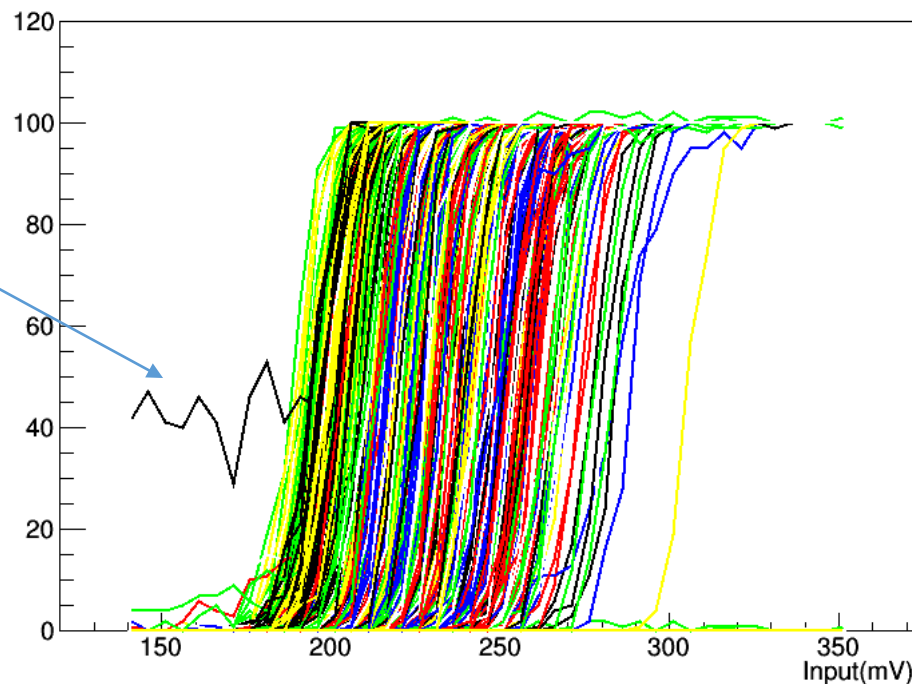
- 原因：FPGA中5位的valid\_counter[0:4]不能正确记录14以上的芯片valid读出，导致数据读出有溢出，每行可以读42列，最后两个group来不及读出就转到下一行
- 暂未解决，s-curve测试中每次仅开col0-23或者col24-48

## □ 每个sector逐行读出时，有一定概率（~30%）在读第395行第8列时出现sector2的异常数据，并且会影响之后读出的数据。

- 原因：猜测是目前通过FPGA配置给芯片零压缩的时序有轻微误差，误差累积到固定值时产生读出异常。



Pixel<395,8>



测试数据和每日实验记录可以通过以下链接在“测试数据”中查看：

<https://ihepbox.ihep.ac.cn/ihepbox/index.php/s/Apw0K6gsCzZtQ9P>