用于NICA MPD ITS读出的前端数据汇总与传输原型ASIC设计

秦家军，宋春晓，李力，常泽光，郭佳诚，赵雷，安琪

中国科学技术大学

核探测与核电子学国家重点实验室

2021-11-27

UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

MODERN PHYSICS DEPARTMENT

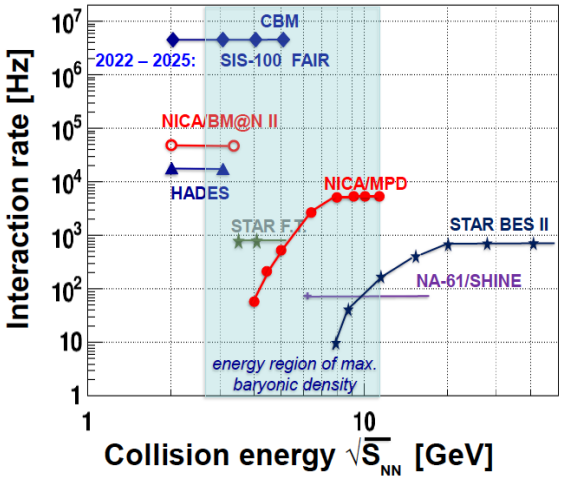
目录

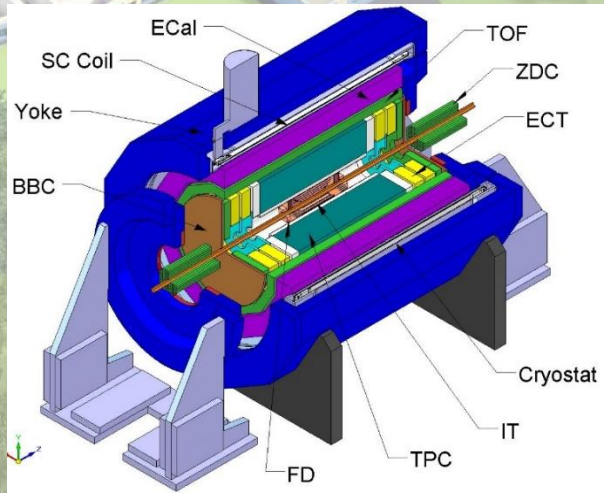
- 背景介绍
- 芯片设计
- 下一步计划

NICA MPD

Main targets:

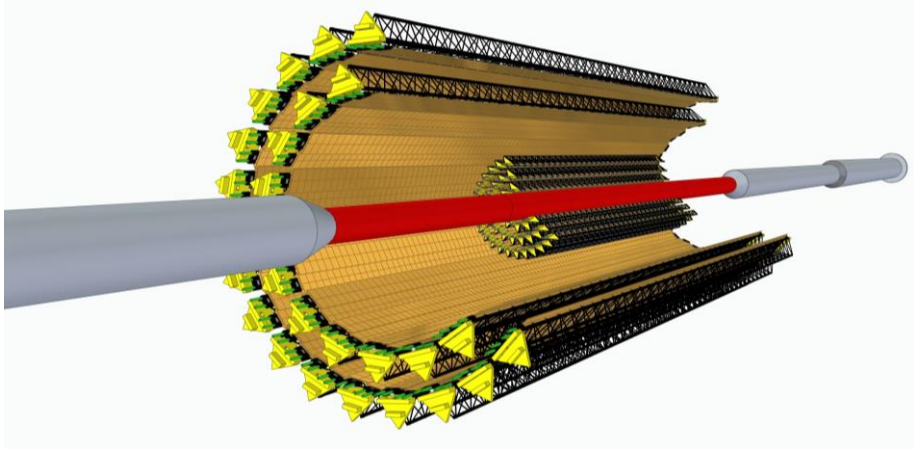
- 研究高温高密和最大净重子密度的物质及其性质，研究强相互作用相图
- 实现质子-质子、质子-氘核与金核-金核对撞，最高质心系能量分别为27 GeV和11 GeV





NICA MPD ITS

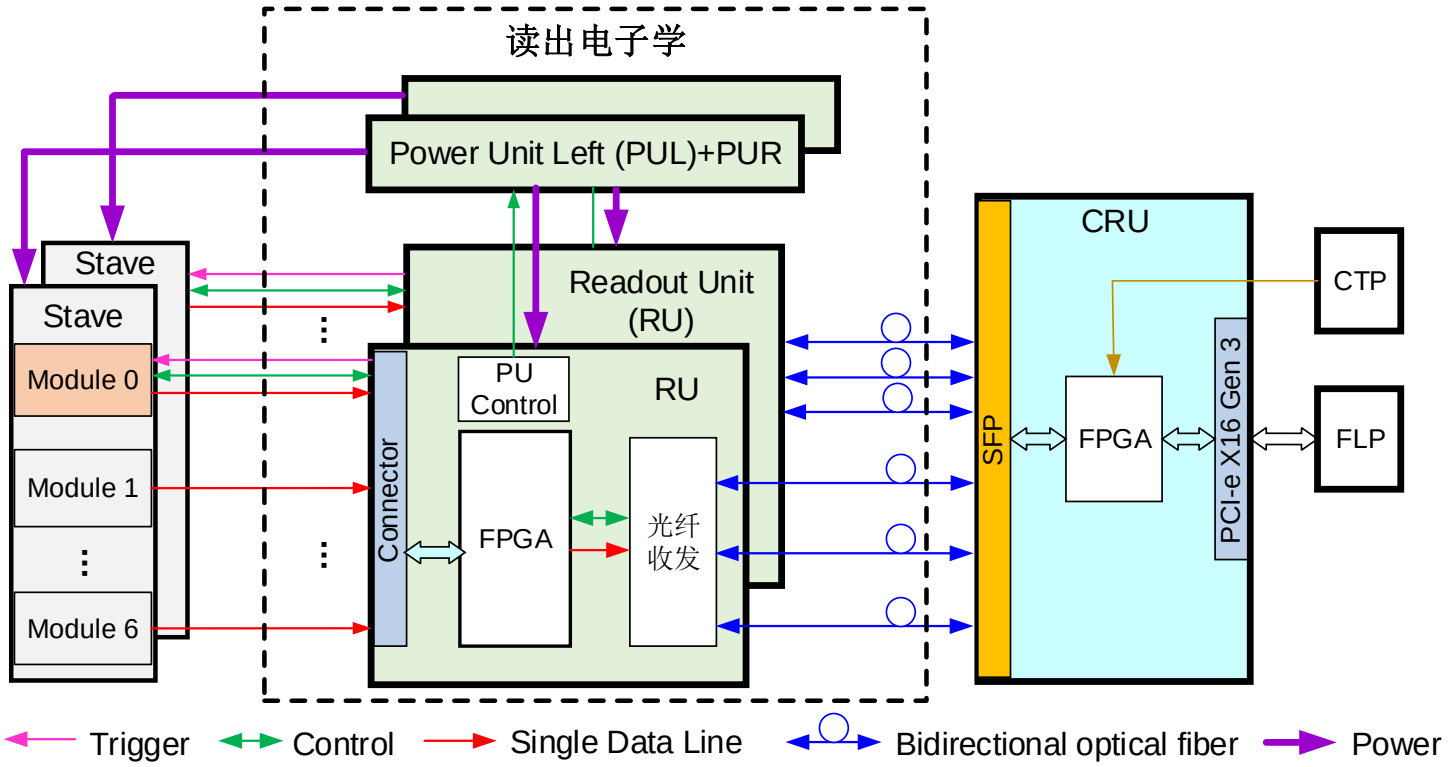
- 内径迹探测器（Inner Tracker）
  - 2 barrels (IB,OB)
  - 5 cylinder layers
- 外桶（Outer Barrel）
  - ALTAI ASIC based
  - 共42个模组（ Staves）
  - 每个Stave包含14个Module，196个ALTAI



- ITS OB读出电子学
  - 科大参与人员：赵雷、封常青、曹喆、秦家军、宋春晓、滕尧、叶昌庆，等
  - Readout Unit (RU)
    - 每个Stave有28路输出
    - 每个RU负责一个Stave的数据读出和控制
  - Power Unit (PU)
    - 负责给Stave供电
    - 每个Stave对应一个Power Board （PB），PB由两个PU（PUR和PUL）

ITS OB读出电子学系统

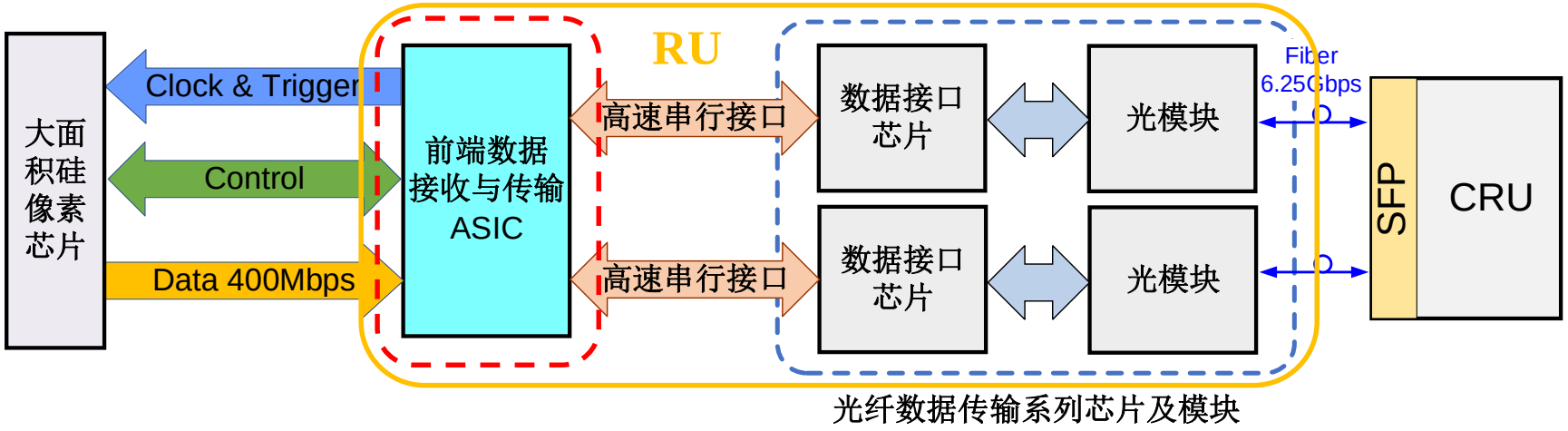
- ITS OB读出电子学整体架构 （FPGA based）



- 方案二：基于自主设计的ASICs完成RU设计

ITS OB读出电子学系统

- 基于ASIC的读出链路



光纤数据传输系列芯片及模块

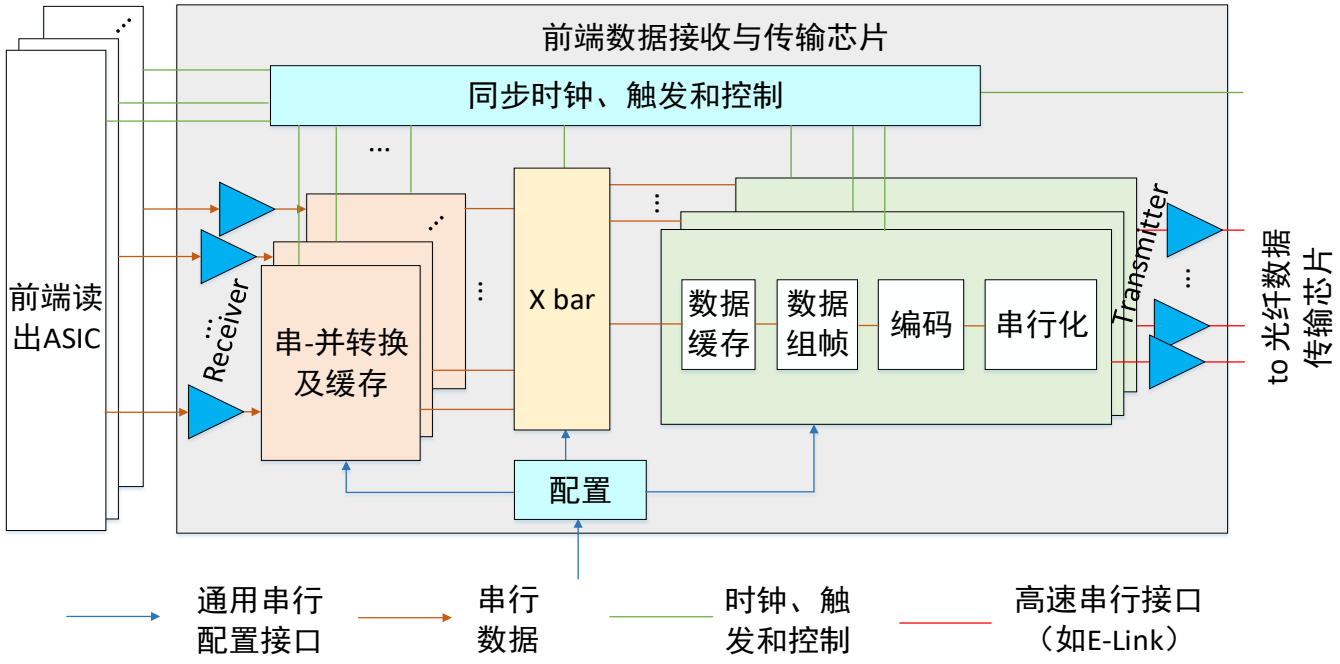
- 前端数据汇总与传输ASIC（NICA_ROC）：对MAPS输出的高速串行数据进行接收、预处理和汇总
- 光纤数据传输ASIC(NICA_GBTx)和光信号驱动ASIC(NICA_GBLD/GBTIA)：基于GBT架构进一步汇总、光收发
  - 华师老师正在研制
- 前端数据汇总与传输ASIC和后端光纤数据传输ASIC及光信号收发模块一起构成完整的数据传输链路，可显著降低系统复杂度并摆脱对FPGA依赖

目录

- 背景介绍
- 芯片设计
- 下一步计划

NICA_ROC – 整体结构

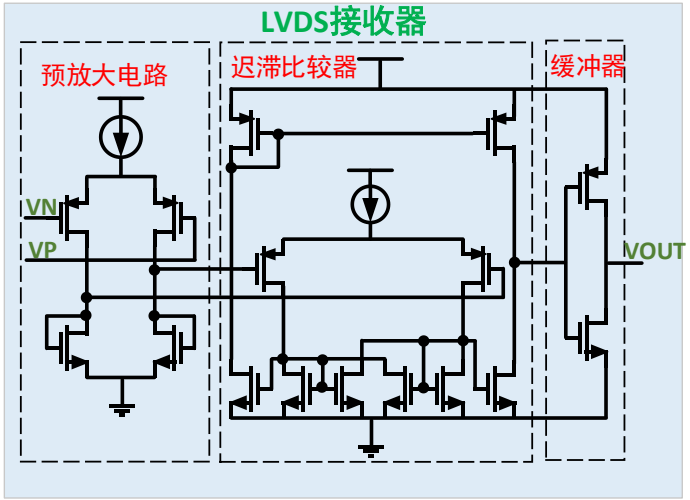
- NICA_ROC ASIC设计
  - 接收多片前端MAPS芯片的输出数据(串行400 Mbps)
  - 预处理、汇总、打包后上行到后端的GBT功能芯片
  - 接收后端控制、时钟和触发信号并转发给MAPS芯片

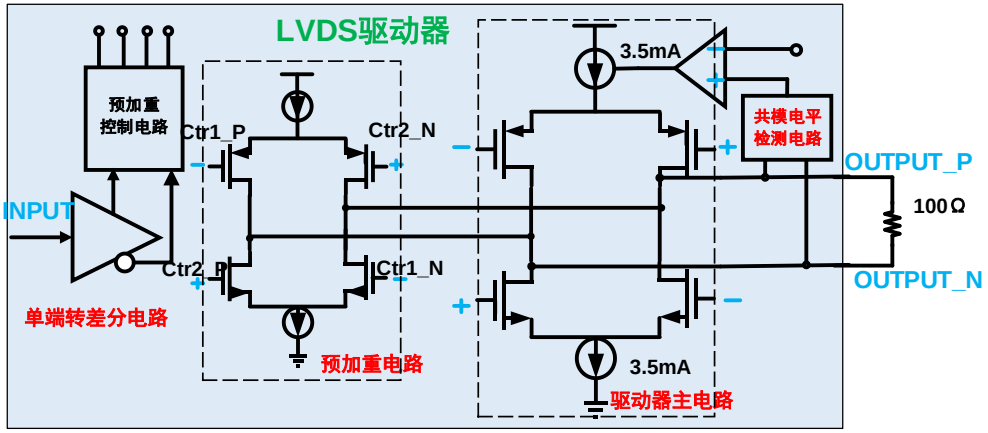


- 数据收发模块
  - LVDS收发器
  - 预加重电路
  - 8b/10编解码
  - 并串、串并转化
- 数据流切换汇总模块
  - X-bar结构
  - 灵活可配置
- 数据组帧模块
  - 数据缓存
  - 数据组帧
- 时钟/触发/控制模块
- 配置模块

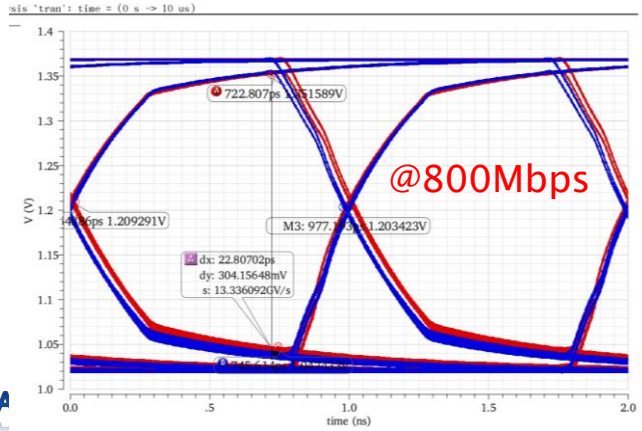
NICA_ROC – 串行收发器

- 串行接口电路需求
  - 接收：MAPS输出400 MHz经8b/10b编码的串行数据，需进行CDR
  - 发送：适配NICA_GBTx的SLVS电平标准
  - 第一版暂基于LVDS收发器设计，demo系统使用片外CDR





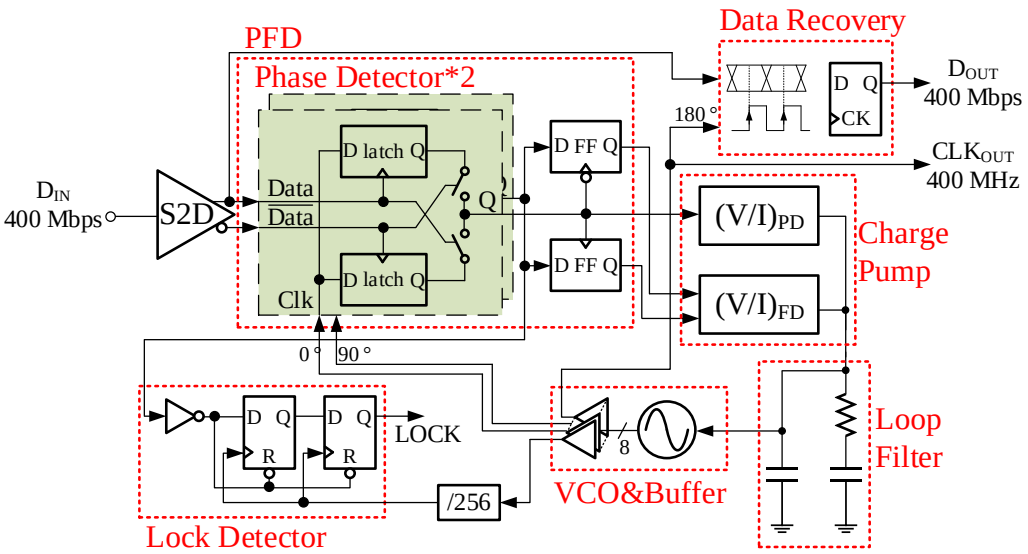
- Data Rate：> 800Mbps
- 可接收最小差模：100 mV
- 可接收共模范围：1~1.6 V
- 迟滞比较器阈值：30 mV

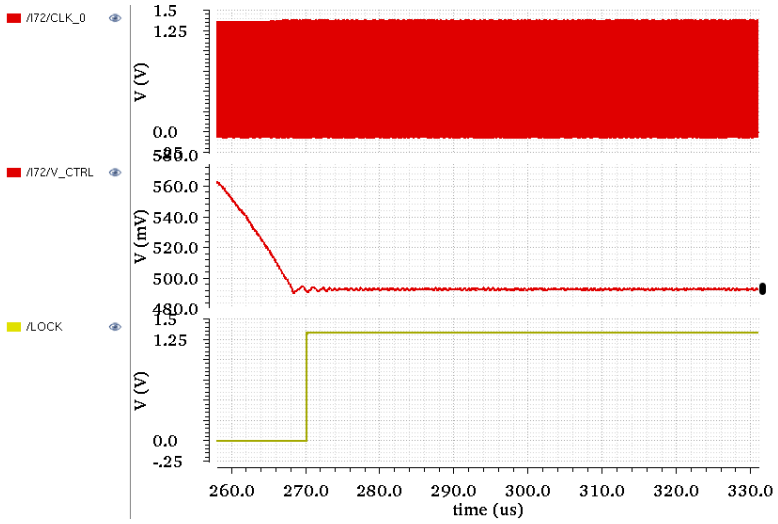


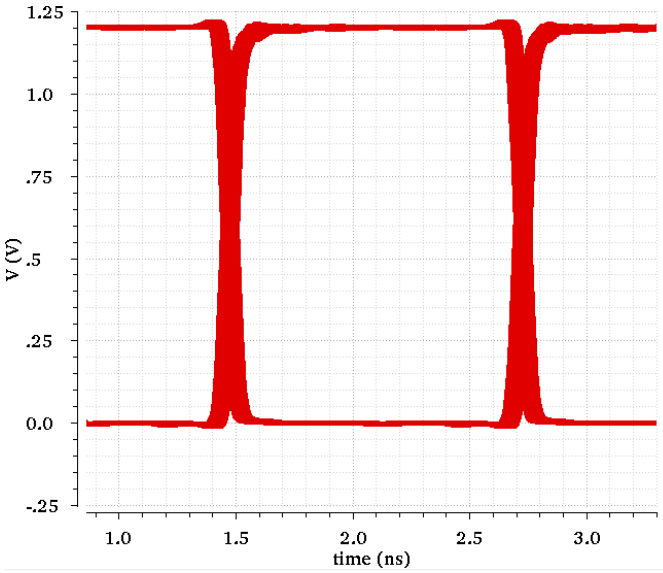
- Data Rate：>800Mbps
- 输出共模：1.2V
- 输出差模：> 300mV
- 驱动负载：10pF+4nH
- 眼图眼宽：0.96UI

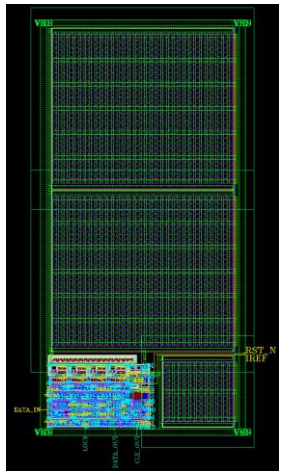
NICA_ROC – 串行收发器

- CDR设计（独立验证模块）
  - 速率200 MHz ~ 700 MHz
  - 锁定时间 ~ 300 μs
  - 面积100μm×200μm
  - 功耗：850 μA × 1.2 V = 1.02 mW
- 待验证后，集成到下一版NICA_ROC ASIC中



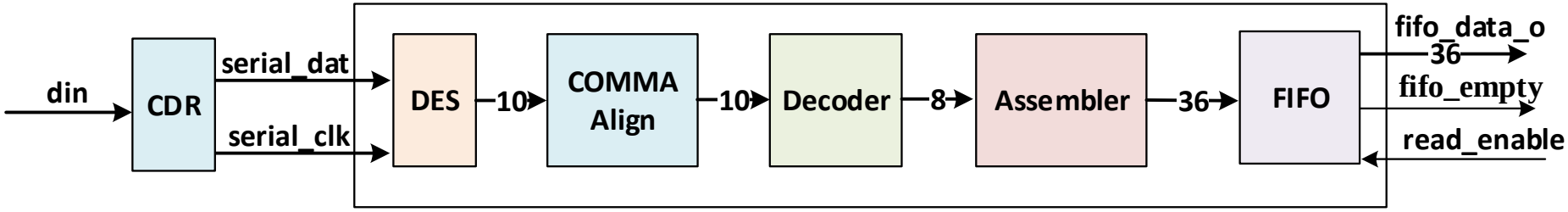




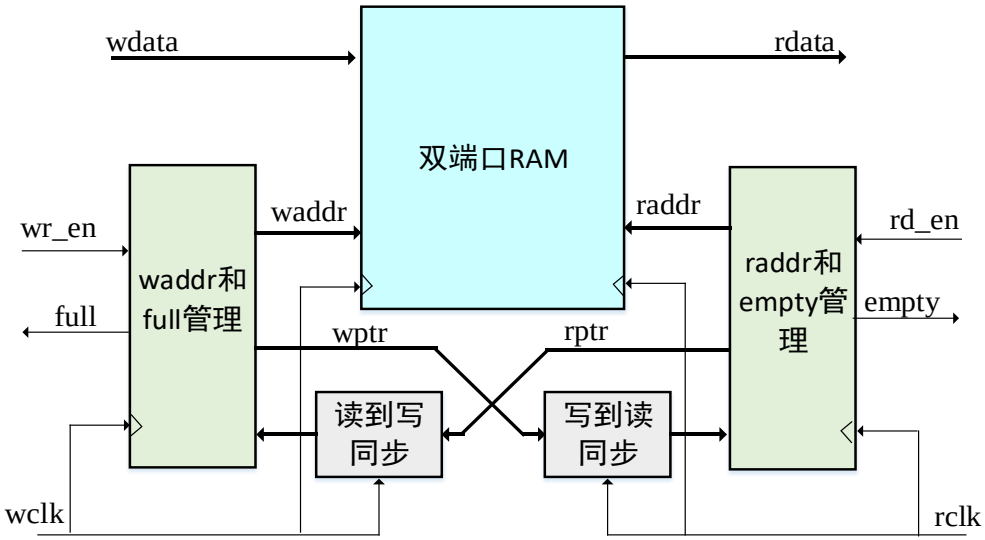


100μm×200μm

NICA_ROC – 串并转换及缓存



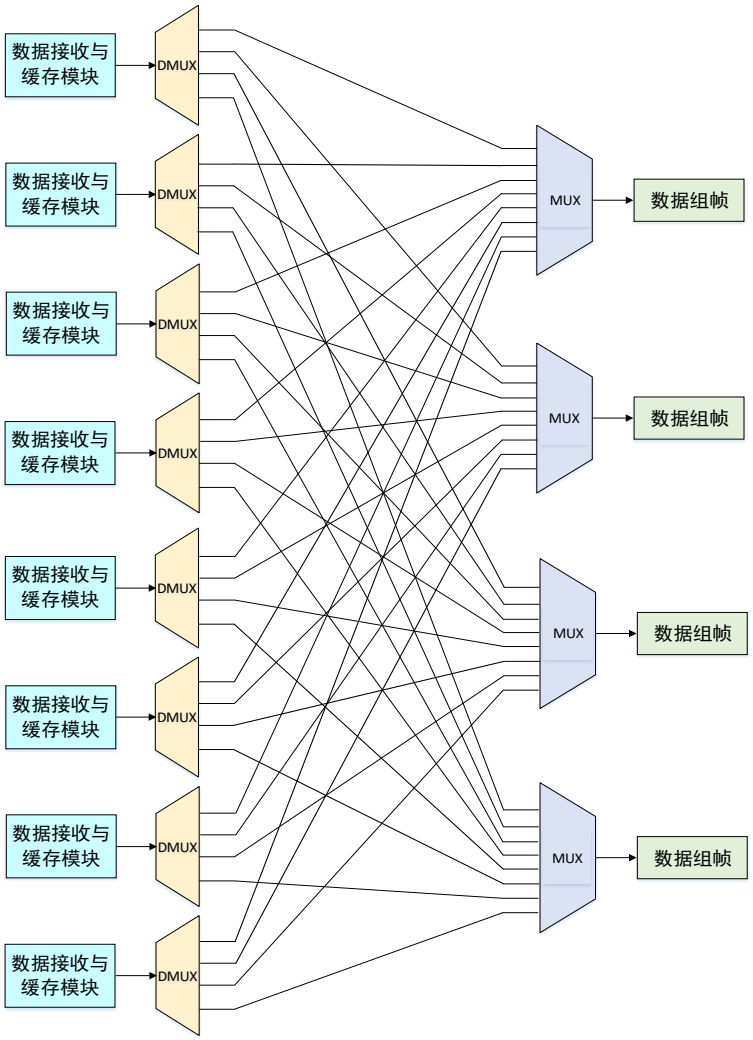
- 串并转换
  - 1bit -> 10 bits
- COMMA对齐
  - K28.5
  - 缓存两拍数据，寻找COMMA
- 8b/10解码
- 数据组装
- 基于双端口SRAM的异步FIFO
  - 解决跨时钟域数据传输



异步FIFO结构框图

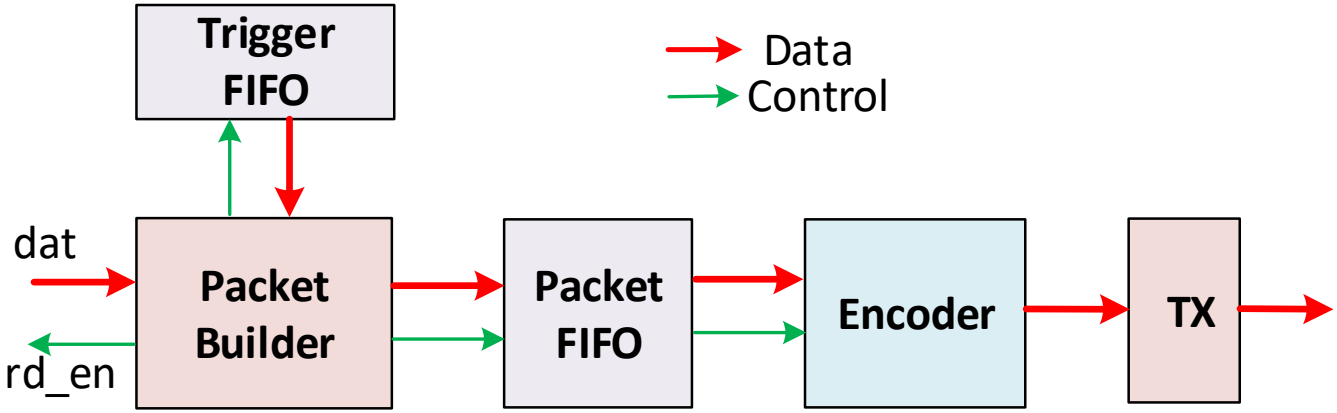
NICA_ROC – 数据流切换

- 数据流切换（Xbar）
  - 适配不同的应用场景、匹配不同的输入输出数据率
  - 全连接（full mesh)结构
  - 输入输出通道对应关系灵活可配置
    - (8 -> 1) x 1
    - (4 -> 1) x 2
    - (2 -> 1) x 4
  - 对应关系确定后数据访问机制设计
    - 同一时刻一个组帧模块只能访问一个数据接收模块
    - 轮询访问



Xbar结构

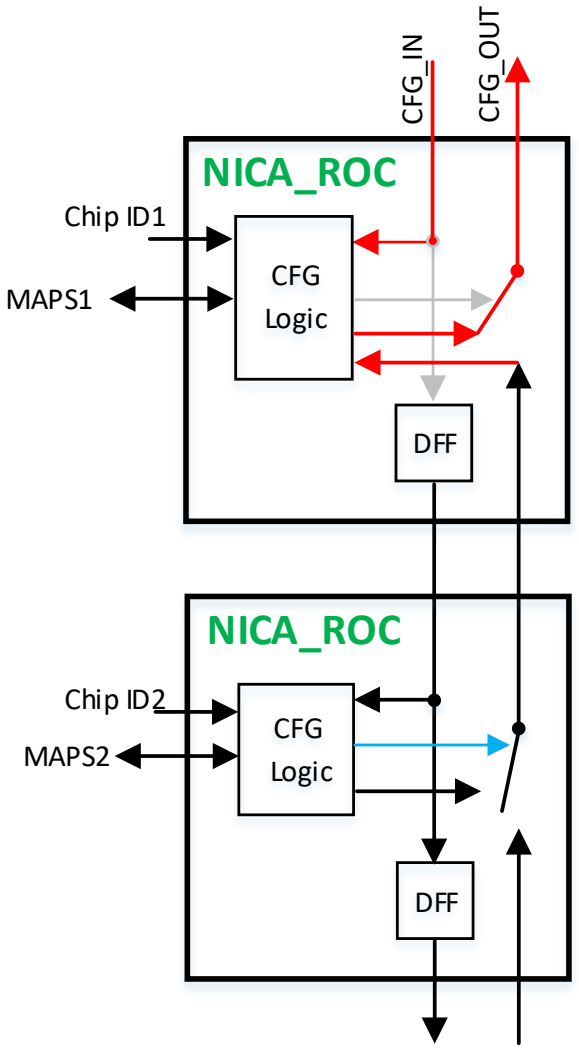
NICA_ROC – 数据组帧打包



- 数据组帧
  - 从对应输入通道的FIFO内轮询取数
  - 增加Trigger ID
  - ROC ASIC的chip ID
  - SOP、EOP
- 异步FIFO
  - 跨时钟域数据传输
- 编码电路
  - 进行8b/10b编码
  - FIFO为空时，传输comma
- 串行数据驱动模块
  - 320 MHz，与后端NICA_GBTx兼容

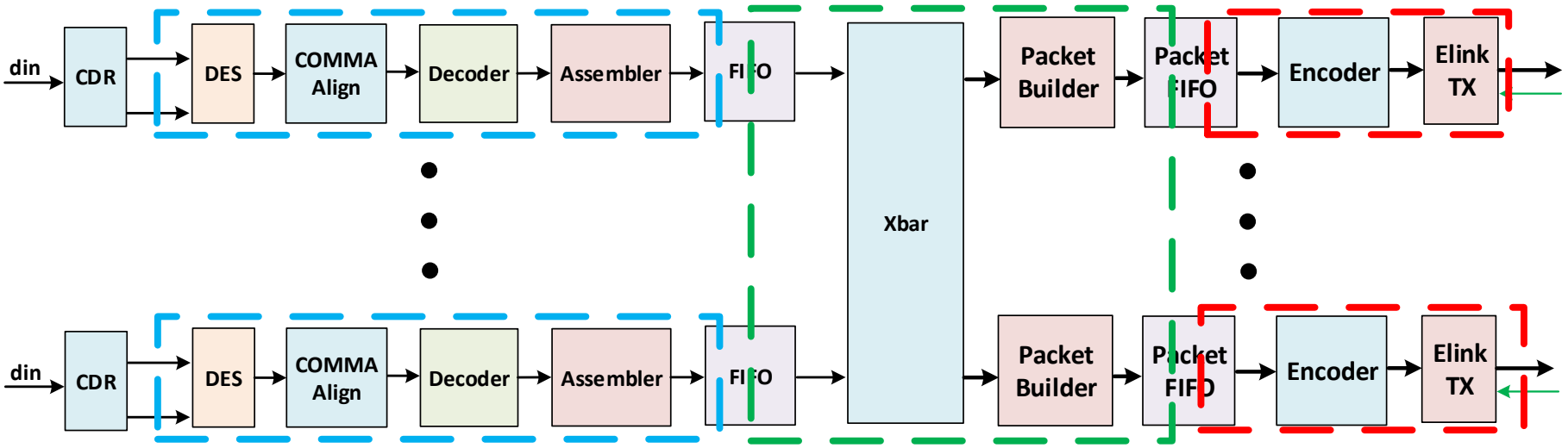
NICA_ROC – 触发/控制

- 触发信号
  - 一个RU上的多个ROC ASIC的触发信号串成链
  - Master chip接收到触发信号，依次传递给后续芯片
- 控制信号
  - 硬件设计类似触发信号
  - 通过ASIC chip ID识别
  - 寄存器配置和回读
    - MAPS
    - NICA_ROC
- 基于JTAG接口的配置模块
  - 用于调试



寄存器配置与回读示意图

NICA_ROC – 时钟域



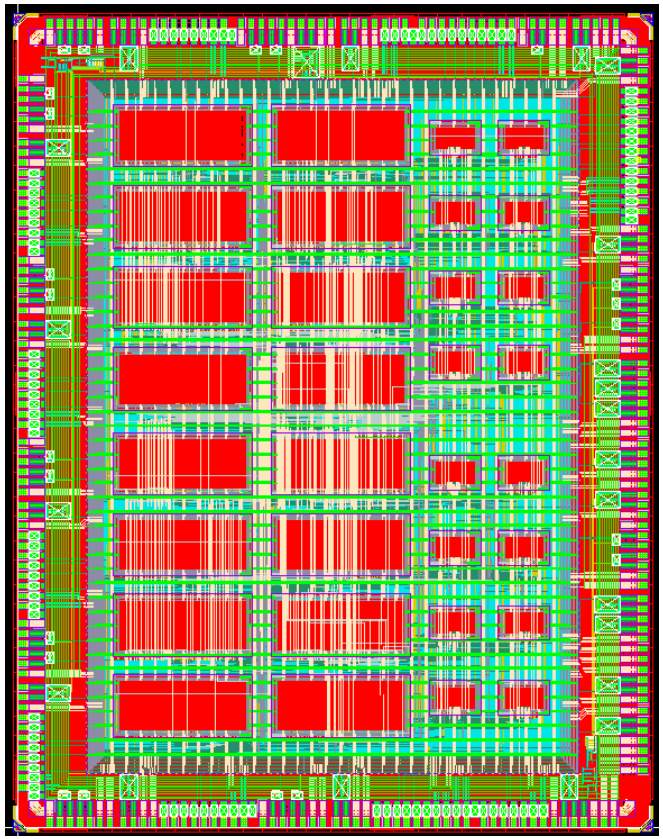
CDR时钟×8
（400MHz）

主时钟
（40MHz）

输出时钟×4
(320MHz)

NICA_ROC – 版图

- 经过仿真验证和FPGA验证，已流片



- 通道数：8 通道
- Areas：5.7 mm×4.5 mm
- 引脚数：247 PIN

下一步工作计划

- 测试
- 改版设计
  - 抗辐照加固
    - 配置寄存器抗辐照加固
    - 状态机三模冗余
    - 数据ECC
  - 完善接口
    - CDR
    - SLVS

Thanks