

# 一种用于高能同步辐射光源中的积分型像素阵列探测器系统

丁叶1,2,周杨帆1,谢亮3李航旭1,张杰1,2,李贞杰1,李秋菊1,刘鹏1,盛伟繁1,2

1 中国科学院高能物理研究所

2 中国科学院大学

3 湘潭芯力特电子科技有限公司



- 背景
- 国内外现状
- 探测器系统介绍

# 整体结构

## ASIC

# 读出系统:硬件、固件、软件

• 测试结果



探测器成为制约同步辐射光源优异性能充分发挥的瓶颈,围绕光源需求开 展探测器研发具有重要意义





在建的HEPS光源

X射线应用的关键技术

当前主流的像素阵列探测器:计数型和积分型(大动态范围) 在建HEPS的14条光束线中4条:计数率10<sup>8</sup> cps

# 2 国内外现状

动态范围实现方式	积分型探测器	动态	;范围@12ke'	✔ 帧频
固定增益	CSPAD, pnCCD(USA, LCLS), MPCCD (Japan, SACLA)	AGPID	104	4.5 MHz(b urst)
可选增益	LPD (European XFEL), SOPHIAS (Japan, SACLA), MOENCH(PSI)	JUNGFRAU	10 <sup>4</sup>	1.1kHz
自适应增益	ePIX(LCLS), AGIPD, Gotthard and Jungfrau(PSI)	MOENCH	100	1.3kHz
非线性响应	DSSC (DEPFET Sensor with Signal Compression) (DESY)			

#### 动态范围1-104@12keV,自研自用,无商品,难定制,禁运风险





探测目标:等效计数率可达10<sup>8</sup>cps(持平),帧率达到10kHz(更高帧频)



#### 探测器关键技术

所属项目:科技部重点专项《高性能光源关键实验技术与方法研究》中《小像素二维探测器》项目

# 3.1 系统整体介绍



#### 积分型探测器系统结构图

#### 3.2 Sensor

128 x 128像素, 整体尺寸2.085 cm<sup>2</sup>; 灵敏区: 1.935 cm<sup>2</sup>;厚度: 500 um 像素尺寸: 150um x 150um; 拼接处像素: 225um x 225um、225um x 150um





128x128 阵列Sensor

#### ASIC 3.3

- CTIA三级积分电容、自动增益放大 •
- CDS相关双采样保持 •
- 10-bit SAR-ADC ullet









芯片整体框图

像素处理单元电路

#### 像素阵列ASIC

- 2x1
- 32x16
- 64x64





2x1、32x16、64x64 ASIC





最大等效计数率 3.78\*104@12keV

TRIM	正常							
读写	正常							
▶均匀性校正(32*16 SAR ASIC)	校正前偏差30个LSB左右,校正后偏差降低到3个LSB							
功耗(单个像素)	392.2uW(64*64阵列芯片功耗在1.6W左右)	25000	y = 0.6038x + 19.646 R <sup>2</sup> = 0.9993					
64*64 ASIC噪声RMS	0.9-1.5个12KeV光子	20000				Ser. Ser.		
32*16 ASIC噪声RMS	0.54-1.5个12KeV光子	田 15000 編 終	0		and the second se	in the second		
2*1 ASIC噪声RMS	0.8 个12KeV光子	新 10000	and a second second					
归一化非线性度	1.36%	0 (	Concerner of					
等效计数率	3.78 ×10 <sup>8</sup> cps@12keV	(	) 10	),000	20,000	30,000	40,000	
结论	TRIM、读写、线性等功能正常,等效计数率、帧率 等达到设计指标要求。		等效输入光子数@12kev 					

# 3.4 后端读出系统

# 3.4.1 硬件

## 1) 背板 (backing board)

- 引出384路 ASIC信号
- 探测器模组供电: ASIC独立供电, 共12种电源分割
- 提供信号输入及测试端口





## 2)读出控制板 (readout board)

- FPGA + ZYNQ: 1 XC7K325T-2FFG900I and 1 XC7Z035-2FFG676I
- 4-CH GTX for SFP+ interface,
  6-CH GTX between ZYNQ and FPGA
- 32-HR\_IO of FPGA and ZYNQ are connected
- 1 GB DDR3L to PS, 8GB DDR3L to FPGA
- 1 QSPI /1 SD Card/1 RJ45/1 UART/ 1 HDMI to ZYNQ



硬件原理框图

- 多级LDO 特定上电顺序

Power on sequence						
First	Second	Third	Forth			
VCCINT_1V0	MGTAVCC_1V0A	1V35	3V3A			
VCCPINT_1V0	MGTVCCAUX_1V8	VTTDDR	3V3D			
VCCBRAM_1V0	VCCAUX_1V8	VTTVREF	1V2D			
MGTAVTT_1V2A	VCCPAUX_1V8	PS_1V35				
VCCAUX_IO_2V0	VCCO_1V8	PS_VTTDDR				
3V3/5V0	VADJ	PS_VTTVREF				



电源设计(25种电源)







# 3.4.2 FPGA 固件

## 1) 逻辑功能

- · UDP协议 配置参数传输
- FPGA中多路并行读出和配置
- 高速DDR数据缓存
- ZYNQ中算法实现与流程控制
- · SPI协议调节高压输出
- 外部系统触发同步控制



积分型固件原理框图

#### 2) 数据传输



- Aurora协议
- 万兆以太网
- 多GTX并行
- 板上10-60 Gbps, 板至上位机 8.84 - 35.36 Gbps

IPERF测试结果:约8.84Gb/s



基于SiTCP的万兆数据传输实现原理及测试

3.4.3 上位机软件与数据处理

### 1) 上位机软件 JDAQ

- PyQt5, 多线程
- 参数交互
- 数据存储
- 动态显示
- 2) 离线数据处理
  - Matlab
  - 数据噪声、线性、像素位置
  - 刻度校准
  - 数据配置文件



DAQ软件界面及流程控制图





#### 系统原理样机实物图

### 3.5 系统测试

3.5.1 像 素阵列探 测器刻度 校准





3.5.2 积分型探测器系统测试

噪声0.9-1.9个12KeV光子 等效计数率可达3.6\*104@12keV 满足探测指标







1W2B 单色光线性测试结果











总结与展望

- 完成 64x64 积分型像素阵列探测器原理样机的研制,可实现10<sup>8</sup>等效计数率、
  10kHz高帧频的探测目标
- 后续将针对系统的噪声、功耗等进行优化,多模块拼接及读出系统小型化, 为HEPS提供积分型探测器

