NICA-MPD电磁量能器高时间分辨读出电子学的研究

艾鹏程(汇报人),邓智,王义,冉鑫驰,申忱迪,李昱磊,李林茂 2021年11月26日星期五

全国辐射探测微电子学术交流会 NME'2021





报告内容

- •NICA-MPD实验和电磁量能器(ECAL)介绍
- ECAL现有读出电子学系统和性能
- •基于机器学习的高时间分辨读出芯片研究进展
- 下一步研究计划和总结









Investigation of hot and dense baryonic matter is a challenging task in modern physics. It provides information on the in-medium properties of hadrons and nuclear matter equation of state, allows a search for possible manifestations of the deconfinement and/or chiral symmetry restoration, phase transition, mixed phase and critical end point, and sheds light on the evolution of the Early Universe and formation of neutron stars.





电磁量能器ECAL



- Tower -> Half Module -> Module -> Sector
- Tower: Shashlik结构, 220
 层铅(0.3mm)和闪烁体 (1.5mm)交替,长度 ~35 cm(~12辐射长度)
- 信号读出: 波长平移光纤 + 硅光电倍增管 (SiPM, MAPD)







ECAL现有读出电子学





ECAL前端电子学



前端电子学主要参数: □ 64通道,12比特,62.5 M采样率ADC □ 通过光纤链路进行数据读出、触发和定时 □ 功耗约为50 mW/通道,需要专门的水冷系统进行散热



高压系统





现有探测器和读出电子学的性能



ECAL读出电子学的升级

- •现有系统的局限性:
 - 需要传输每个通道的ADC采样数据,数据带宽要求高,并因此带来高功耗
 - ADC采样率偏低,仍有提高时间和能量分辨的潜力
 - 分立器件使得电子学系统较复杂
- •基于专用集成电路(ASIC)的升级方案:
 - 将<mark>前放、ADC和特征提取电路</mark>集成到一块芯片中
 - 以神经网络运算器为核心的特征提取电路完成能量、时间等信息的提取
 - 只传输波形的能量、时间等特征数据
- 技术路线: 逐一实现 -> 系统集成









现有研究进展:前放电路





SiPM的快前放读出设计 □基于共基电路的跨阻放大器架构 □Q1、Q2构成两极共基电路 □方便实现对晶体管工作电位的微调 □减少集电极电阻对于探测器电容的依赖性

 多个单元同时激发时的等效电路模型
 LTspice XVII电路仿真软件进行了模拟
 连接至一个20 Ω负载电阻Rs时,前放输出 信号规整至接近750 mV单路输出幅度和接 近1.5 V的差模输出幅度







前放电路的测试



 固定SiPM前放板与激光器于光学平台上
 激光束与SiPM探测器入射窗在同一水平高度
 皮秒激光器从SiPM探测器正面入射窗注入作 为输入信号源(532 nm绿光激光器)



幅值>700 mV,基线噪声RMS<10 mV







现有研究进展: 定时算法

- 目标:达到好于150 ps的时间分辨
- 仿真:在GEANT4中建立Shashlik量能器物理结构, 采用GeV能量电子/质子入射,记录每个事件中闪烁 光子到达光纤端面的位置和时间
- 脉冲波形产生:根据SiPM电路等效模型,并考虑模拟通道和ADC量化作用,利用仿真中得到的闪烁光子 产生脉冲波形



GEANT4中的ECAL探测器模型





神经网络用于定时和特征提取

□ 神经网络具有良好的非线性拟合能力, 应用 于基于波形采样的核电子学系统,具有提高 时间/能量分辨能力的潜力 网络架构:一维脉冲序列的自编码器 □ 网络基本单元:一维卷积 (Convolution) 层,一维解卷积 (Deconvolution) 层, 全 连通 (Fully-connected) 层

input feature map

Ci

Ci

conv kernels







与传统算法只利用少数采 样点的信息不同,神经网 络将整个采样波形作为输 因此能更加充分地利 用波形 (相对于目标任务) 的有益信息。





定时系统的过程模拟和数学建模



Fisher信息矩阵: $J_T \triangleq J_D + J_P$ $J_D = -E \left[\nabla_{\Theta} \left(\{ \nabla_{\Theta} \ln p_{r|\theta}(R|\Theta) \}^T \right) \right]$ $J_P = -E \left[\nabla_{\Theta} \left(\{ \nabla_{\Theta} \ln p_{\theta}(\Theta) \}^T \right) \right]$ 信号建模: $s(t) \triangleq s(t; \Theta) \triangleq s(t; \Theta_{int}, \Theta_{ext})$ $J_{Dij} = \left(\frac{\partial \mu_R}{\partial \Theta_i} \right)^T \cdot \Sigma_R^{-1} \cdot \frac{\partial \mu_R}{\partial \Theta_j} \qquad J_P = \begin{pmatrix} \Sigma_{\Theta_{int}}^{-1} & 0 \\ 0 & 0 \end{pmatrix}$

具体到ECAL的电子学信号:

$$s_{\text{origin}}(t; \Theta_{\text{int}}, \Theta_{\text{ext}}) = \kappa \cdot f_{\text{gamma}} \left(\frac{t - \tau - \eta}{\beta}, \alpha \right)$$
$$\Theta_{\text{int}} = \{\alpha, \tau, \beta, \kappa\}, \quad \Theta_{\text{ext}} = \{\eta\}$$
$$\boldsymbol{R} | \Theta = (R_1, R_2, \dots, R_N | \Theta) \sim \mathcal{N}(\mu_{\boldsymbol{R}}, \Sigma_{\boldsymbol{R}})$$
$$\mu_{\boldsymbol{R}} = (s(0), s(\Delta), \dots, s((N-1)\Delta))$$





定时系统的非理想特性:

源端噪声:来源于光电器件端的噪声,受模拟通道调制 (低频特征) 采样端噪声:叠加在采样点上的高斯白噪声 模拟通道带宽:模拟前置放大器的带宽和寄生参数对信号的影响



定时的理论分析和神经网络方法的性能



800 M采样率的情况

200 M采样率的情况

ECAL Shashlik量能器, 1 GeV电子入射, 定时的理论下限和各算法的比较 (左上角:理论下限;上中,上右:神经网络;下三:恒比甄别)



结论:在一定模拟带宽和噪声水平的情况下,神 经网络与所能达到的理论下限 (Cramer Rao Bound)具有较好的符合度,精度和鲁棒性好



束流实验数据分析及不确定度估计



DESY束流测试平台





$$f_{\rm NN}(x;\theta) = \left[\mu(x), \sigma(x)^2\right]$$

	time			energy			
	NLL	precision (ns)	AUC	NLL	precision	AUC	
baseline	-5.965e-01	0.142	0.932	-4.064e+00	0.60%	0.950	
dCFD & int.	1.382e+00	0.878	-	1.948e+00	0.64%	_	
baseline	-5.965e-01	0.142	0.932	-4.064e+00	0.60%	0.950	
3 conv. layers	-5.853e-01	0.142	0.932	-4.460e+00	0.41%	0.966	
1 conv. layer	-5.546e-01	0.149	0.919	-4.775e+00	0.29%	0.985	
2 fc layers	-5.825e-01	0.142	0.940	-4.138e+00	0.55%	0.958	
baseline	-5.965e-01	0.142	0.932	-4.064e+00	0.60%	0.950	
8-bit quant.	-5.358e-01	0.149	0.936	-3.749e+00	0.89%	0.968	
6-bit quant.	-4.801e-01	0.158	0.861	-3.255e+00	1.22%	0.905	

时间分辨及能量分辨测试结果









PE验证仿真波形(Verilator导出)

Time
clk=0
rst_n =1
pe_wdata_ch[31:0]=02000000
pe_wdata_en_ch=1
pe_wdata_rst_ch=0
pe_rdata_ch[31:0]=0
pe_rdata_en_ch=0
pe_rdata_rst_ch=0
mac_dout[71:0] =003EBFE4600133FF74
add_dout[19:0]=00710
pres_adp_dout[31:0] =C0177DE2
pres_adp_dout_ack=1
pres_adp_dout_permit=0
pres adp dout req=0
final dout[31:0]=0
final_dout_ack=0
final_dout_req=0

	ns	2	ns		3 ns	
0000000	000000000 C00000000 C00000000000000000			00000190	00000004	0000
0						
0000+ E8844068AF8153FFBB	D87BC1D7	6F1A+ 00393FFD7	003+ FFFE3FFF	8FFFE3FFF8		
1D55D	00000					
2042033D						
0						
<u> </u>						

配置、特征图、卷积核及辅助数据输入

Time clk=0 rst n=1 pe wdata ch[31:0]=02000000 pe wdata en ch=1 pe wdata rst ch=0 pe_rdata_ch[31:0]=0 pe rdata en ch=0 pe_rdata_rst_ch=0 mac dout[71:0] =003EBFE4600133FF74 add dout[19:0]=00710 pres adp dout[31:0] =C0177DE2 pres adp dout ack=1 pres adp dout permit=0 pres adp dout req=0 final dout[31:0]=0 final dout ack=0

 4300 ps
 4400 ps
 4500 ps
 4600 ps
 4700 ps

 02000000
 01000300
 0
 0

 0
 1
 0
 85
 0
 210

 0
 1
 0
 85
 0
 210
 0

 003EBFE4600133FF74
 0
 0
 0
 0
 0
 0
 0

 00710
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0

 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0
 0

NICA

final_dout_req=0



-- RUN -----obj dir/Vpe top +trace Info (mult pipeline en tc.v): Use pure simulation model. 100: invoke initializing. 1000: start sequential configuration. 1020: 0 cfg word: AU array. 1040: 1 cfg word: partial result adapter. 1060: 2 cfg word: partial result adapter. 1080: 3 cfg word: pe mapper and misc. 1100: cfg finish. 1500: start fmap input. 1520: 0 word of fmap input. 1540: 1 word of fmap input. 1560: 2 word of fmap input. 1580: 3 word of fmap input. 1600: 4 word of fmap input. 1620: 5 word of fmap input. 1640: 6 word of fmap input. 1660: fmap input finish. 2000: start kernel input. 2020: 0 word of kernel input. 2040: 1 word of kernel input. 2060: 2 word of kernel input. 2080: 3 word of kernel input. 2100: 4 word of kernel input. 2120: 5 word of kernel input. 2140: 6 word of kernel input. 2160: 7 word of kernel input. 2180: kernel input finish. 2500: start bias input. 2520: 0 word of bias input. 2540: 1 word of bias input. 2560: bias input finish. 3000: start rescale and shift input. 3020: 0 word of rescale/shift input. 3040: 1 word of rescale/shift input. 3060: rescale and shift input finish. 3500: start sending command. 3520: start AU array and pres adapter. 3540: command finish. result for compare: (0, 85, 0, 210). 4530: output data ready. prepare to start reading. 4590: expected: 0, got: 0 4610: expected: 85, got: 85 4630: expected: 0, got: 0 4650: expected: 210, got: 210 4670: testbench finish.

下一步研究计划: SoC系统结构的验证

- 微控制器内核: ARM Cortex-M0
- 系统总线: AHB、APB
 - 微控制器与NN加速器数据传输通过 AHB总线完成
- •芯片接口: SPI @ 10 M clock
 - Quad SPI单向传输可达到40 Mbps
 - 使用200 MSPS, 12 bit ADC, 每事件 64个点, 最大允许事件率约为: 50 KHz
- ・ 数字芯片设计工艺: 28/65 nm CMOS 工艺

进展:Cortex-M0内核与NN加速器之间 的总线访问已经成功验证



谢谢!

Q & A



