

## 中科大粒子物理实验ASIC研究



中国科学技术大学

核探测与核电子学国家重点实验室 2021年11月26日



- 专用集成电路方向研究
  - ◇ LHAASO WCDA前端读出ASIC
  - ◇ 波形数字化SCA ASIC
  - ◇ 时间-数字变换(TDC)ASIC
  - ◇ HGTD读出ASIC
  - ◇ RICH前端读出ASIC
  - ◇ 数据汇总与传输ASIC
- 大科学工程上的应用情况
  LHAASO WCDA读出电子学
  CEE TOF读出电子学



- 专用集成电路方向研究
  - ◇ LHAASO WCDA前端读出ASIC
  - ◇ 波形数字化SCA ASIC
  - ◇ 时间-数字变换(TDC)ASIC
  - ◇ HGTD读出ASIC
  - ◇ RICH前端读出ASIC
  - ◇ 数据汇总与传输ASIC
- 大科学工程上的应用情况
  LHAASO WCDA读出电子学
  CEE TOF读出电子学

## LHAASO WCDA前端读出ASIC

- ▶ 用于PMT(光电倍增管)的读出
- ▶ 针对千倍量级大动态范围信号读出展开研究
- ▶ 基于放大成形、A/D变换结合寻峰实现电荷测量





▶ 成功用于"国家发改委十二五"规划LHAASO的WCDA读出中

## LHAASO WCDA前端读出ASIC

- ▶ 针对LHAASO WCDA采用国产新型20" MCP PMT的新方案进行优化设计,成 功完成千倍量级大动态范围前端ASIC芯片研制,并进行了工程批的制作。
- ▶ 19年9月20日,在稻城基地顺利通过工程经理部 组织的评审会,正式用于WCDA三号水池( WCDA近一半探测器系统。







时间精度测试结果

#### JUNO PMT原型读出ASIC

- 中科院高能所、清华大学、中科大三家合作进行 ASIC设计,完成实现波形数字化的SCA芯片
- ▶ 1 Gsps采样
- > 8+1 Chan, 256 cell/Chn
- ▶ Wilkinson ADC for each cell,数字读出
- 进行其中采样单元电路设计





波形数字化SCA ASIC研究

- 进一步展开研究设计,已完成两版的ASIC电路设计,并在此基础上同时展开修正算法研究,提升采样精度。
- ▶ 性能指标:



## 波形数字化SCA ASIC研究



SCA TDC 面积:2994 μm × x 4477 μm





#### SCA采样间隔修正-超定线性方程组



#### ATLAS Phase II升级MDT TDC ASIC研究

▶ 参与国际合作项目LHC ATLAS Phase II 升级的工作,同美国密歇根大学合作研究用于ATLAS MDT(Monitored Drift Tube chambers)探测器 读出的新型时间-数字变换器(TDC)ASIC的设计。



#### ATLAS Phase II升级MDT TDC ASIC研究



# 自主TDC ASIC研究

![](_page_11_Figure_1.jpeg)

UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

## 用于HGTD读出的原型ASIC研究

- ▶ 正在进行新型HGTD (High Granularity Timing Detector)前端读出ASIC研究,实现 小颗粒度下的高精度时间测量
- ▶ LGAD: Low-Gain Avalanche Detector,低增益雪崩探测器,一种PN结结构的半 导体探测器
  - ◇ 探测器小颗粒度: ~ mm<sup>2</sup>
  - ◇ 窄脉冲: 典型信号宽度600~1200 ps
  - ◇ 微弱信号: 典型电荷量~10 fC
  - ◇ 高时间精度: ~25 ps

![](_page_12_Figure_7.jpeg)

## 用于HGTD读出的原型ASIC研究

- ASIC整体架构:包括模拟前端电路(含前放、甄别器)与时间数
  字变换电路(TDC),输出数字化的时间信息
  - ◇ 现阶段已完成模拟前端电路的原型设计,包括前放、甄别器、输出驱动器以 及偏置、供电电路。并已对其进行初步测试。
- ASIC:直接连接LGAD并为其提供正极偏置;接收LGAD信号 ,经过放大甄别,输出带有时间信息的波形,再通过TDC进行 时间数字化。

![](_page_13_Figure_4.jpeg)

2400 µm

1350 µm

## 用于HGTD读出的原型ASIC研究

- ▶ ASIC测试
- 信号源发送负阶跃信号,经过衰 减微分网络后产生测试电荷进入 ASIC

![](_page_14_Figure_3.jpeg)

![](_page_14_Figure_4.jpeg)

![](_page_14_Figure_5.jpeg)

UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

#### STCF RICH前端读出ASIC

- 用于带电强子(π/K/p)的鉴别的环形成像切伦科夫(RICH)粒子鉴别探测器(PID))
  )是STCF中的重要组成部分。
- 对于厚型气体电子倍增器(THGEM)结合双丝网型微结构的气体探测器(DMM),由 于读出通道多,因而前端电子学需要同时满足面积小、功耗低、精度高的要求。 因此需要展开相应ASIC的研制。

参数	设计需求		
探测器总面积	~ 16 m <sup>2</sup>		
总读出通道数	~ 698,880		
电荷测量范围	1 fC ~ 48 fC		
等效输入电荷噪声	< 0.5 fC RMS @ 20 pF 输入电容		
时间测量精度	≤ 1ns RMS @ 20 pF 输入电容		
死时间	$\leq$ 62.5 $\mu$ s		

![](_page_15_Figure_4.jpeg)

RICH PID 读出电子学需求

RICH PID 探测器位置示意图

#### STCF RICH前端读出芯片测试结果

针对需求,设计与流片了第一版模拟前端原型验证芯片,芯片每通道主要由五部 分组成:电荷灵敏放大器、极零相消网络、成形网络、甄别器及阈值配置DAC。

![](_page_16_Figure_2.jpeg)

芯片结构框图

	设计目标	
等效电荷噪声 @20 pF	< 0.5 fC RMS	
死时间	$\leq$ 62.5 $\mu$ s	
功耗	$\leq 10 \text{ mW/ch}$	

芯片指标需求

![](_page_16_Picture_7.jpeg)

32通道芯片版图照片 (6752 μm x 5002 μm)

#### STCF RICH前端读出芯片测试结果

▶ 对芯片进行了相关测试工作,芯片各项功能正常,性能满足设计指标需求。

![](_page_17_Figure_2.jpeg)

不同电荷量下输出波形

增益与非线性

噪声性能

	设计目标	实测性能		
等效电荷噪声 @20 pF	< 0.5 fC RMS	0.19 fC RMS @230 ns 达峰时间		
死时间	$\leq$ 62.5 $\mu$ s	$\leq 20 \ \mu s$		
功耗	$\leq 10 \text{ mW/ch}$	9.56 mW/ch		

第一版模拟前端原型验证芯片实测性能

## 更大动态范围的前端读出芯片测试

为适应将来更高增益下的探测器读出需求,更高动态范围(2 pC与10 pC)的16 通道芯片也已研制并流片完成。

![](_page_18_Figure_2.jpeg)

芯片指标需求

UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

(4687 μm x 3987 μm)

### 更大动态范围的前端读出芯片测试

针对该芯片亦进行了相关测试工作,芯片各项功能正常,性能满足设计指标需求。

![](_page_19_Figure_2.jpeg)

	2 pC 动态范围		10 pC 动态范围	
	设计目标	实测结果	设计目标	实测结果
ENC@ 100 pF	< 1 fC	<b>&lt;0.75 fC @</b> 成形时间≥470 ns	< 5 fC	<b>&lt; 3.00 fC @</b> 成形时间≥480 ns
积分非线性	< 2%	1.33 %	< 2%	1.31 %
死时间	≤ 100 µs	≤ 10 µs	≤ 100 µs	≤ 10 µs
单通道功耗	≤ 15 mW	~ 8 mW/ch	≤ 15 mW	~ 8 mW/ch

芯片实测性能

## 数据汇总与传输ASIC

#### NICA MPD

- ▶ 内径迹探测器(Inner Tracker)
  - 2 barrels (IB,OB)
  - 5 cylinder layers
- ▶ 外桶(Outer Barrel)
  - ALTAI ASIC based
  - ◇ 共42个模组(Staves)

![](_page_20_Figure_8.jpeg)

#### ▶ 基于国产ASIC的读出电子学架构

光纤数据传输系列芯片及模块

- > 前端数据汇总与传输ASIC(NICA\_ROC)与后端光纤数据传输ASIC (NICA\_GBTx)以及 光信号驱动ASIC (NICA\_GBLD/GBTIA)一起构成完整的数据传输链路
  - NICA GBT系列芯片由华师研制
- ◇ 降低系统复杂度并摆脱对FPGA的依赖

#### UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

### 数据汇总与传输ASIC

![](_page_21_Figure_1.jpeg)

## 数据汇总与传输ASIC

- ▶ NICA\_ROC ASIC设计
  - ◇ 接收多片前端MAPS芯片的输出数据(串行400 Mbps) 和状态信息
  - ◇ 预处理、汇总、打包后上行到后端的GBT功能芯片
  - ◇ 接收后端控制、时钟和触发信号并转发给MAPS芯片

![](_page_22_Figure_5.jpeg)

- ▶ 通道数:8 通道
- Areas: 5.7 mm×4.5 mm
- ▶ 引脚数: 247 PIN

UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

数据汇总组帧模块

![](_page_23_Picture_0.jpeg)

▶ 专用集成电路方向研究 ◇ LHAASO WCDA前端读出ASIC ◇ 波形数字化SCAASIC ◇时间-数字变换(TDC)ASIC ◇ HGTD读出ASIC ◇ RICH前端读出ASIC ◇ 数据汇总与传输ASIC

大科学工程上的应用情况
 LHAASO WCDA读出电子学
 CEE TOF读出电子学

### 3.1 LHAASO WCDA读出电子学系统

![](_page_24_Figure_1.jpeg)

- "国家发改委十二五"规划 -- 大型高海拔空气簇射观测站(LHAASO)中的水切 伦科夫探测器阵列(WCDA),负责读出电子学系统设计
- ▶ 4400 m高海拔,WCDA面积共计7.8万m<sup>2</sup>
- ▶ 3120个读出通道, 1 ~ 4000倍动态范围内的高精度时间及电荷测量
- 大尺度空间下多节点的时钟分发及自动补偿、时钟数据及命令的融合传输、新型触 发判选技术

#### 3.1 LHAASO WCDA读出电子学系统

LHAASO WCDA 一、
 二号水池大尺寸光电倍
 增管读出电子学的制作
 、测试和现场安装于
 2019年完成。

![](_page_25_Picture_2.jpeg)

基于 PASC ASIC 的 WCDA三号水池读出电 子学电子学于2020年安 装完成并投入运行。

![](_page_25_Picture_4.jpeg)

![](_page_25_Figure_5.jpeg)

Charge Resolution @ 2000 P.E.

![](_page_25_Figure_7.jpeg)

![](_page_25_Figure_8.jpeg)

Time Resolution @ 2000 P.E.

![](_page_25_Figure_10.jpeg)

#### LHAASO WCDA读出电子学系统

- ▶ 2018年1月,WCDA电子学样机通过评 审。
- ▶ 2020年9月底,WCDA三号水池电子学 安装完成,研制完成的ASIC用于电子学 系统中。
- 2020年10月,十二五国家重大科技基础
  设施建设项目-高海拔宇宙线观测站(
  LHAASO)水契伦科夫探测器阵列三号
  水池注水试运行成功,开始物理运行。
- WCDA有效探测面积和灵敏度分别是目前国际上同类型最大实验的4倍和6倍。
- 2021年10月17日,高海拔宇宙线观测站(LHAASO)于10月17日通过性能工艺验收,这标志着LHAASO已经建成,并正式进入科学运行阶段。

![](_page_26_Picture_6.jpeg)

![](_page_27_Picture_0.jpeg)

专用集成电路方向研究
 LHAASO WCDA前端读出ASIC
 波形数字化SCAASIC
 时间-数字变换(TDC)ASIC
 HGTD读出ASIC
 RICH前端读出ASIC
 数据汇总与传输ASIC

大科学工程上的应用情况
 LHAASO WCDA读出电子学
 CEE TOF读出电子学

### 国家基金委重大科研仪器研制项目CEE

- 在上述工作基础上,进一步参与国家自然科学基金重大科研仪器研制项目 --低温 高密核物质测量谱仪的研制 (CEE)。
- 具体负责飞行时间探测器读出高精度时间测量电子学的研制,首次将FPGA TDC 正式用于大型物理实验中,实现10 ps的电子学时间精度。

![](_page_28_Figure_3.jpeg)

#### CEE TOF读出电子学研制

![](_page_29_Figure_1.jpeg)

![](_page_30_Picture_0.jpeg)