



中国科学技术大学
University of Science and Technology of China

用于LGAD读出的前端模拟ASIC研究

报告人：陈晗

2021-11-26

目录



- 探测器介绍
- ASIC设计
- ASIC测试

目录

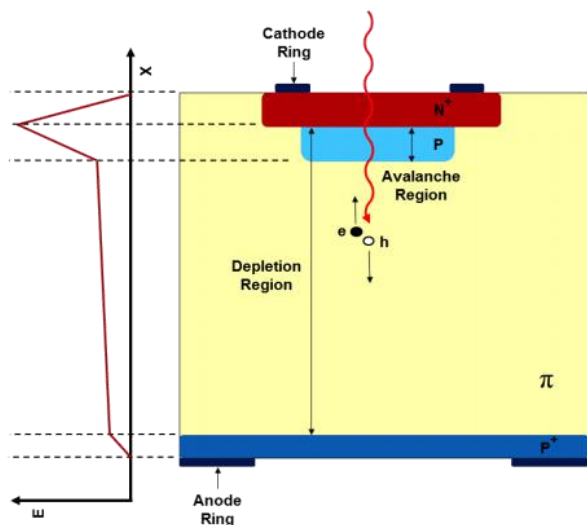


- 探测器介绍
- ASIC设计
- ASIC测试

LGAD介绍



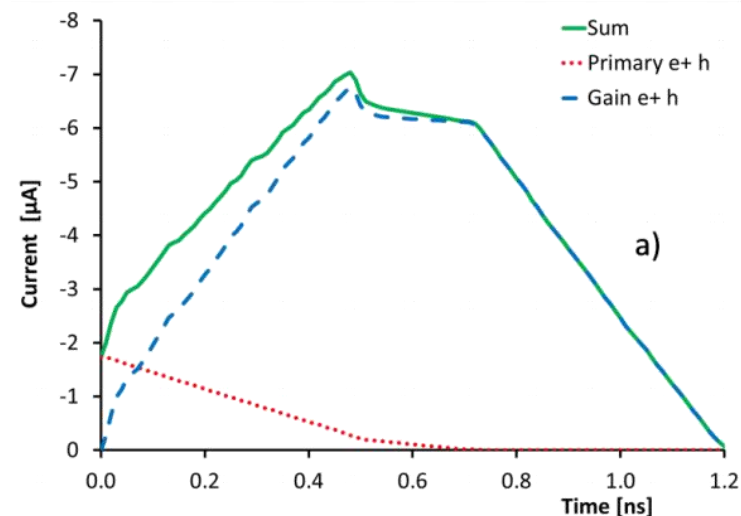
- LGAD: Low-Gain Avalanche Detector, 低增益雪崩探测器, 一种PN结结构的半导体探测器
- 优点: 通道尺寸小($\sim 1.3 \times 1.3 \text{ mm}^2$), 信号速度快, 空间和时间分辨率高, 可以区分空间距离近、时间间隔短的不同事例
 - 应用实例: 作为ATLAS升级中的HGTD(high-granularity timing detector) sensor, 实现高颗粒度的高精度时间测量
- 信号特点: 快速电流脉冲, 单次电荷量在几飞库至几十飞库不等



(a) LGAD截面示意图



(b) LGAD通道阵列照片

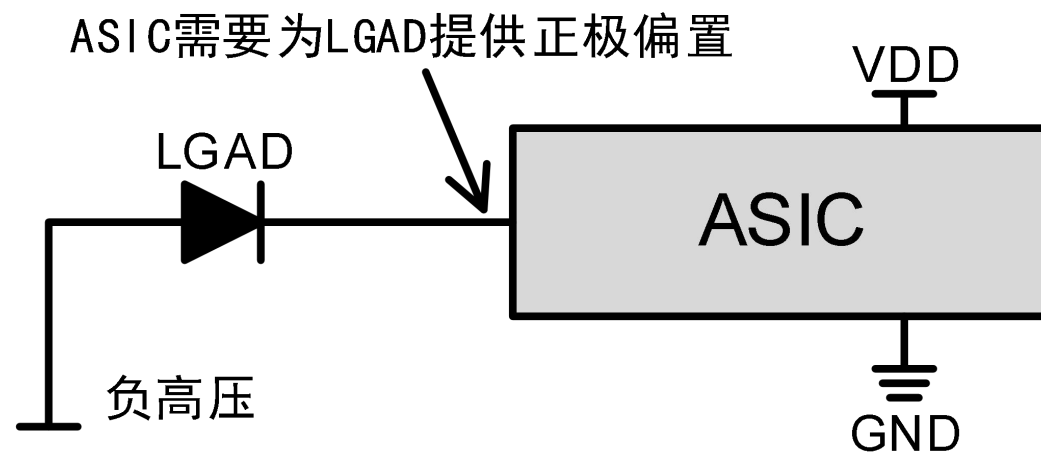
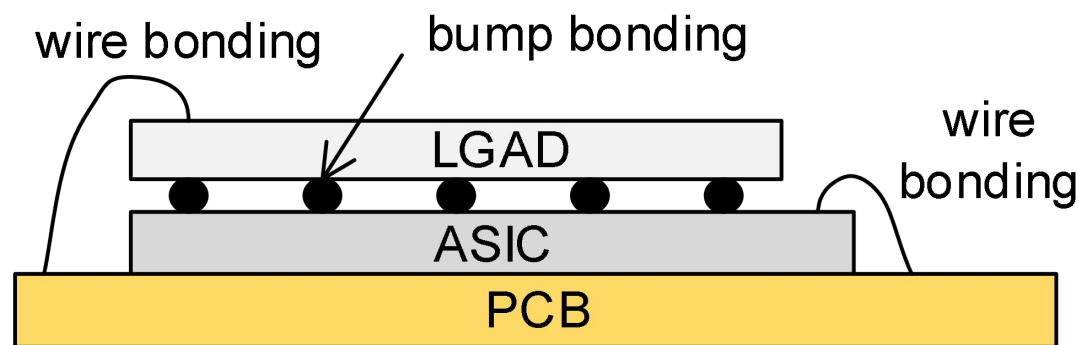


(c) LGAD电流信号波形

LGAD介绍



- 考虑阵列型排布的通道结构，读出采用倒装焊的方式将ASIC与LGAD键合，直接收集LGAD信号
 - (1) ASIC的通道排布方式与应当与LGAD相同
 - (2) ASIC的输入端口应当具有有限的输入阻抗，充当探测器的正端偏置
 - (3) 信号传播距离短，不需要考虑阻抗匹配
- 原型设计阶段，主要考虑(2)、(3)，以及(1)中的面积、功耗限制，暂不设计为阵列结构



- 功能：
 - 为LGAD提供正极偏置；接收LGAD信号，并放大甄别成为具有时间信息的方波；进行时间测量与数字化
- 限制因素：
 - 通道尺寸不大于LGAD重复周期，通道功耗低，以便大规模集成
 - 模拟前端电路功耗 $< 2 \text{ mA}$
- 其他考虑：
 - 作为第一版原型ASIC设计，主要验证其前端模拟电路的功能，未集成TDC，未进行阵列状排布

目录

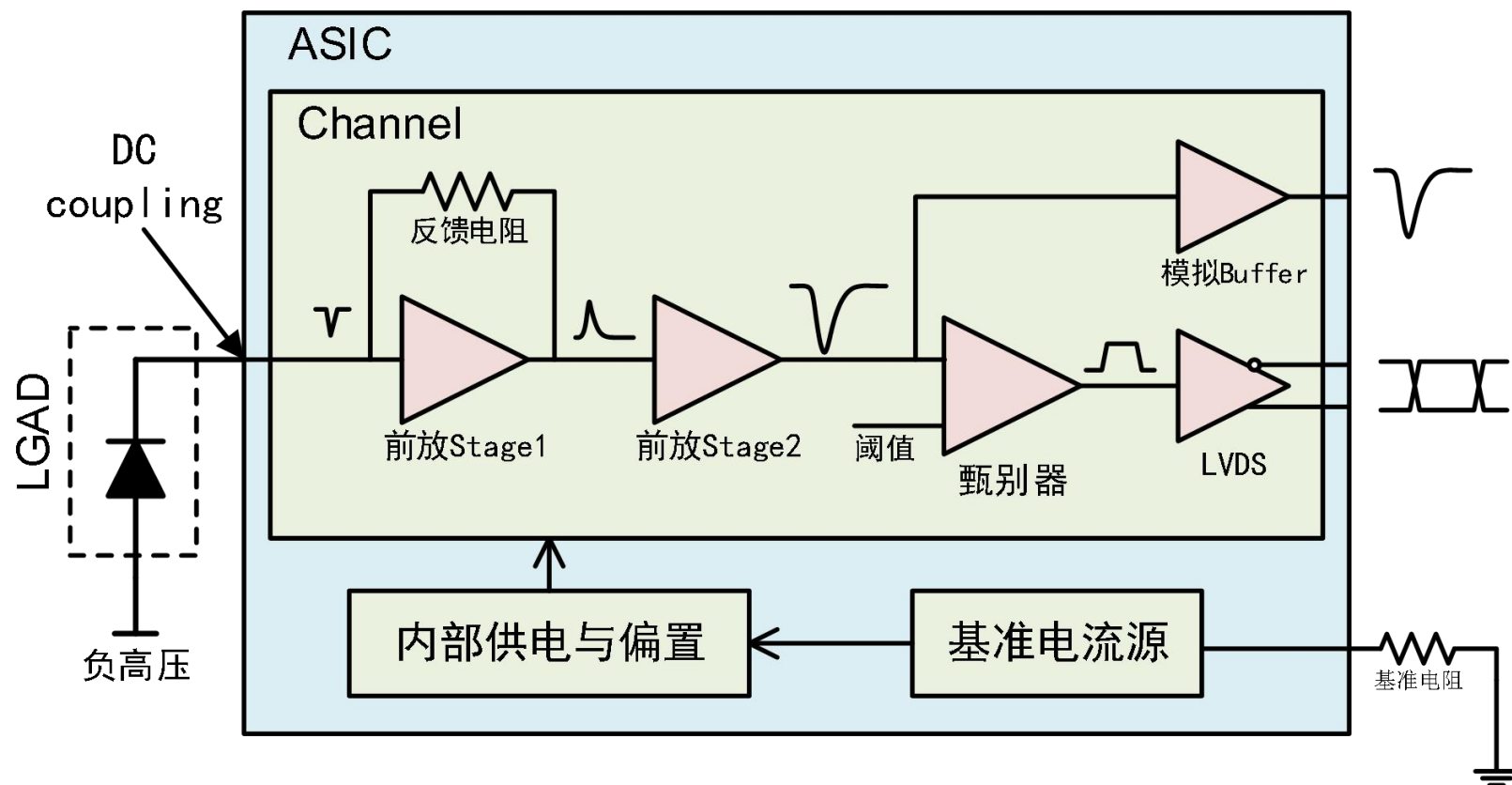


- 探测器介绍
- ASIC设计
- ASIC测试

ASIC整体结构



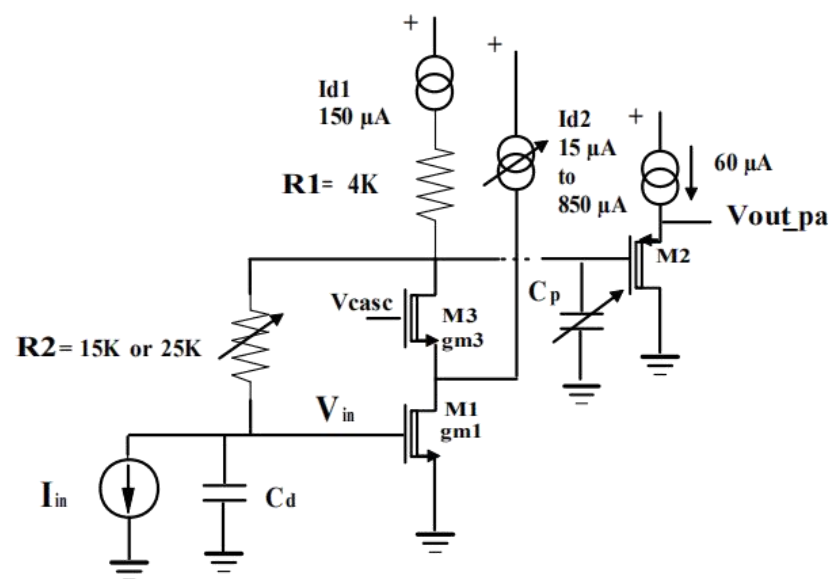
- 180nm CMOS工艺
- 两级放大器
 - 第一级带有反馈电阻实现有限的输入阻抗，为LGAD提供正极偏置
- 甄别器
- 输出驱动器
 - LVDS输出甄别器波形
 - 模拟buffer输出放大器波形
- 基准电流源与偏置、内部供电电路



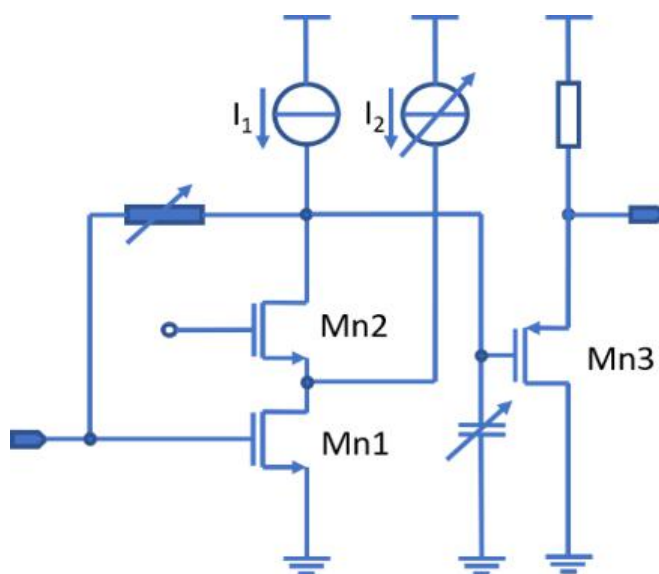
放大器设计



- 国外类似芯片的放大器结构



ALTIROC中的放大器
(用于ATLAS, 130 nm CMOS)



ETROC中的放大器
(用于CMS, 65nm CMOS)

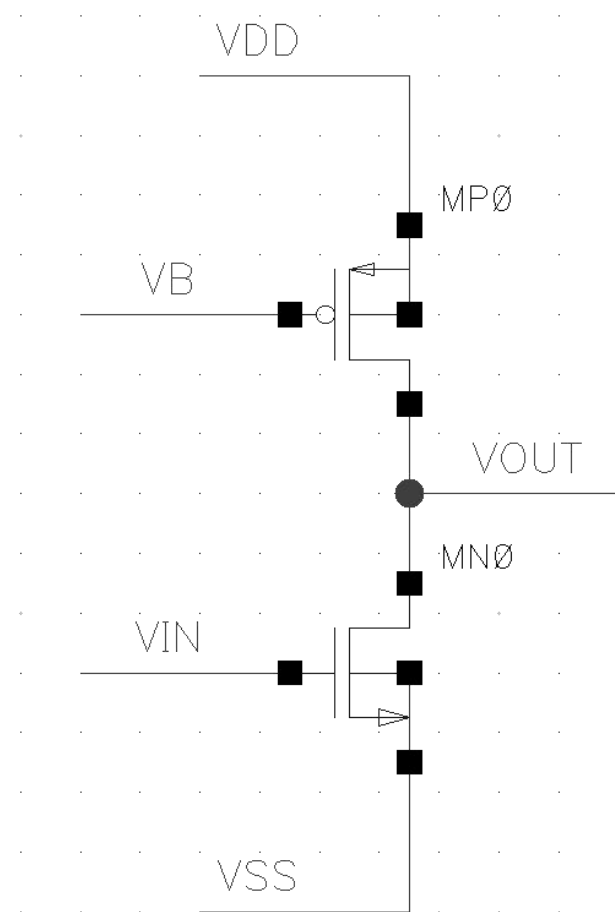
- 二者结构相同

- 均为带有可调电流源偏置的折叠共源共栅极放大器 + PMOS源极跟随器输出级

放大器噪声分析



- 电流源负载的共源极放大器：
- 输入管噪声电流： $I_{nn}^2 = 4KT\gamma g_{mn}$ [1]
- 负载管噪声电流： $I_{np}^2 = 4KT\gamma g_{mp}$
- 信号电流： $I_s^2 = (g_{mn} V_{in})^2$ [2]
- 信噪比：
$$\frac{(g_{mn} V_{in})^2}{4KT\gamma (g_{mn} + g_{mp}) BW}$$
- 结论：要增加输入管的 g_m ，降低负载电流源的 g_m
- [1]、此处是噪声电流的谱密度
- [2]、这是总信号电流



放大器噪声分析

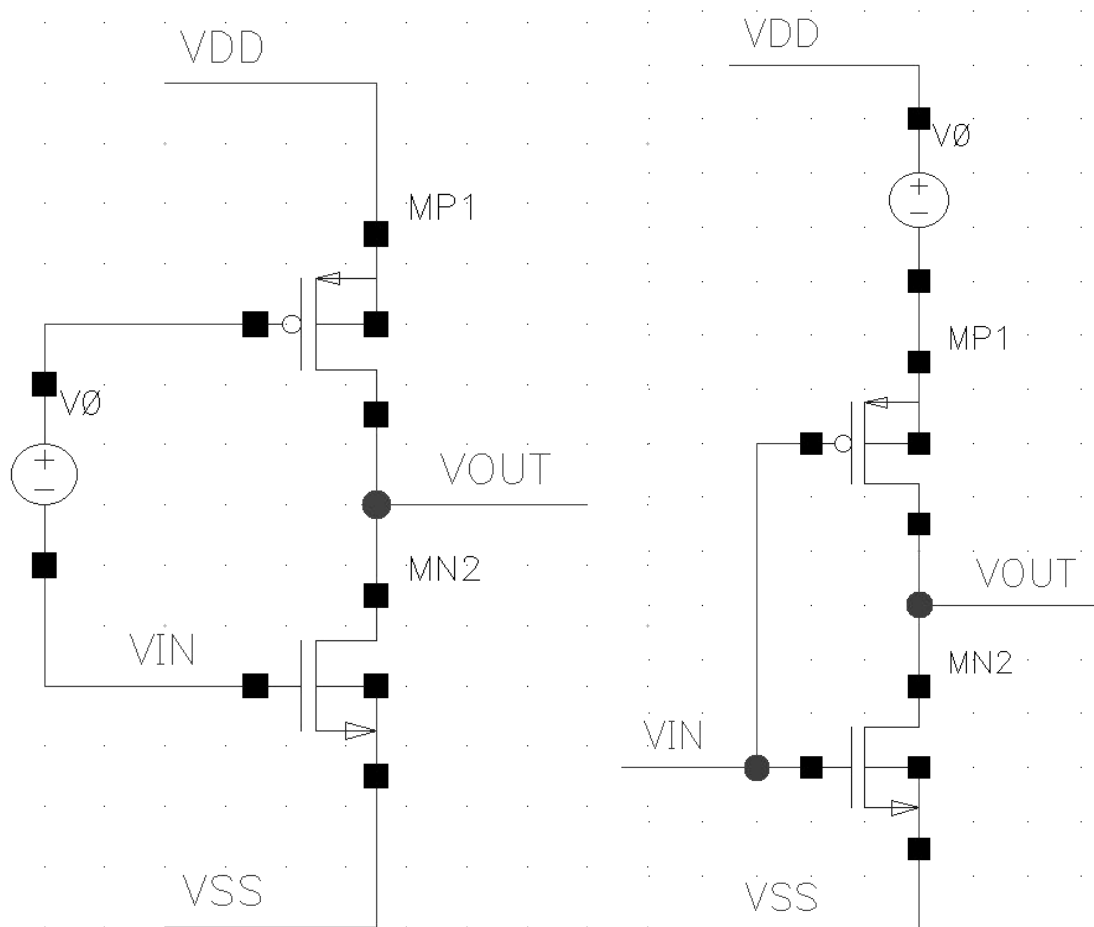
- 使用双管输入结构可以解决负载管的有害 g_m ，此时P管和N管都具有电流增益，信号的电流变为：

$$I_s^2 = [(g_{mn} + g_{mp}) V_{in}]^2$$

- 因此信噪比为：

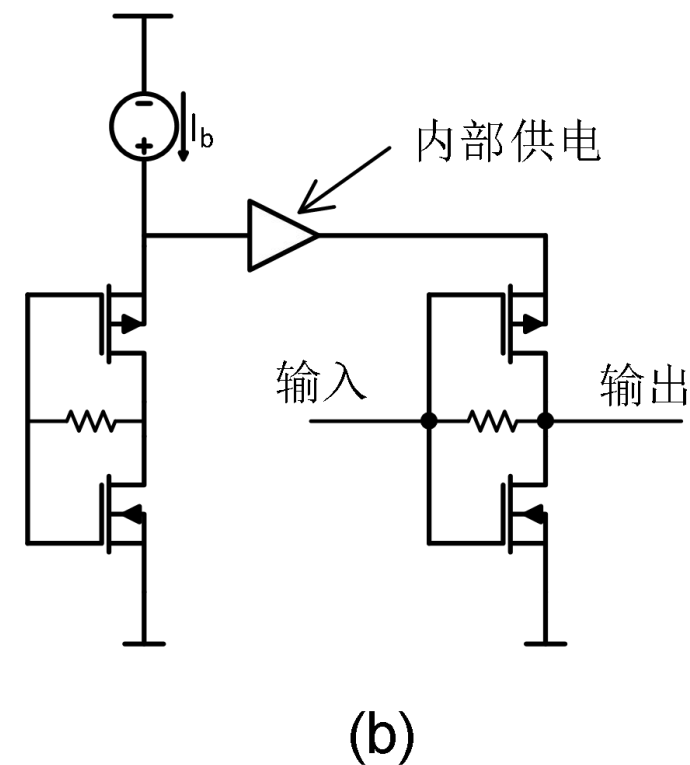
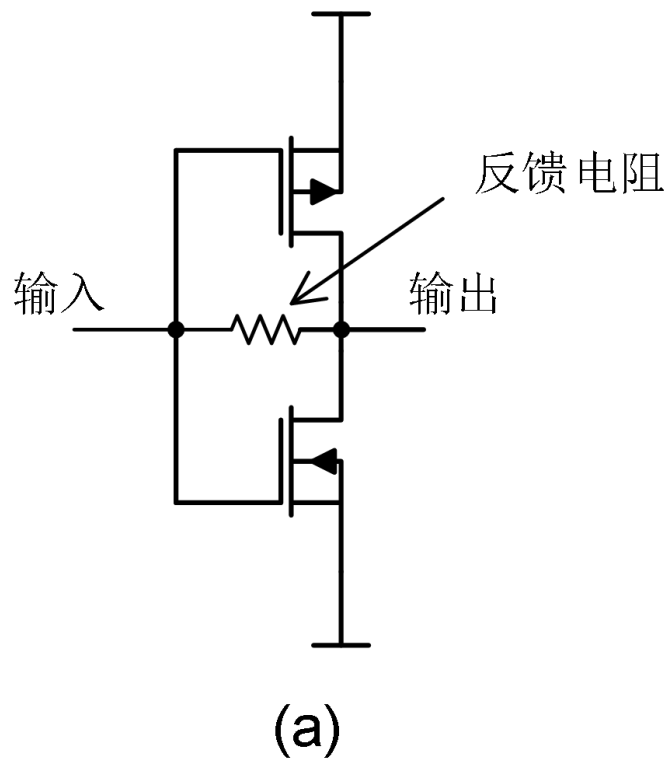
$$\frac{(g_{mn} + g_{mp}) V_{in}^2}{4KT\gamma BW}$$

- 此时P管和N管的 g_m 都是有有利于信噪比的



放大器结构

- 放大器采用CMOS输入级以获得较好的信噪比
- (a)中的结构无法控制和调节偏置电流
- (b)中引入内部供电，使其工作点易于确定且可调
- 使用二级放大(第二级未画出)，增益更高，更容易甄别

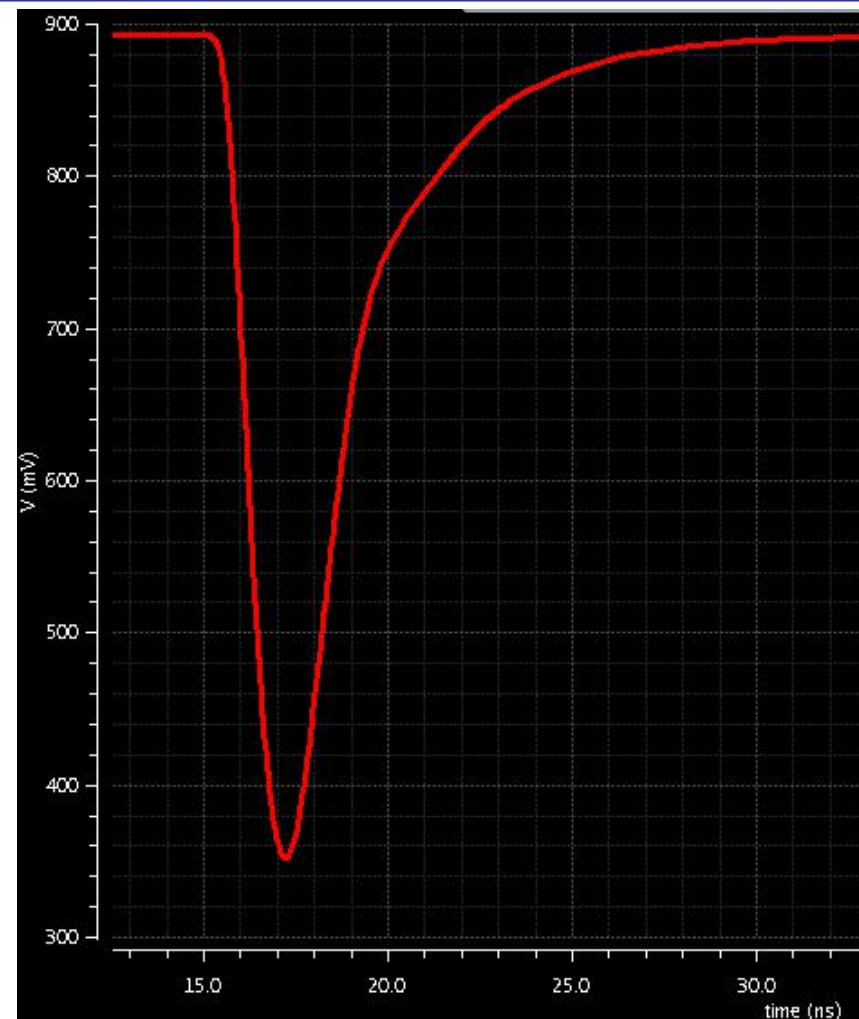


放大器波形仿真

- 主要参数:

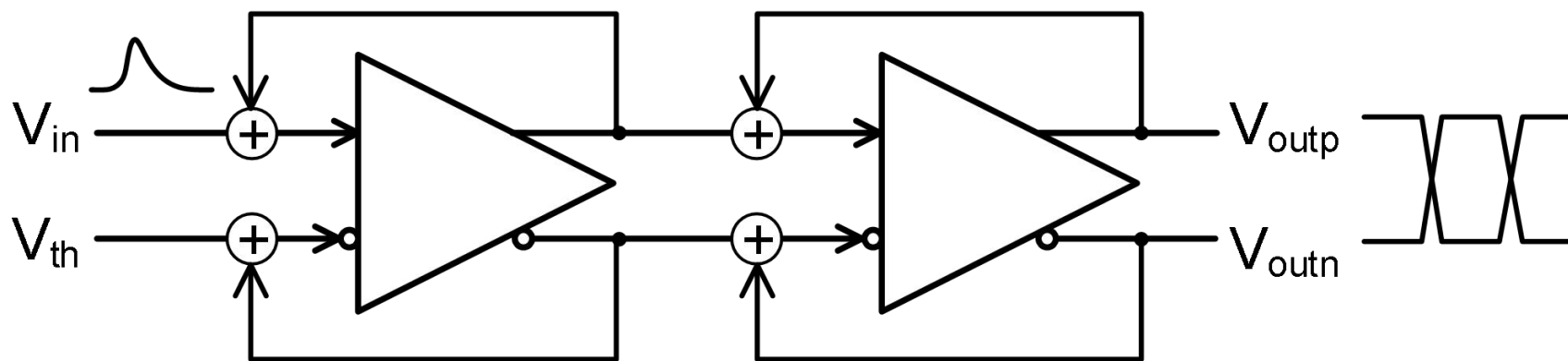
- 输入信号: 10 fC
- 放大器电流: ~760 uA
- 前沿时间(10%~90%): ~1.3 ns
- 底宽(1%~1%): ~13 ns
- 仿真时间jitter: ~13 ps
- 理论时间jitter: ~12 ps

$$\frac{tr \sqrt{4KT[\gamma(g_{mn} + g_{mp}) + 1/R_f]BW}}{V_{in}(g_{mn} + g_{mp})}$$



HGTD甄别器电路设计

- 采用两级全差分结构，具有较好的抗噪声性能
- 通过正反馈引入迟滞，加快翻转速度，减少假事件

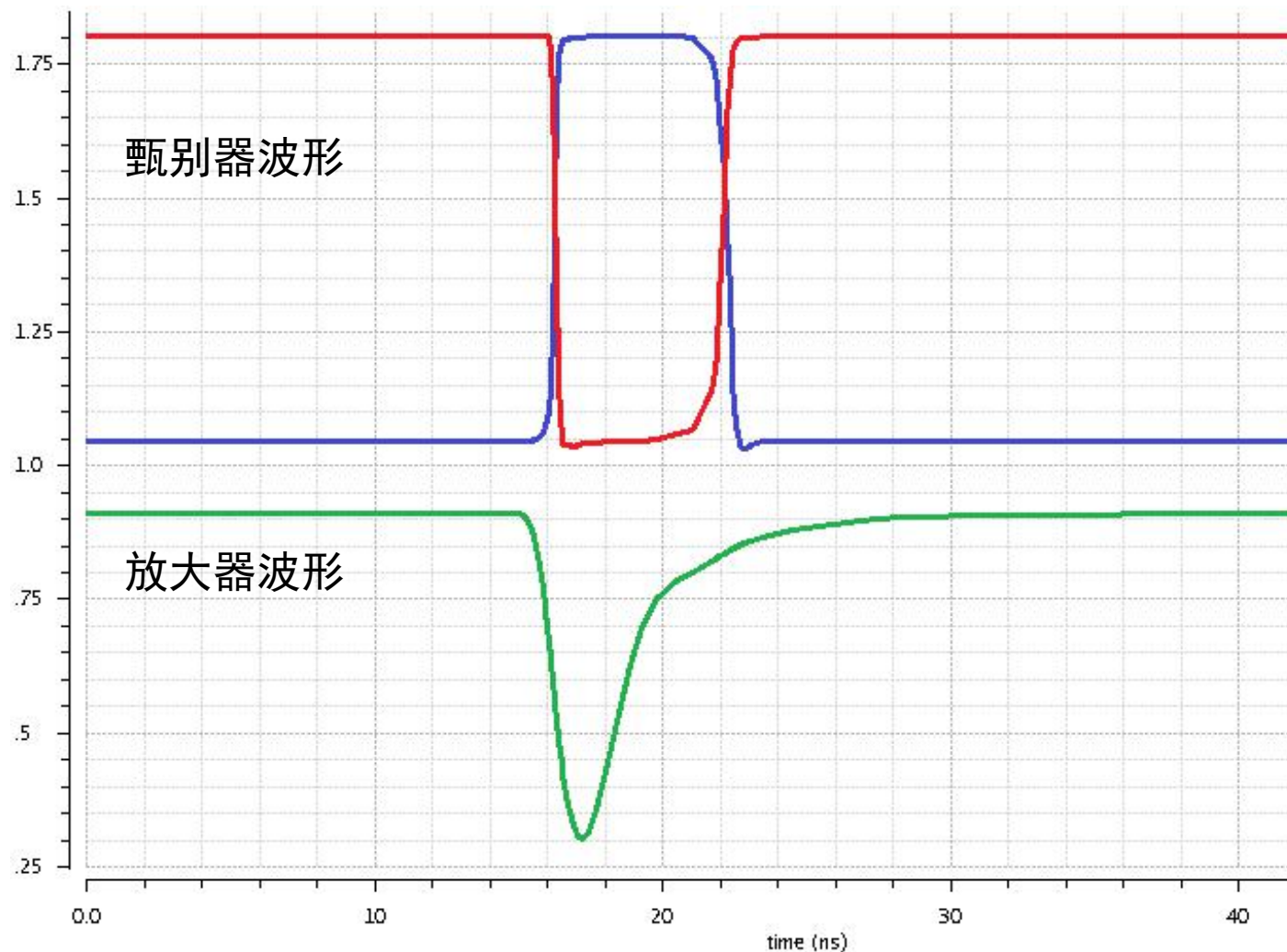


前放与甄别器联合仿真



- 主要参数:

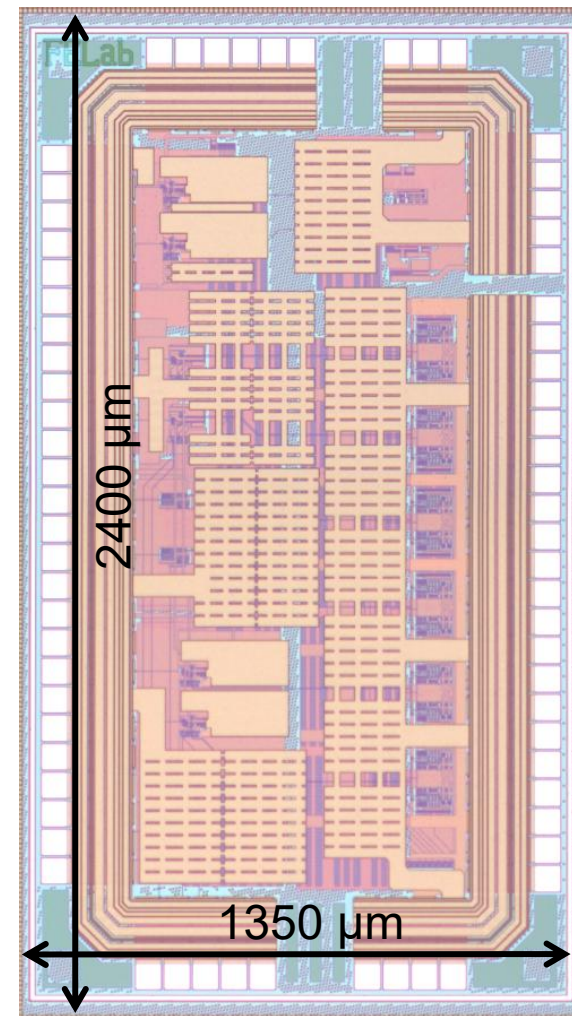
- 输入电荷: 10 fC
- 甄别器前沿时间
($\pm 350\text{mV}$): $\sim 100\text{ ps}$
(10%~90%): $\sim 225\text{ ps}$
- 仿真时间jitter: $< 15\text{ ps}$



ASIC设计总结



- 全芯片尺寸：
 - 约 $1350 \times 2400 \mu\text{m}^2$, 8通道
- 单通道核心电路（包含前放、甄别器、供电电路和偏置电路，不含输出驱动器）尺寸：
 - 约 $70 \times 50 \mu\text{m}^2$
- 单通道核心电路（同上）功耗：
 - 0.8 mA ~ 1.6 mA 可调, 1.8V供电



目录

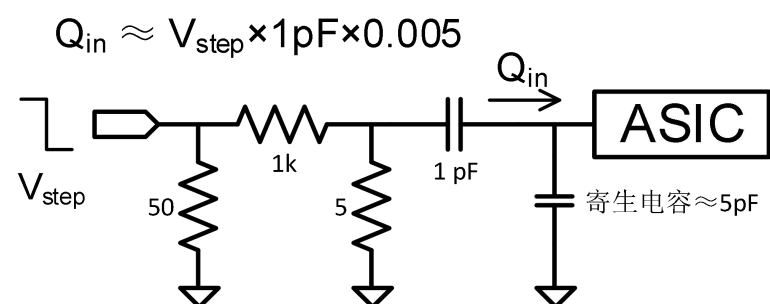


- 探测器介绍
- ASIC设计
- ASIC测试

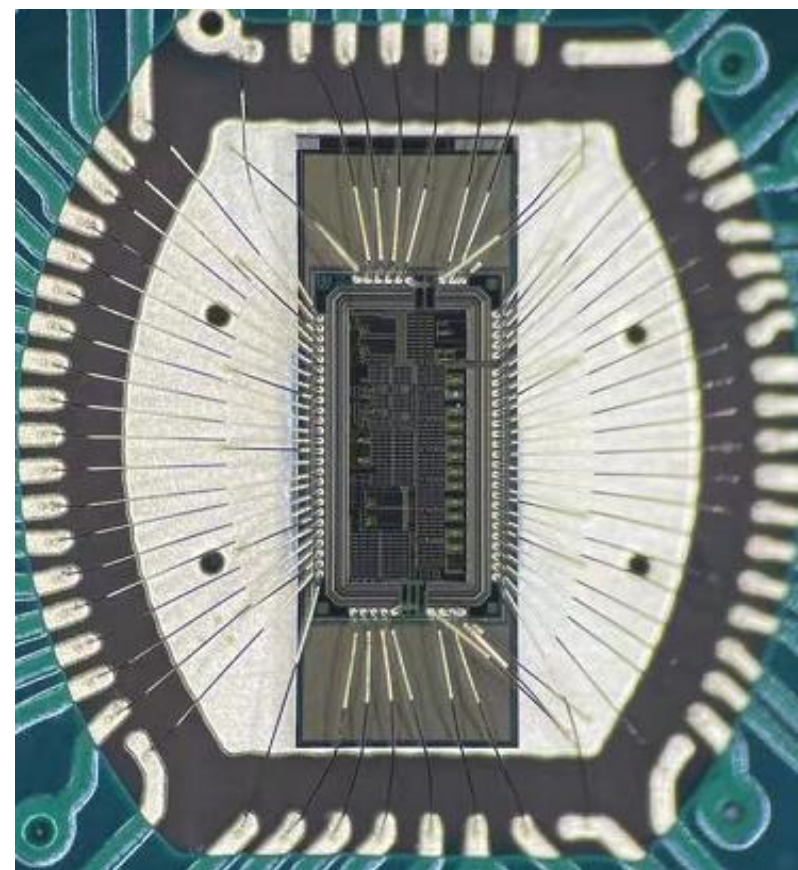
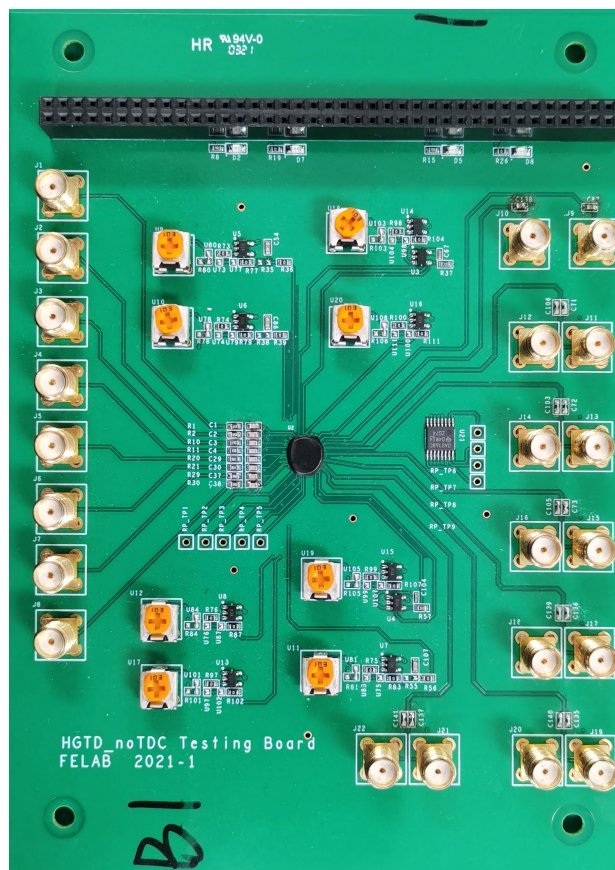
信号源测试



- ASIC测试PCB与引线键合照片如右图
- 测试电路原理如下图



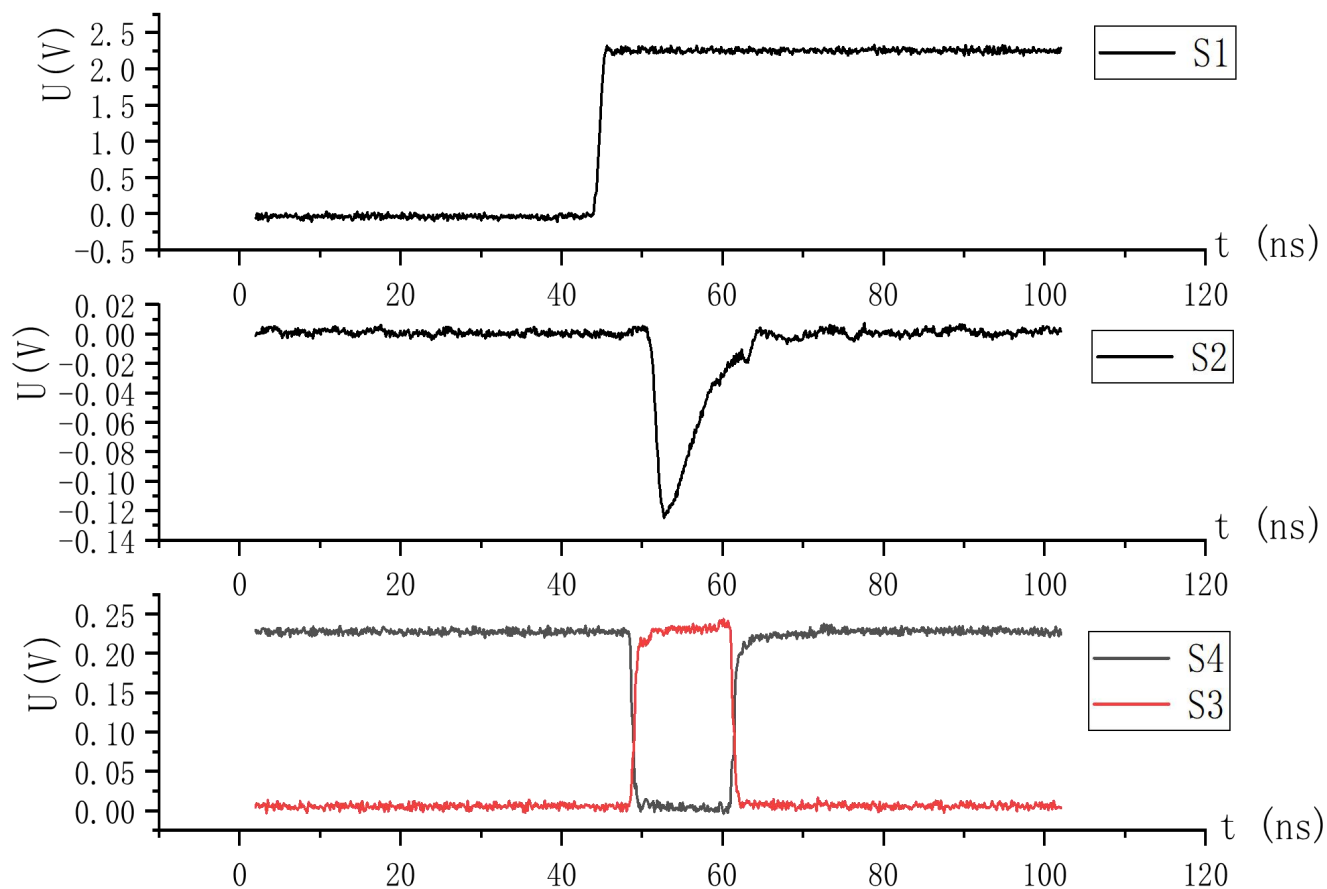
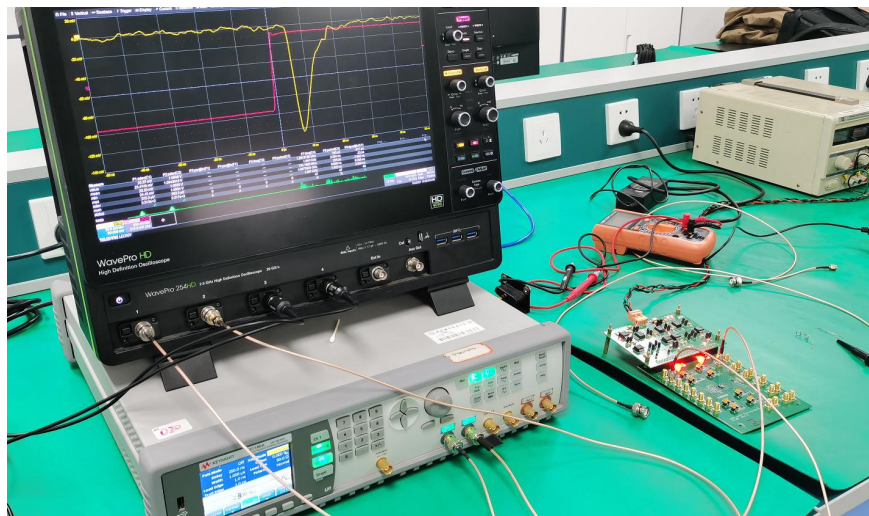
- 芯片Pad的ESD电路与PCB引入了过多寄生电容，实测增益低于仿真结果



信号源测试结果

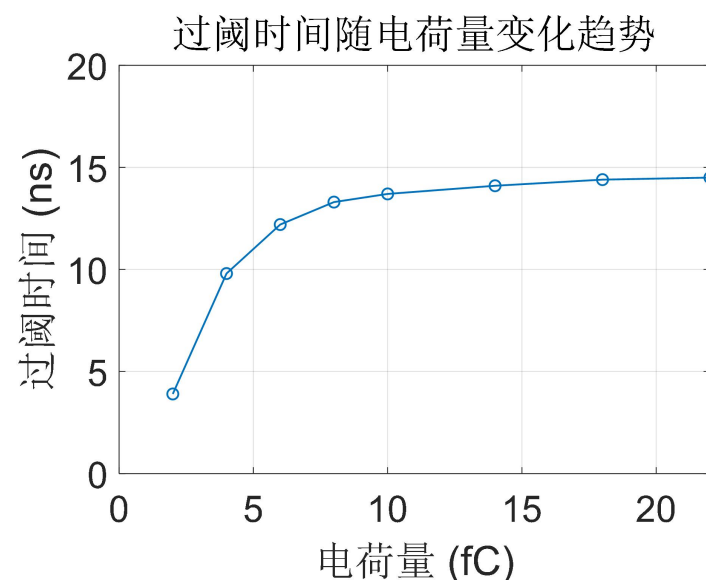
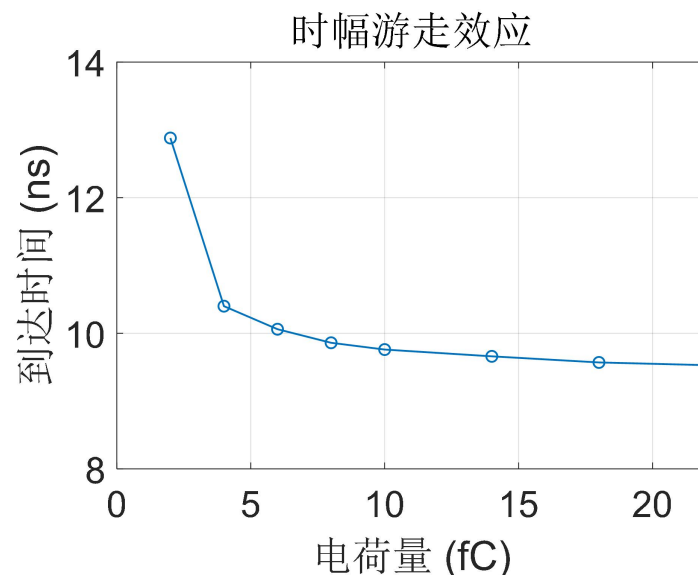
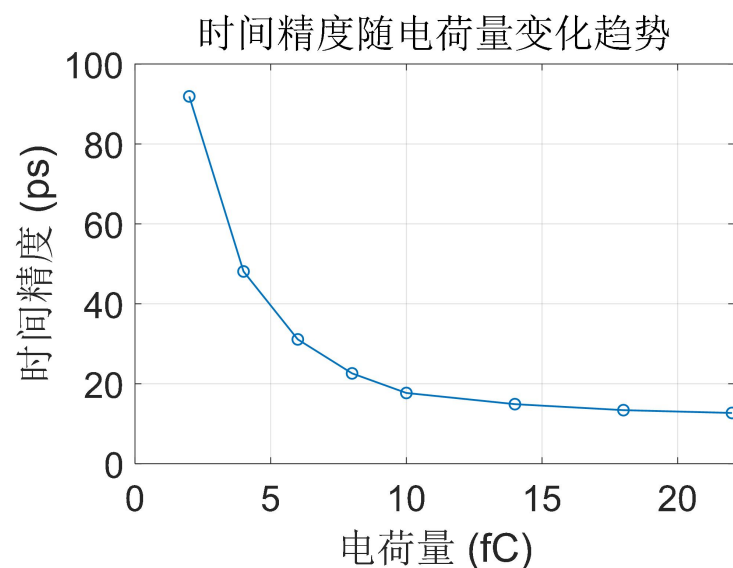


- S1: 信号源同步信号
- S2: 模拟buffer输出波形
- S3&S4: 甄别器LVDS波形



- 时间性能测试：

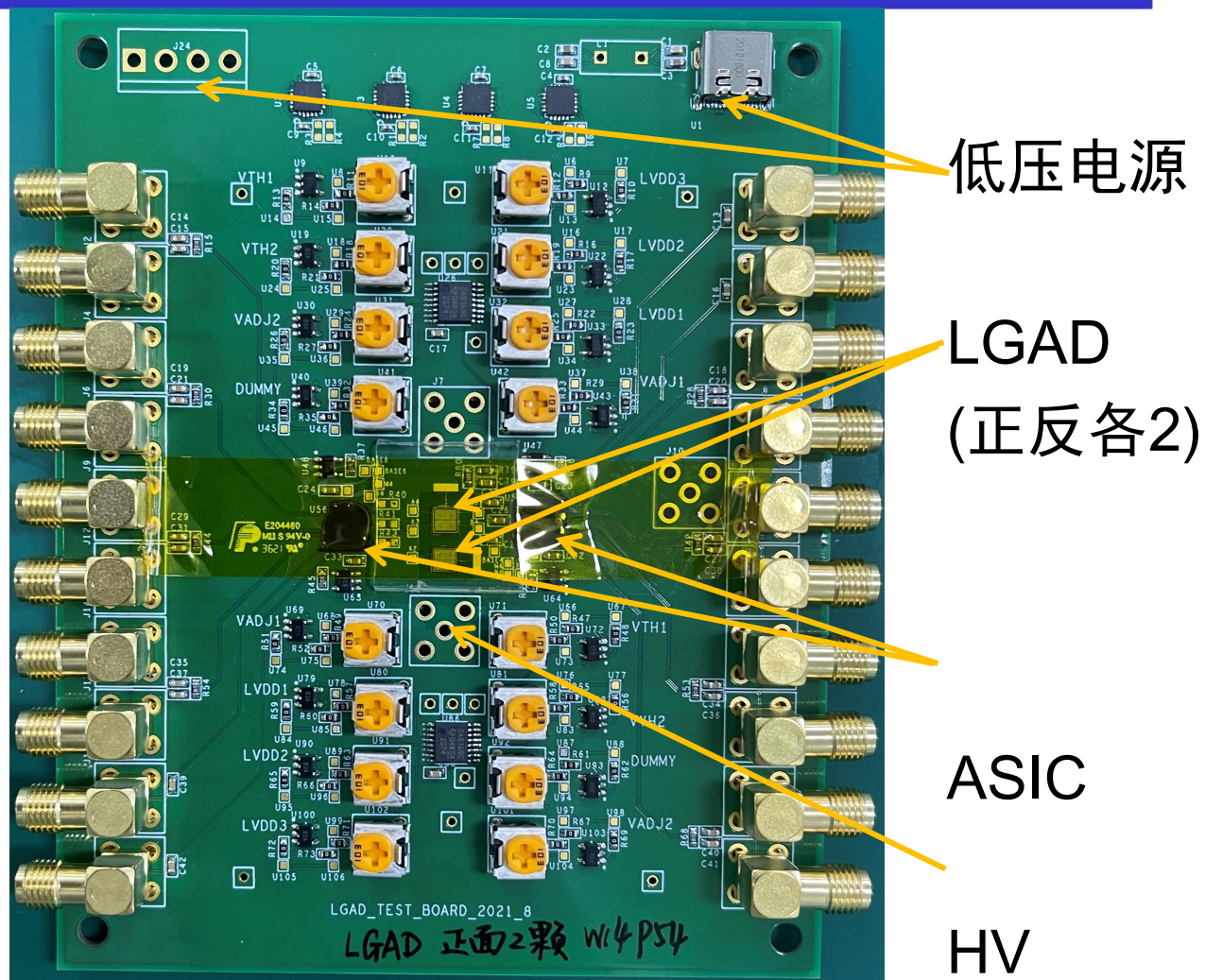
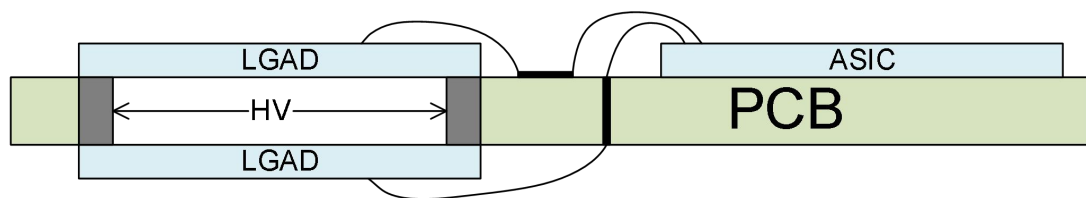
- 由于寄生电容超过预期，对增益和时间性能有一定影响，在10 fC输入电荷下时间精度~18 ps
- 时间精度、到达时间、过阈时间随电荷量变化的趋势符合预期
- 最小可甄别电荷达~2fC



LGAD+ASIC测试



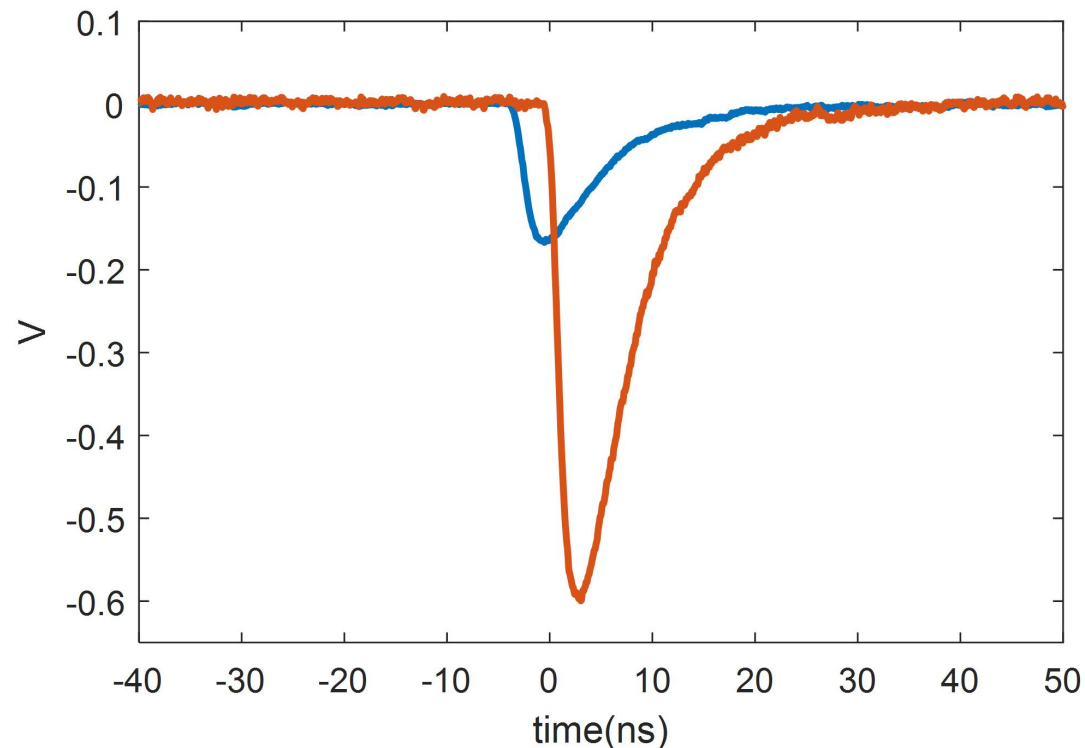
- 两片LGAD贴在PCB的两侧，通过引线键合连接至ASIC，使用高能粒子击穿两片LGAD时可以看到一对相关信号



LGAD+ASIC测试



- 已取得部分初步测试结果，该ASIC可正常为LGAD提供偏置
- 前沿时间(10%~90%) ~1.5ns
- 基线噪声：1.5mV / 2.8mV
- 典型幅度：150mV / 350mV
- noise/slope < 15ps
- 存在问题：
 - 相比电子学单独测试，通道不一致性较大
 - 整体时间精度远低于noise/slope
- 将与探测器团队讨论并定位问题，改进测试方法



- 芯片功能符合设计预期，放大器、甄别器工作正常，且能够为LGAD提供正极偏置
- 到达时间、过阈时间以及时间精度随电荷量变化趋势符合预期
- 存在寄生电容过大的问题，影响增益与时间精度，在10 fC信号下的时间精度约为18 ps
 - 原理验证阶段，可以考虑使用定制化Pad或使用片内微分电路产生测试信号
- 在与探测器的初步联合测试中，存在增益不一致的问题，有待确定原因