



基于65nm工艺的时间投影室低功耗 模数混合读出芯片研制进展

刘伟,刘灿文,邓智,李福乐,李玉兰,祁汇荣

2021/11/26



目录



一. 背景介绍

- 二. 低功耗模数混合读出芯片研制进展
- 三. 总结与下一步

目录



一. 背景介绍

- 二. 低功耗模数混合读出芯片研制进展
- 三. 总结与下一步

CEPC TPC





Momentum resolution (B=3.5T)	$\delta(^{1}/p_{t} \approx 10^{-4}/GeV/c)$
δ_{point} in $r\Phi$	<100 µm
δ_{point} in rz	0.4-1.4 mm
Inner radius	329 mm
Outer radius	1800 mm
Drift length	2350 mm
Pad pitch/no. padrows	$\approx 1 \text{ mm} \times (4 \sim 10 \text{mm}) / \approx 200$
2-hit resolution	$\approx 2 \text{ mm}$
Efficiency	>97% for TPC only ($p_t > 1 GeV$) >99% all tracking ($p_t > 1 GeV$)

• 高动量分辨率→高空间分辨率→小读出pads(~1 mm x 6mm)→两百万路电子学读出通道

- ILC工作在bunch train模式, bunch间隔200 ms, 但是CEPC对撞频率高(~100 kHz),
 TPC需要连续工作(电子漂移时间~30 us)→连续读出低功耗电子学
- 高亮度(~2 x 10³⁴ cm⁻²s⁻¹)→高事例率(1 kHz → 10 kHz)→高计数率→波形采样
 ADC

 背景介绍 4

国内外高能物理实验TPC读出芯片发展现状



AGET (T2K)



Super_ALTRO (ILC)



PASA+ALTRO (ALICE)



SAMPA (ALICE Upgrade)



背景介绍

国内外高能物理实验TPC读出芯片性能总结



	AGET	PASA+ALTRO	Super-ALTRO	SAMPA
TPC	T2K	ALICE	ILC	ALICE upgrade
Pad尺寸	$6.9 \text{x} 9.7 \text{ mm}^2$	$4x7.5 \text{ mm}^2$	1x6 mm ²	$4x7.5 \text{ mm}^2$
通道数	1.25 x 10 ⁵	5.7x 10 ⁵	1-2 x 10 ⁶	5.7 x 10 ⁵
读出结构	MicroMegas	MWPC	GEM/MicroMegas	GEM
增益	0.2-17 mV/fC	12 mV/fC	12-27 mV/fC	20/30 mV/fC
成型方式	$CR-(RC)^2$	$CR-(RC)^4$	$CR-(RC)^4$	$CR-(RC)^4$
达峰时间	50 ns-1us	200 ns	30-120 ns	80/160 ns
ENC	850 e @ 200ns	385 e	520 e	482 e @ 180ns
波形采样方式	SCA	ADC	ADC	ADC
采样率	1-100 MSPS	10 MSPS	40 MSPS	10 MSPS
	12 bit(external)	10 bit	10 bit	10 bit
功耗	<10 mW/ch	32 mW/ch	47.3 mW/ch	17 mW/ch
CMOS工艺	350 nm	250 nm	130 nm	130 nm

- 当前没有一款TPC读出芯片可以同时满足CEPC TPC读出需求
 - 高计数率
 - 低功耗



	PASA+ALTRO	Super-ALTRO	SAMPA
成型方式	$CR-(RC)^4$	$CR-(RC)^4$	$CR-(RC)^4$
达峰时间	200 ns	30-120 ns	80/160 ns
波形采样方式	Pipeline ADC	Pipeline ADC	SAR ADC
采样率	10 MSPS	40 MSPS	10 MSPS
精度	10 bit	10 bit	10 bit
模拟前端功耗	11.67 mW/ch	16.25 mW/ch	9 mW/ch
ADC功耗	12.5 mW/ch	30.0 mW/ch	1.5 mW/ch
数字部分功耗	7.5 mW/ch	3.6 mW/ch	6.5mW/ch
CMOS工艺	350 nm	130 nm	130 nm

- 当前的高计数率波形采样读出芯片功耗主要来源
 - Pipeline ADC
 - 高阶模拟成型电路
- 低功耗设计策略:
 - 使用更先进的 65 nm CMOS工艺
 - CR-(RC)ⁿ→CR-RC, 数字域实现高阶成型
 - ADC 结构: Pipeline (流水线) → SAR (逐次逼近)

目录



一. 背景介绍

- 二. 低功耗模数混合读出芯片研制进展
- 三. 总结与下一步





原型验证芯片

- 5通道模拟前端
- 单通道SAR ADC
- 单通道模拟前端+SARADC

WASA_V0

• 16通道模拟前端+SARADC

WASA_V1

• 16通道模拟前端+SARADC+数字

WASA_V1芯片设计





WASA_V1芯片设计





数字部分

- 基线恢复模块: 第一级基线恢复去除低频的干扰(~kHz), 第二级去除高频的干扰
- 梯形滤波器:梯形成型,波形对称,提高信噪比
- 触发控制:自触发,外触发,自触发加窗
- Ring Buffer: 深度1k, 最大latency:10.24us@100MS/s
- Event buffer: 深度为4

功耗仿真



• 数字部分功耗仿真@1.2 V, tt, 25 C, 开关活动性: 10% (非常保守)

采样率MS/s	10	20	30	40	50	60	70	80	90	100
数字部分功 耗 mW/ch	2.03	2.69	3.34	4.0	4.62	5.28	5.90	6.55	7.20	7.85
ADC功耗 mW/ch	0.69	0.81	0.94	1.06	1.19	1.31	1.44			

• 单通道总仿真功耗: 1.4+0.56+1.4+0.078*采样率=3.36+0.078*采样率

数字部分功耗分布



• 数字部分单通道仿真功耗分布@1.2 V, tt, 25 C



瞬态输出波形



• 数字部分各个节点瞬态输出波形



线性性能



• 梯形瞬态输出



• 梯形线性



版图设计





芯片版图:

- 版图面积: 3783 µm x 2243 µm
- 模拟前端, SAR ADC, 数字模块, LVDS模块独立供电
- 模拟前端部分, SAR ADC, 数字模块, LVDS模块隔离

总结与下一步



□总结

- 基于65纳米工艺设计了一款TPC低功耗模数混合读出芯片
 WASA_V1,集成了模拟前端,SAR ADC以及数字模块(基线恢复,梯形滤波器,数据打包,触发判选等)
 - 仿真功耗: 1.4+0.56+1.4+0.078*采样率=3.36+0.078*采样率

	PASA+ALTRO	Super-ALTRO	SAMPA	WASA_V0	WASA_V1
成型方式	$CR-(RC)^4$	$CR-(RC)^4$	$CR-(RC)^4$	CR-RC	CR-RC
达峰时间	200 ns	30-120 ns	80/160 ns	160 ns	160-400 ns
波形采样方式	Pipeline ADC	Pipeline ADC	SAR ADC	SAR ADC	SAR ADC
采样率	10 MSPS	40 MSPS	10 MSPS	100 MSPS	100MSPS
精度	10 bit	10 bit	10 bit	10 bit	10 bit
模拟前端功耗	11.67 mW/ch	16.25 mW/ch	9 mW/ch	1.4 mW/ch	1.4 mW/ch
ADC功耗	12.5 mW/ch	30.0 mW/ch	1.5 mW/ch	1.06 mW/ch @40 MS/s	1.06 mW/ch @40 MS/s
数字部分功耗	7.5 mW/ch	3.6 mW/ch	6.5mW/ch		4.0 mW/ch @40MS/s(保 守 估 算)
CMOS工艺	350 nm	130 nm	130 nm	65 nm	65 nm

总结与下一步



□下一步:

- 将数字部分移植到FPGA上配合WASA_V0进行验证
- WASA_V1流片, 电子学测试



欢迎各位老师同学批评指正!

THANK YOU!

低功耗模拟前端





5通道模拟前端关键指标测试结果:

- 单通道功耗: 2.02mW
- 增益: 10.06mV/fC
- ENC: 589e @10pF

低功耗SAR ADC





90µm



- SAR ADC IP核尺寸小,~90 um x 97 um
- 采样率: 100 MS/s
- 精度: 10 bit
- 最大 INL/DNL=0.6 LSB
- ENOB=9.15 bit @ 50 MS/s, 2.4 MHz 正弦波输入
- 功耗低: 1 mW/ch



WASA_V0





WASA_V0关键指标测试结果:

- 功耗: 1.43+1.06=2.49 mW/ch@40 MS/s
- 线性: 10.3 mV/fC @10 mV/fC
- ENC: 19.8 e/pF+941 e



