

基于 65nm 工艺的时间投影室低功耗模数混合读出芯片研制进展

Friday, 26 November 2021 16:10 (18 minutes)

Summary

摘要：本文介绍了一种用于 CEPC TPC 的低功耗模数混合读出芯片。为了能够达到高动量分辨率和空间分辨率，时间投影室每个端盖具有百万个读出 pad。百万个读出 pad 需要百万通道的高密度低功耗读出电子学。国际上已有的芯片无法满足 CEPC TPC 高计数率以及低功耗的读出需求。因此我们通过采用更先进的 65 纳米工艺，将模拟的高阶 CRRC 成型转成一阶 CRRC 成型并在数字域实现梯形滤波来达到更好的能效。整个芯片的版图已经设计完成，准备流片。芯片由 16 个通道组成，单个通道包括了模拟前端（前放 +CRRC 成型 + 基线保持电路），SARADC 以及数字模块。其中数字模块由两级基线恢复器，梯形滤波器，环形缓存（ring buffer），触发判选，数据打包以及多事件缓存模块（event buffer）组成。仿真结果如下：模拟前端的单通道功耗 1.4 mW, ADC 的单通道功耗 1 mW, 数字滤波的单通道功耗：4.1 mW，增益：10 mV/fC，动态范围：120 fC。更多的设计细节将在会上介绍。

Primary author: 刘, 伟 (清华大学)

Presenter: 刘, 伟 (清华大学)