

基于延迟锁相环结构的 TDC 原型 ASIC 设计

Saturday, 27 November 2021 10:28 (18 minutes)

Summary

本实验室在 180nm CMOS 工艺下研发了一款基于延迟锁相环结构的 16 通道 TDC，测试结果显示在 156ps bin size 基础上的时间精度好于 60ps，动态范围为 20us，DNL 和 INL 分别好于 0.13LSB 和 0.15LSB。

Our lab developed a 16-channel TDC based on delay-locked loop structure under 180nm CMOS process. The test results show that the time precision is better than 60ps with 156ps bin size, the dynamic range is 20us, DNL and INL are better than 0.13LSB and 0.15LSB respectively.

Primary author: 郭, 东磊 (中国科学技术大学)

Co-authors: 秦, 家军 (USTC); 蓝, 松富 (University of Science and Technology of China); Dr 赵, 雷 (中国科学技术大学)

Presenter: 郭, 东磊 (中国科学技术大学)