



CEE径迹探测器前端读出电子学研制

干 奕

中科院近物所 核电子学研究室

高能物理分会第十一届全国会员代表大会暨学术年会——粒子物理实验技术分会报告

2022年 8月10日



报告内容

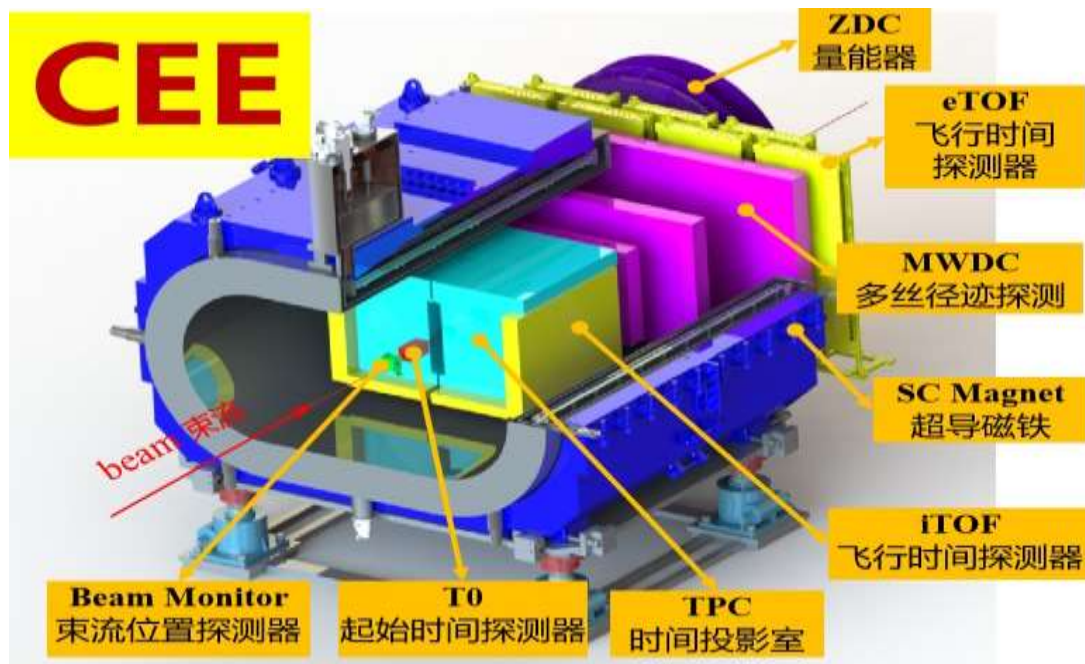
- 一、项目背景
- 二、CEE-TPC读出电子学研制
- 三、CEE-MWDC前端读出芯片研制
- 四、总结



一、项目背景

国家重大科研仪器研制项目：低温高密核物质测量谱仪（CEE）

（2020.01 - 2024.12）



高接收度大型时间投影室（TPC）和大面积多丝漂移室（MWDC）是CEE中的通道数最多的探测器，实现径迹测量和带电粒子鉴别

TPC 置于二级磁铁中央

建成新谱仪，开展我国高能重离子核反应实验研究



TPC和MWDC前端读出电子学需求分析

根据任务书中的系统指标，对两种探测器的读出电子学提出设计指标如下：

CEE-TPC电子学设计指标要求

指标参数	指标要求
通道数	15000
MIP	1.4fc
信噪比（MIP）	8: 1
成形时间	160ns
噪声（ENC/ Cd=0pF）	小于1000e
动态范围	1.2fC~110fC
事例率	大于10K event/s

CEE-MWDC电子学设计指标要求

指标参数	指标要求
通道数	3000
成形时间	80ns
前端噪声（Cd=0pF）	<1fC
系统噪声	<5fC
动态范围	10fC~900fC（90倍）
触发缓存深度	5us
最大事例率	10K event/s

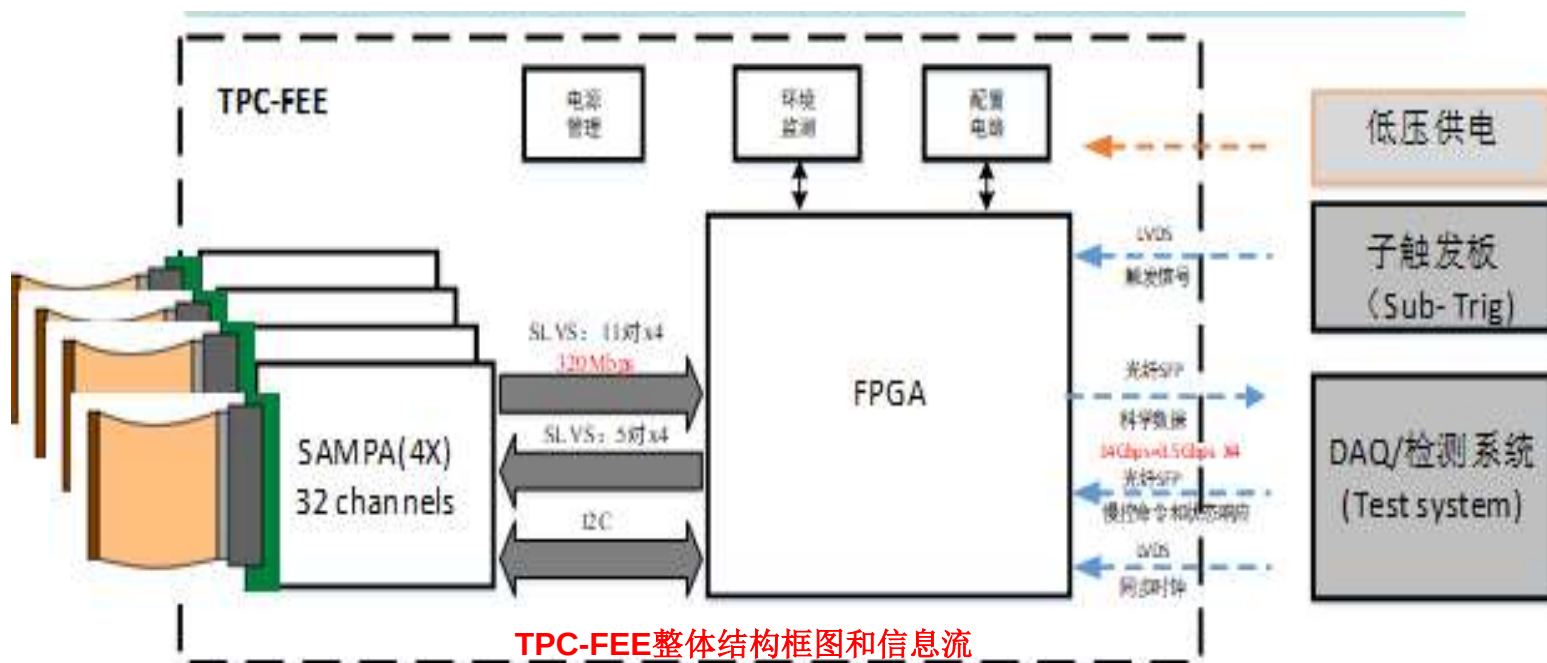
因此迫切需要研制高计数率，高集成度、低功耗、大动态范围的前端读出电子学

难点： 高计数率、低功耗、高密度、大动态



二、CEE-TPC读出电子学研制

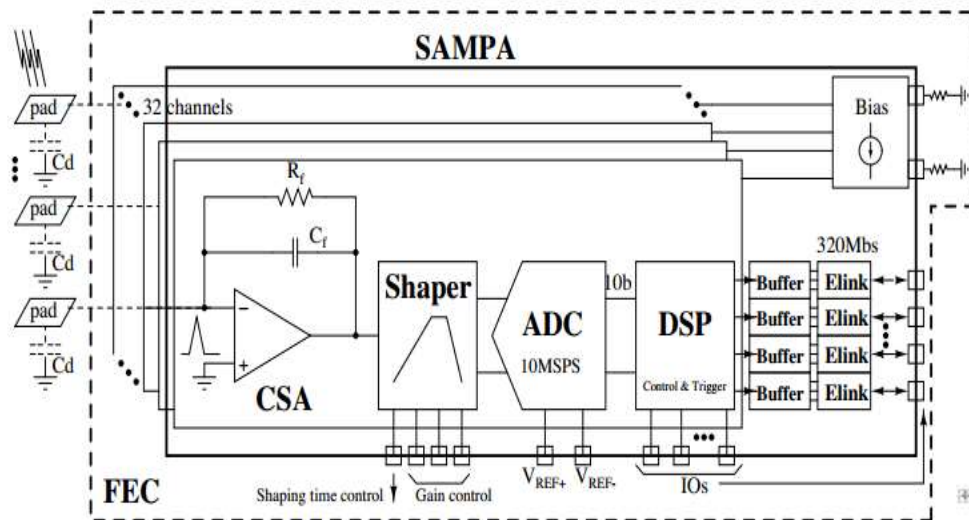
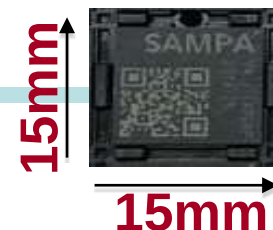
- 1、目标：实现高计数率多通道TPC读出电子学（TPC-FEE）研制
- 2、技术路线：采用专门为TPC研发的、国际先进的、新一代高速读出ASIC芯片SAMPAC结合高性能FPGA，实现高密度的信号放大、数字化读出及高速串行传输。



TPC-FEE通过一个SFP接口，以光纤为媒介，与DAQ实现全部数据交互，下行数据主要为指令流，上行数据包括科学数据流、状态流、错误信息流以及命令反馈流



➤ 3、前端读出芯片--SAMP



芯片结构

ptc0	ptc1	gc0	gc1	Shaping time	Sensitivity
0	0	0	0	160ns	30mV/fC
0	0	1	0	160ns	20mV/fC
0	0	0	0	80ns	30mV/fC
0	0	1	1	80ns	20mV/fC
1	1	1	1	300ns	4mV/fC

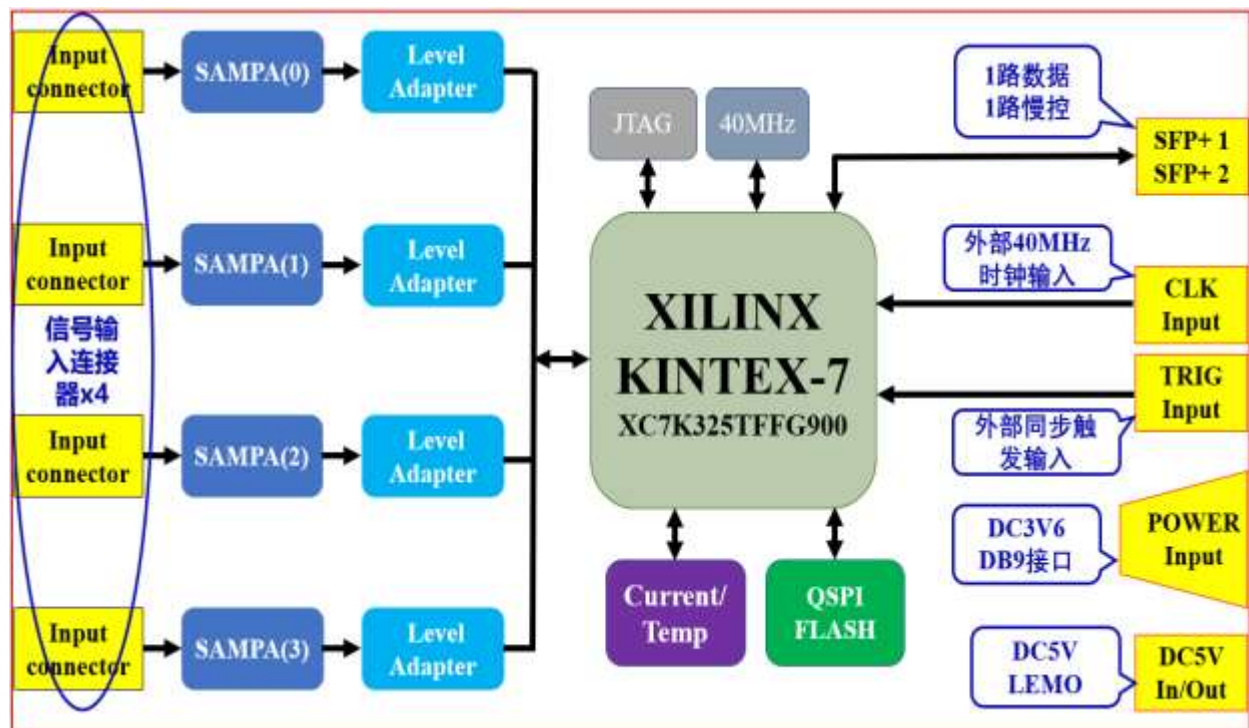
- Event rate : 50 kHz
- 32 channels per SAMP chip
- Be radiation tolerant
- CSA, Shaper, ADC, DSP per channel,
- SLVS e-links output lines : – Up to 320 Mb/s
- power consumption :less than 15 mW/ch
- Non-linearity of all channels: better than 1 %
- Baseline noise of all channels: less than 0.1 fC
- triggered mode & continuous mode

参数项	取值范围
供电电压	1.25V
通道数	32
可处理事例率	50 kHz
单通道功耗 (CSA+Shaper)	6 mW
输入信号极性	正/负
达峰时间	160ns/300ns
动态范围	500fC/100fC/67fC
前放增益	4mV/fC, 20mV/fC, 30mV/fC
非线性 (CSA + Shaper)	<1%
ADC 有效输入范围	2Vpp
ADC 精度	10bit
ADC 采样频率	5MHz/10MHz/20MHz



➤ 4、TPC-FEE研制

4.1 TPC-FEE工程电路硬件设计（基于波形采样方案，单板128通道）



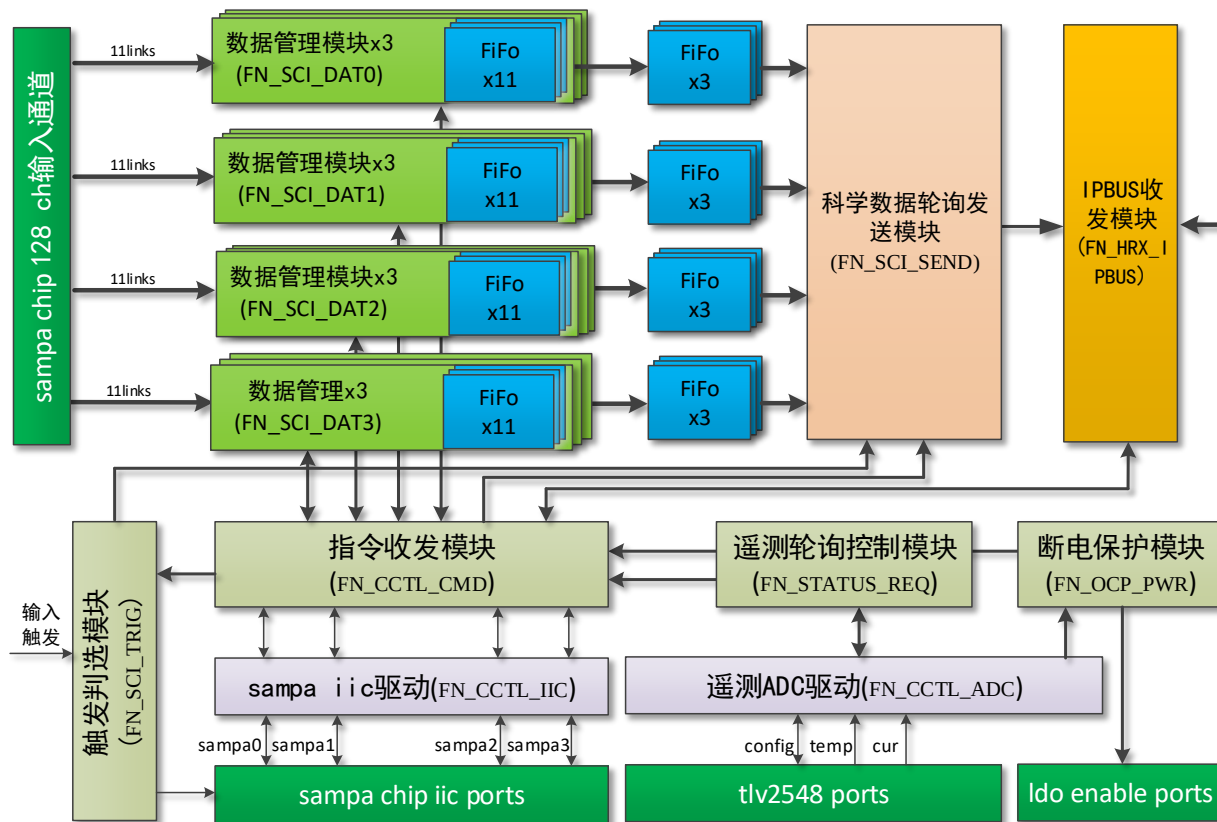
包括了SAMPA及适配网络、时钟配置、环境监测、逻辑控制电路（FPGA）、电源管理等电路

- ✓ 前端电路实现前放+成形+ADC+DSP、电平转换
- ✓ FPGA实现对数据的分析、处理和传输
- ✓ 板上热敏电阻实现温度检测
- ✓ 通过对电流的检测和阈值的判断实现SAMPA芯片自断电



4.2 TPC-FEE固件设计

➤ 控制逻辑总体设计



TPC-FEE FPGA控制逻辑结构示意图

➤ 任务需求:

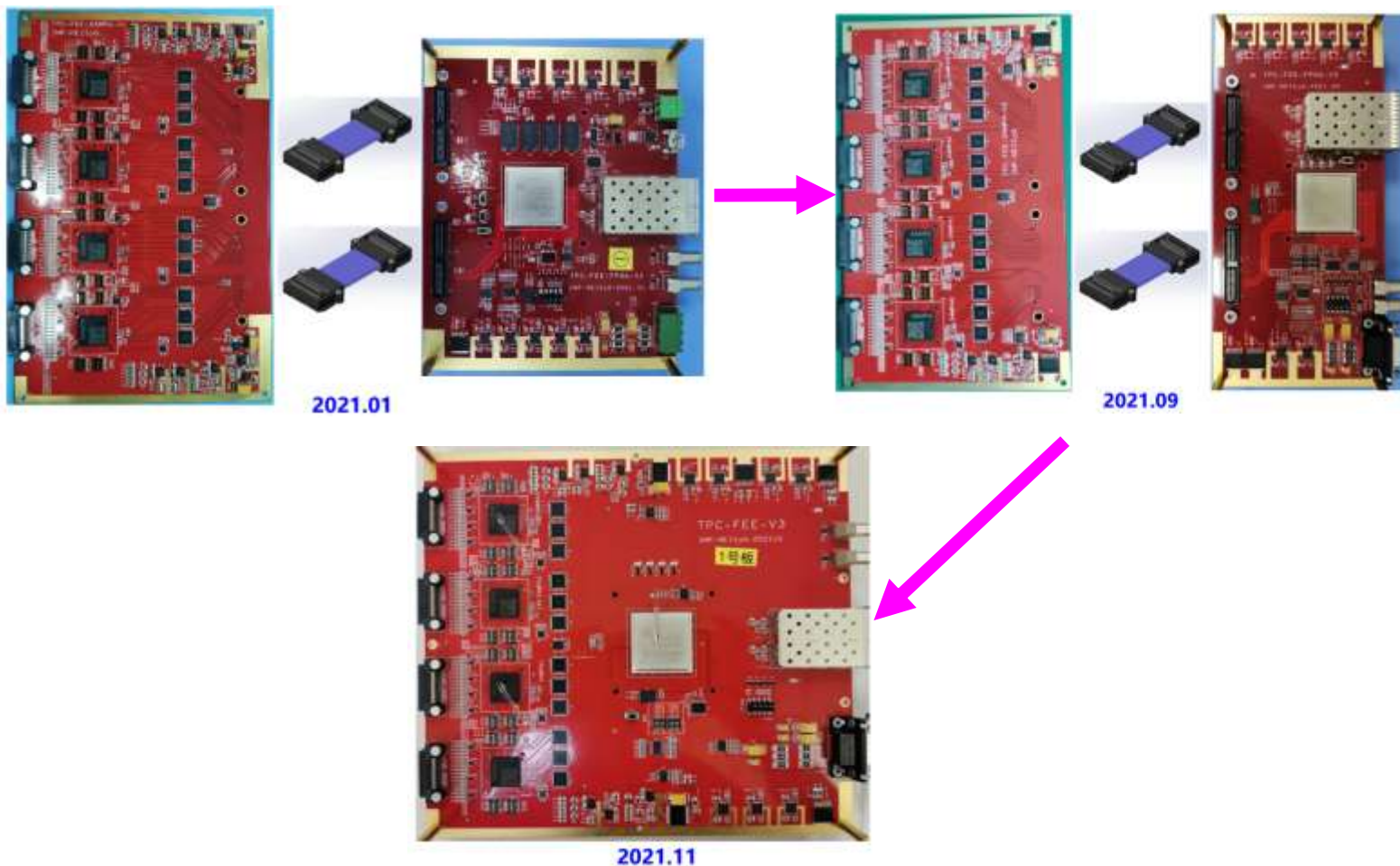
- ✓ 参数配置及控制功能
- ✓ 科学数据读取和二次打包发送功能
- ✓ 状态遥测功能
- ✓ 高速数据收发接口
- ✓ 控制断电保护功能

➤ 采取如下措施:

- ✓ 设计多级FIFO缓存轮询机制, 尽可能提高数据吞吐;
- ✓ 基于时钟前后沿选择采样同步机制, 实现数传链路的可靠传输



4.3 研制结果

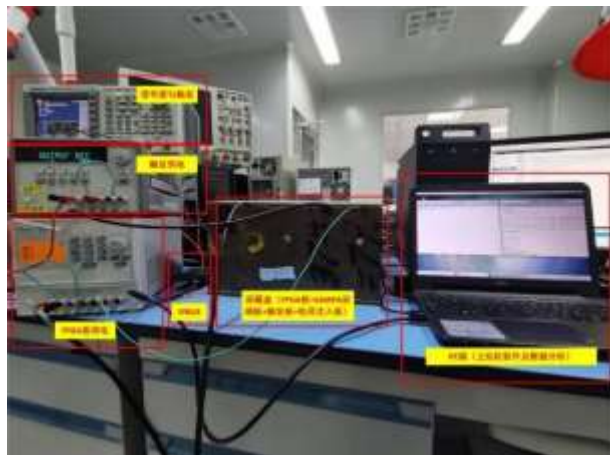


完成了三版的迭代，实现了TPC多通道读出**电子学关键技术攻关**，同时优化了尺寸，功耗，和散热



4.4、TPC-FEE测试

➤ 测试现场



实验室电子学测试

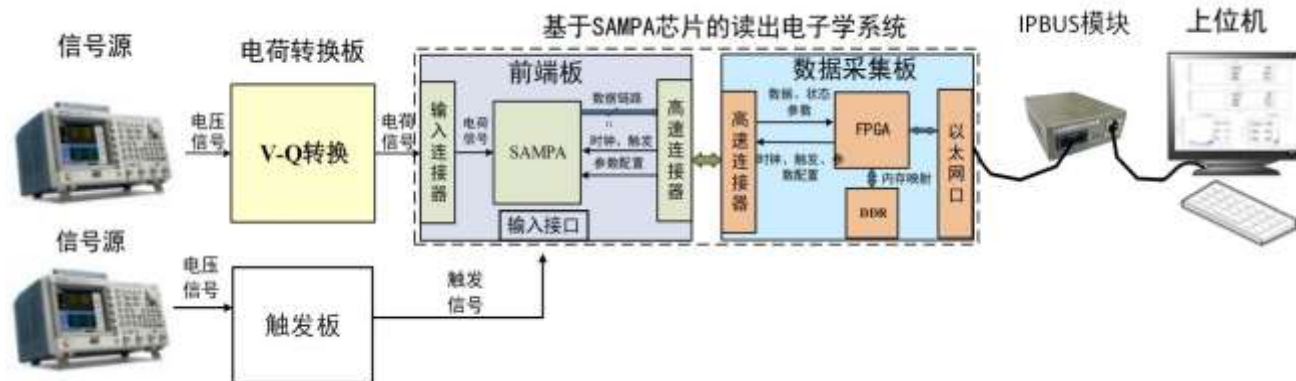


探测器联试 (55Fe源测试)



探测器联试 (激光源和宇宙射线测试)

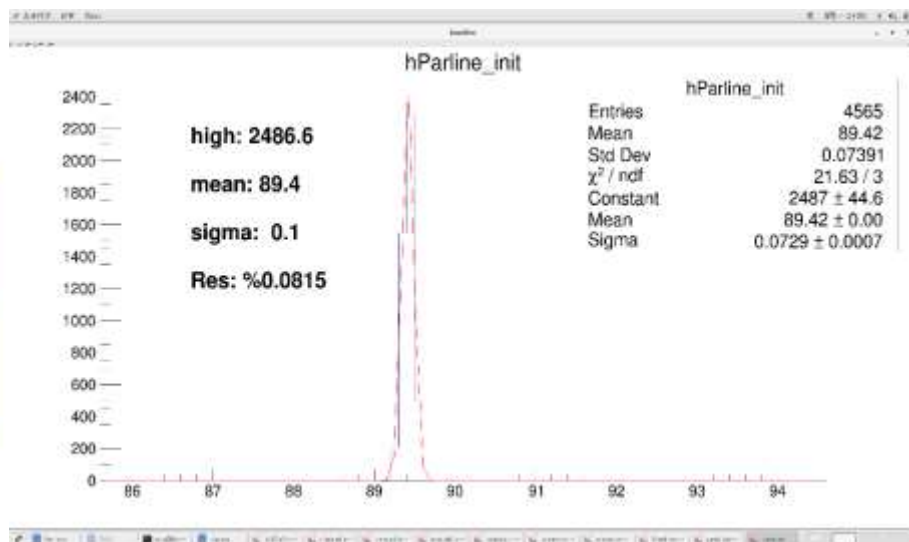
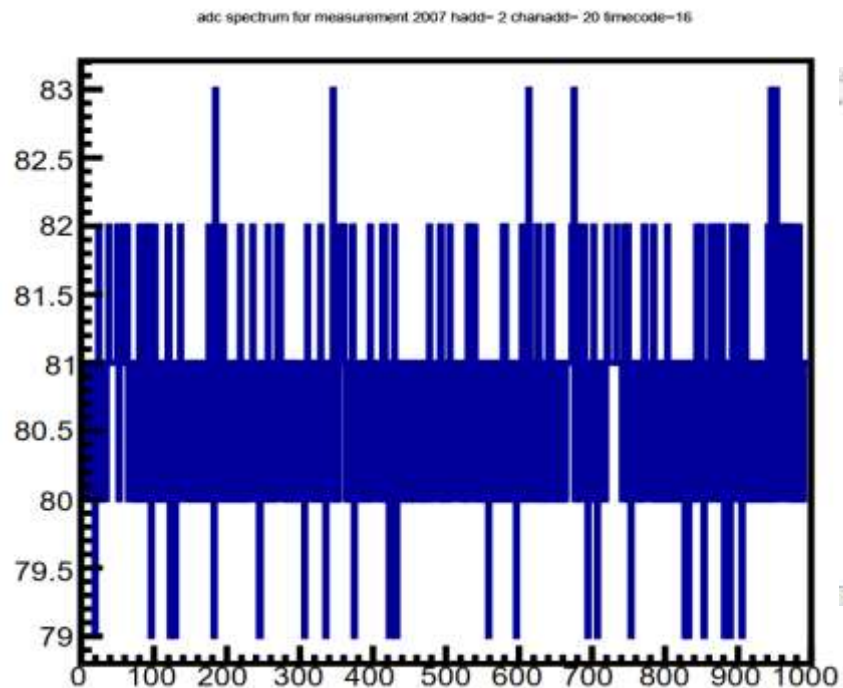
➤ 电子学测试方案



TPC-FEE单机测试方案



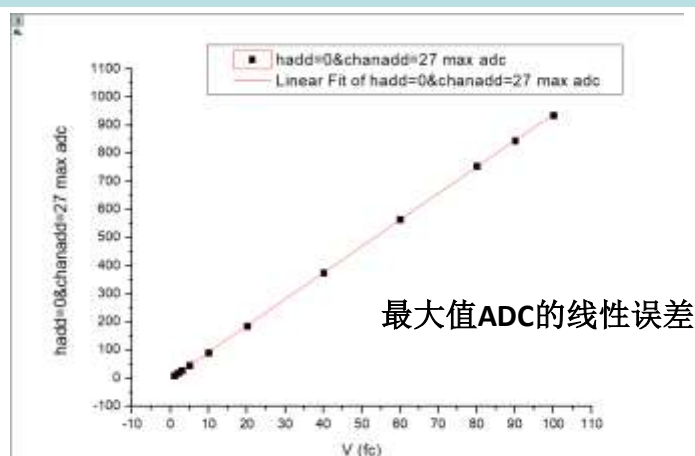
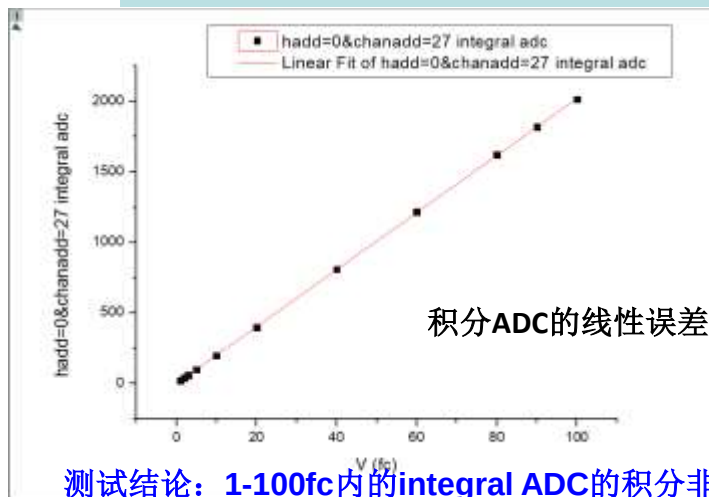
➤ 基线测试



测试结论：128通道的基线噪声 $\sigma < 1\text{ADC LSB}$ ，对应 0.1fc ，约 $625e$ 。

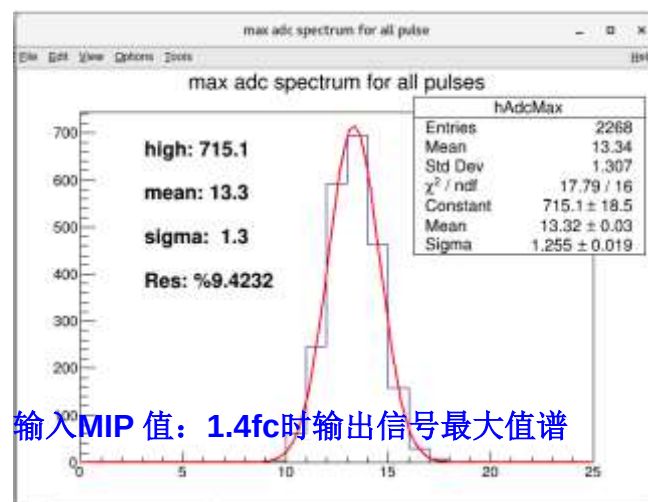
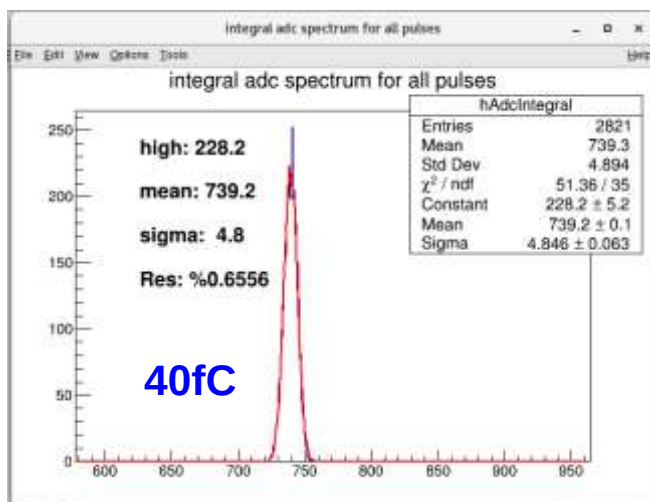


➤ 线性测试



测试结论: 1-100fc内的integral ADC的积分非线性误差小于0.29%, max ADC的积分非线性误差小于0.45%

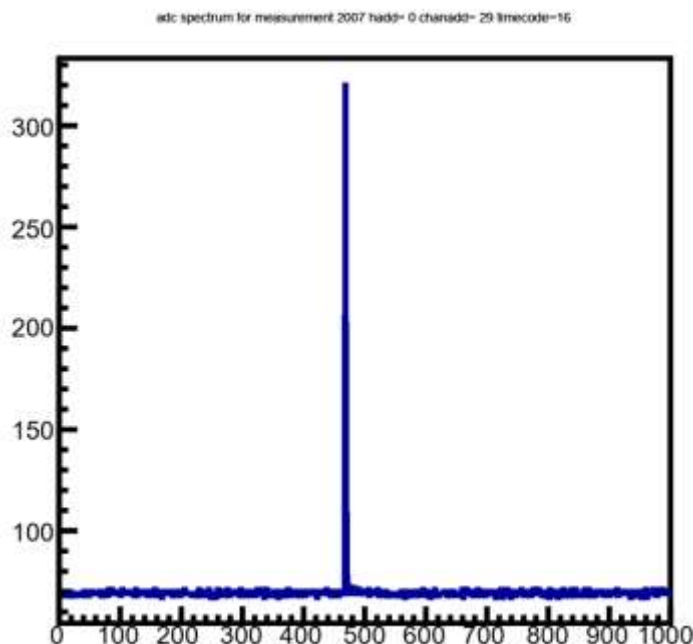
➤ 能量分辨



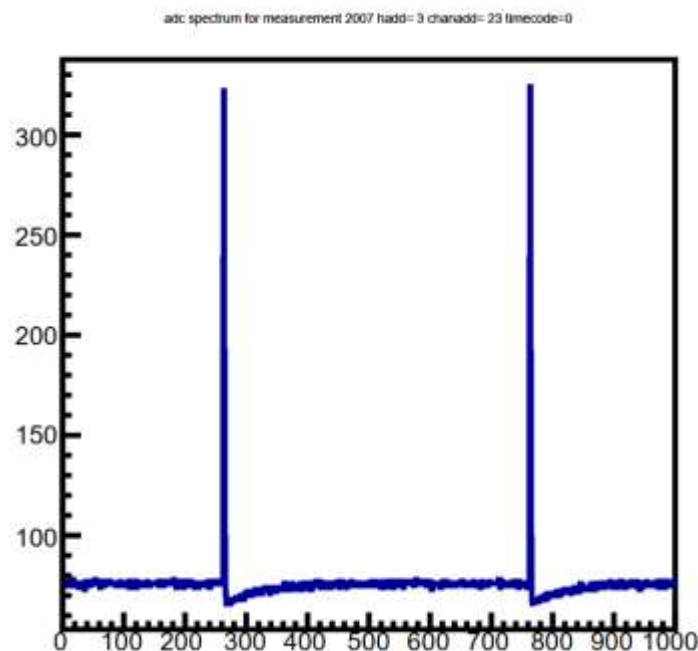


➤ 不同触发频率响应测试

测试条件：在原始及压缩模式下，信号输入30fC，输入不同触发率（1Hz, 5Hz, 10Hz, 20Hz, 100Hz, 1KHz, 10KHz及20KHz），查看sampa芯片的输出



20Hz采集到的波形信息（输入30fc，延迟20 μ s）



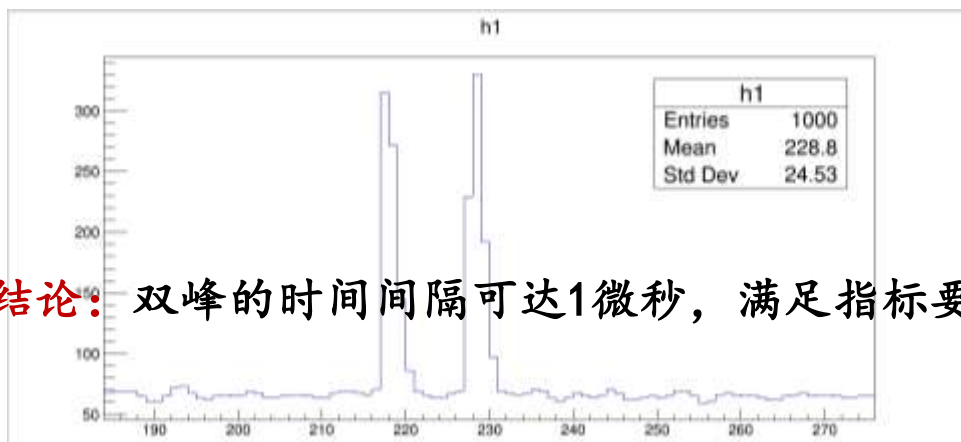
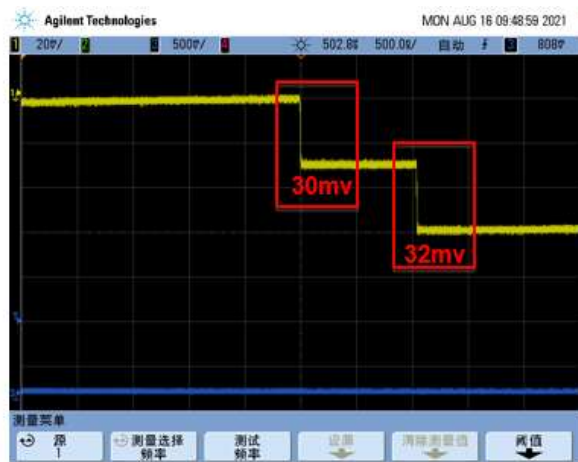
20KHz采集到的波形信息（两个信号之间间隔50 μ s）

测试结论：TPC-FEE可响应1Hz~20KHz输入触发率，且信号输出幅度符合预期。



➤ 双径迹分辨测试

测试条件：触发和信号频率均为1KHz，输入间隔为1us的指数衰减脉冲

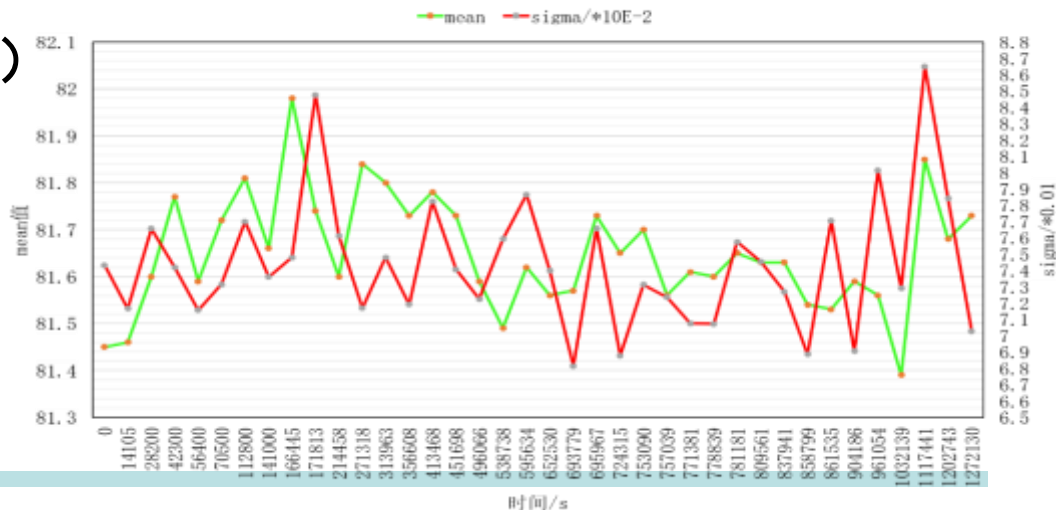


测试结论：双峰的时间间隔可达1微秒，满足指标要求

长时间稳定性测试趋势图

➤ 长时间稳定性测试（14天不断电）

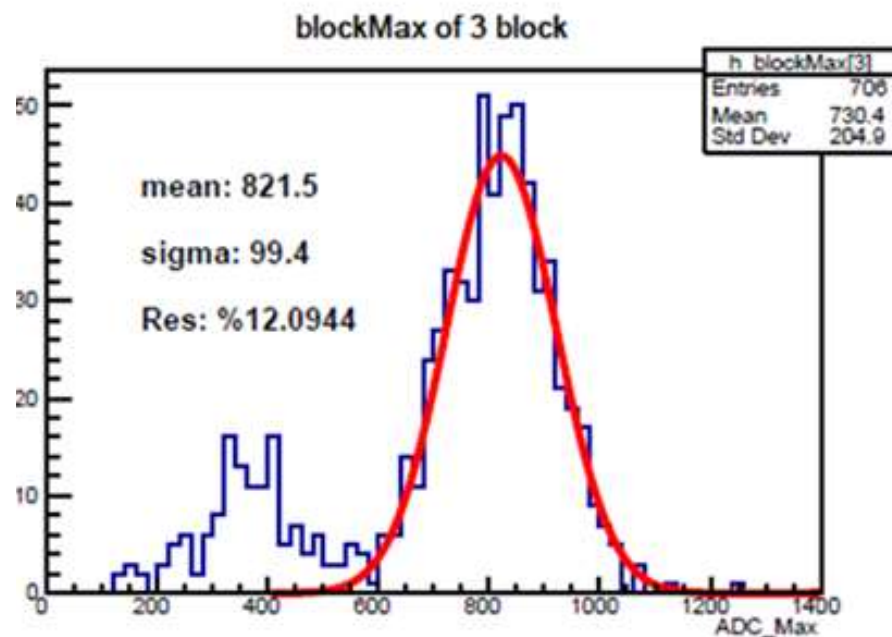
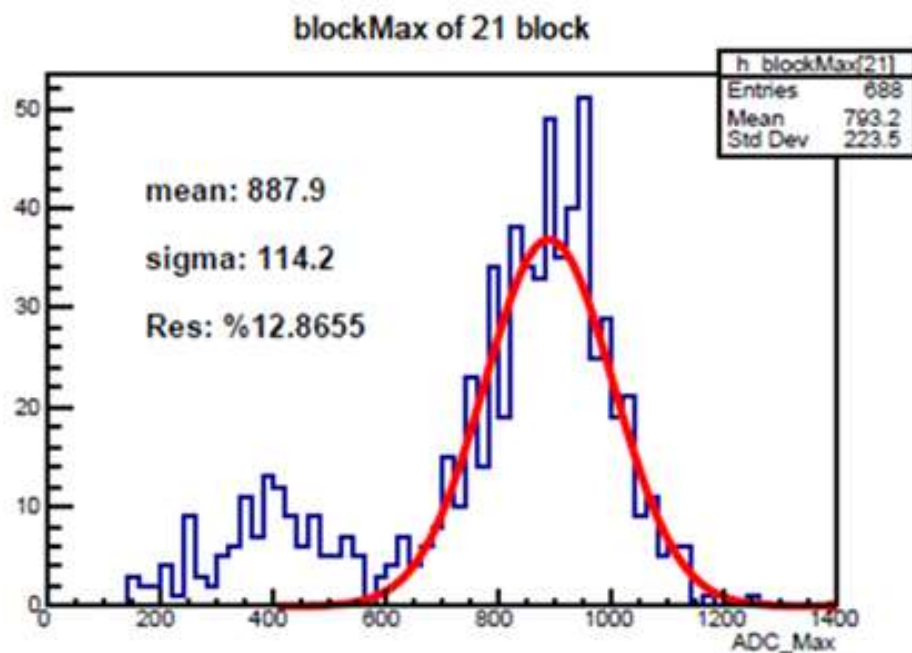
Mean 值变化范围 0.6道 (0.06fC)
sigma值变化范围 0.02道 (0.002fC)





➤ 探测器联合测试

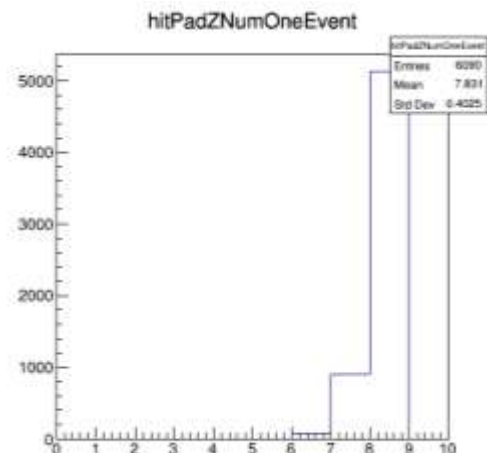
➤ 探测器联合测试：铁源（ ^{55}Fe ）测试



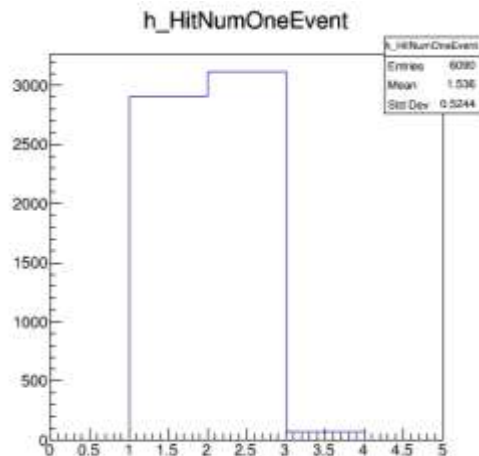
去掉边缘效应和死道的部分block能谱 ($\text{res}=\text{sigma}/\text{mean}$)



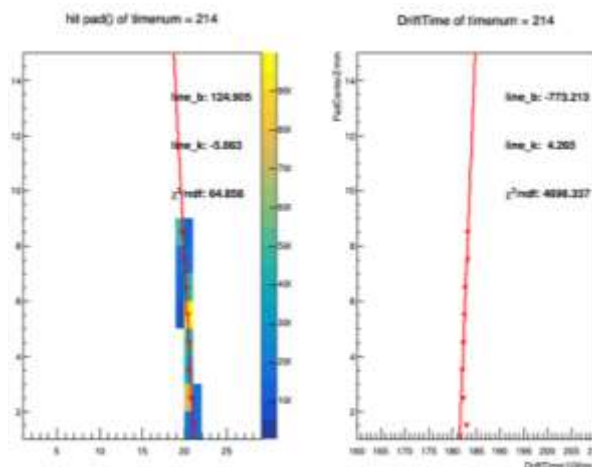
➤ 探测器联合测试：宇宙线测试



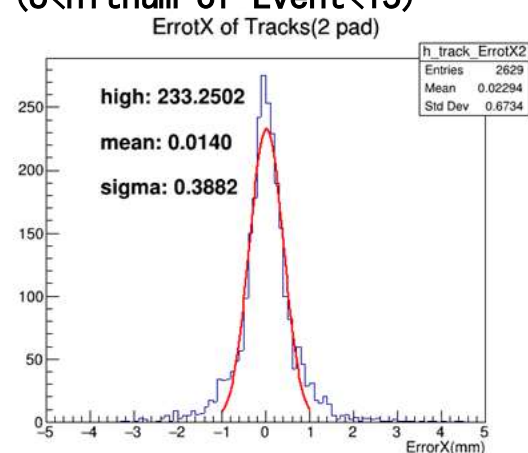
宇宙线事件点火pad行数统计
($6 < \text{hitnum of Event} < 15$)



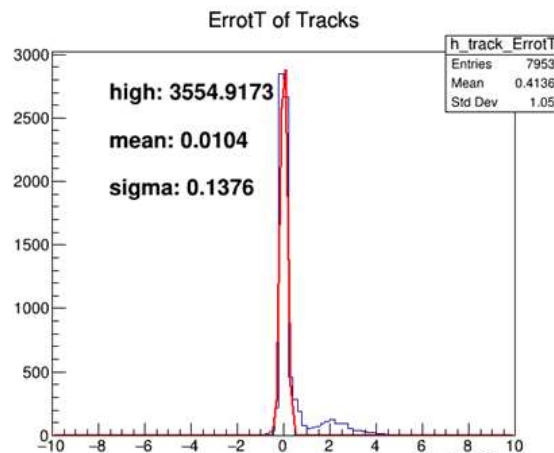
宇宙线事件每行点火pad统计



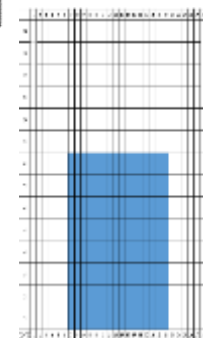
径迹测试



Pad平面的投影谱（位置分辨（残差）约为：390um）



漂移时间谱（漂移时间分辨（残差）约为：14ns）

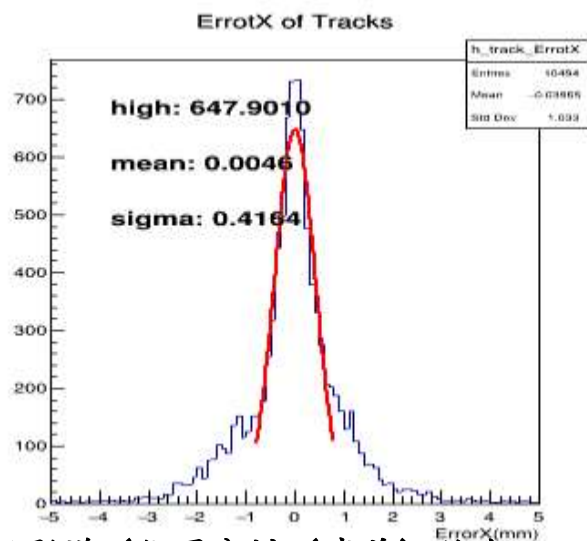
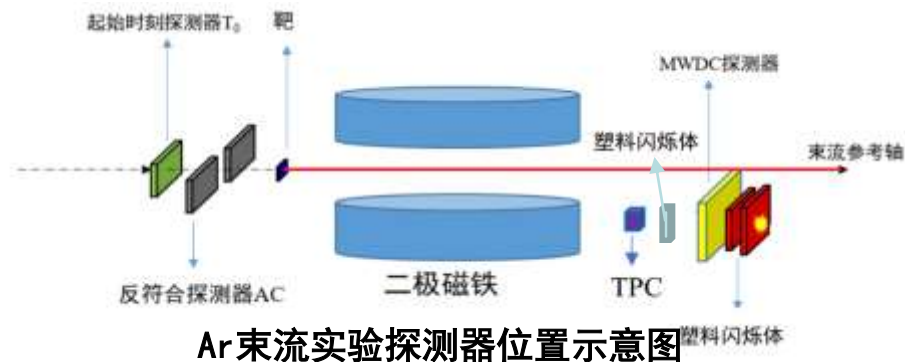


128通道电子学分布

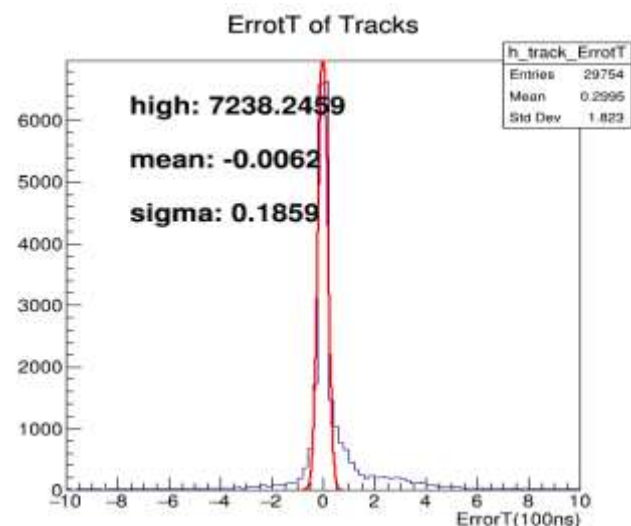
- 测试结果：
- $\sigma_{xz} = 390 \mu\text{m}$,
 - $\sigma_{yT} = 14\text{ns}$ (漂移方向位置分辨约为：200um (VDrift=1.5 cm/us)), 均符合 CEE-TPC 参数指标要求。



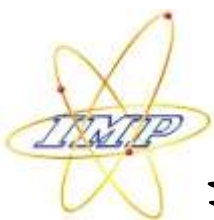
➤ 束流实验



Pad平面的投影谱（位置分辨（残差）约为：416 μ m）



漂移时间谱（漂移时间分辨（残差）约为：18.6ns）



三、CEE-MWDC前端读出芯片研制

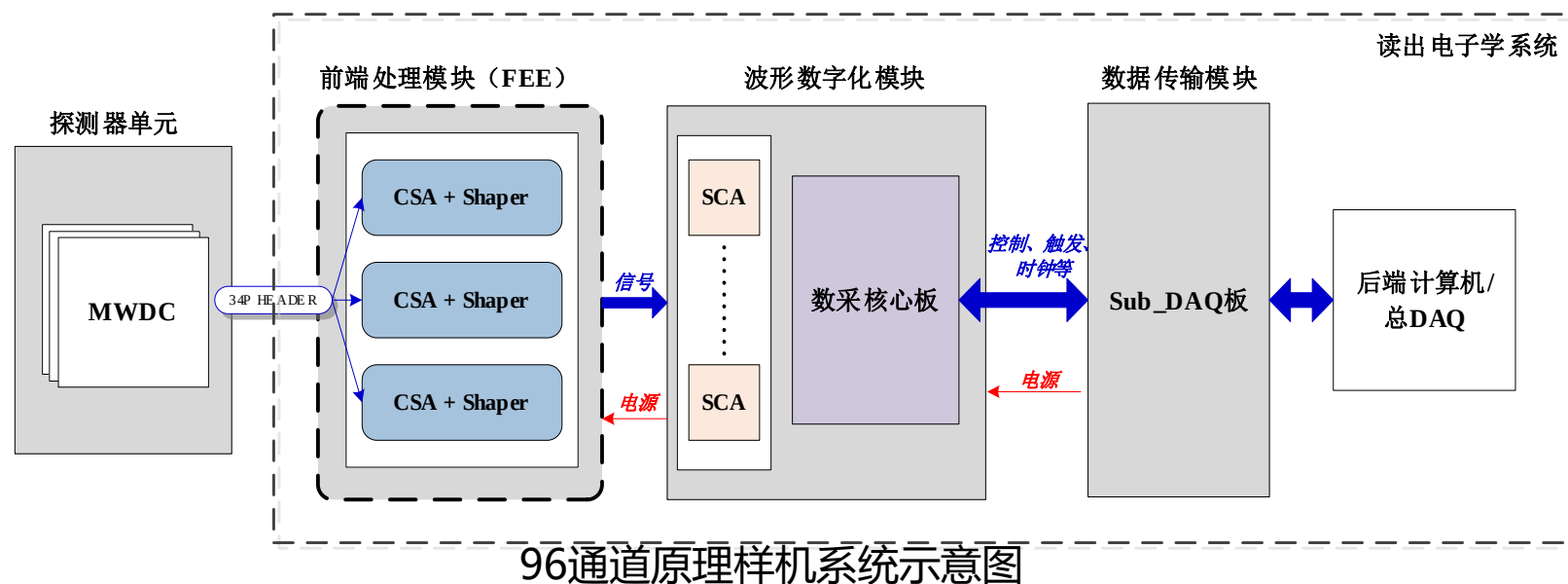
➤ CEE-MWDC前端读出电子学

技术路线:

前端模块(FEE): 信号放大, 成形;

波形采样模块(SCA+核心板): 波形采样, SCA控制, 触发, 时钟, 数据汇总

数据缓存和传输模块(Sub-DAQ): 数据汇总、多参数提取和传输

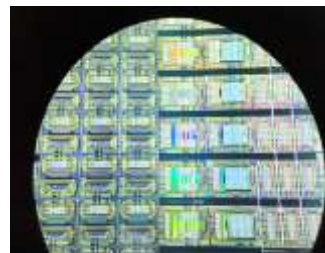
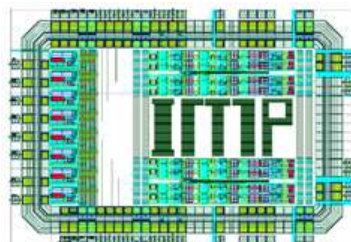




CEE-MWDC前端读出ASIC芯片FEAM

➤ FEAM芯片概述

- ✓ 近代物理研究所自主研发
- ✓ 实现信号的前置放大和滤波成形



电荷灵敏前放
三阶低通滤波设计

参数	指标
工艺	0.35 μm CMOS 工艺
通道数	8
输入动态范围	9fC - 1000fC
工作电压	3.3 V, -2.5 V
达峰时间	80ns、160ns、1 μs
线性度	< 0.12%
增益	1mV/fC
噪声	5000e-@0pf
封装	QFN88
功耗	6.6mW/ch



FEAM芯片测试

不同负载电容下FEE通道的噪声

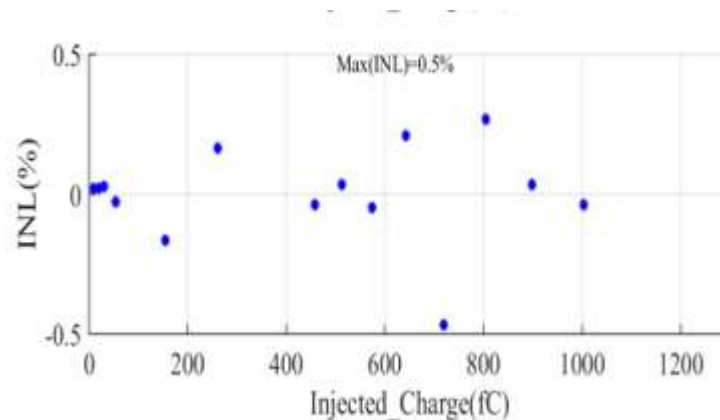
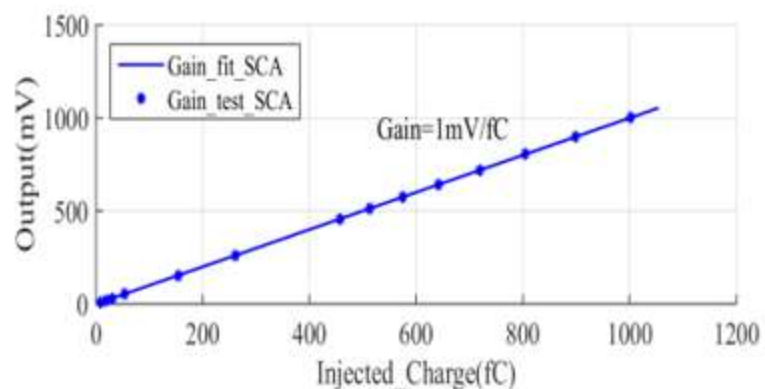
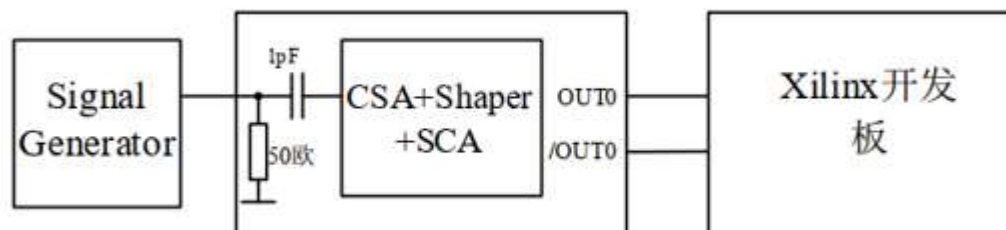


电容值\通道	CH1/fC	CH2/fC	CH3/fC	CH4/fC	CH5/fC	CH6/fC	CH7/fC	CH8/fC
0PF	0.67	0.72	0.89	0.64	0.77	0.67	0.92	0.68
10PF	0.65	0.69	0.76	0.61	0.59	0.62	0.65	0.60
33PF	0.64	0.71	0.72	0.64	0.62	0.64	0.77	0.62
82PF	0.72	0.76	0.76	0.70	0.67	0.70	0.72	0.67
100PF	0.73	0.77	0.86	0.70	0.69	0.73	0.84	0.70
150PF	0.73	0.79	0.85	0.71	0.77	0.71	0.88	0.71
200PF	0.73	0.77	0.78	0.71	0.67	0.72	0.78	0.71

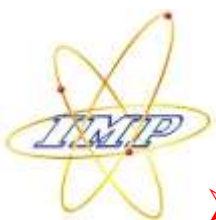
- 在电容值33pF的条件下, 最大噪声约为4600e- 最小噪声约为3720e- (芯片仿真结果: 3548e-@33pF)
- 在电容值100pF的条件下, 最大噪声约为5160e- 最小噪声约为4140e- (芯片仿真结果: 3923e-@100pF)
- 前端噪声测试结果满足 < 1fC的指标要求



➤ 积分非线性



- 在9-1000fC输入条件下，积分非线性好于0.53%



➤ 通道间串扰

单通道电荷注入板



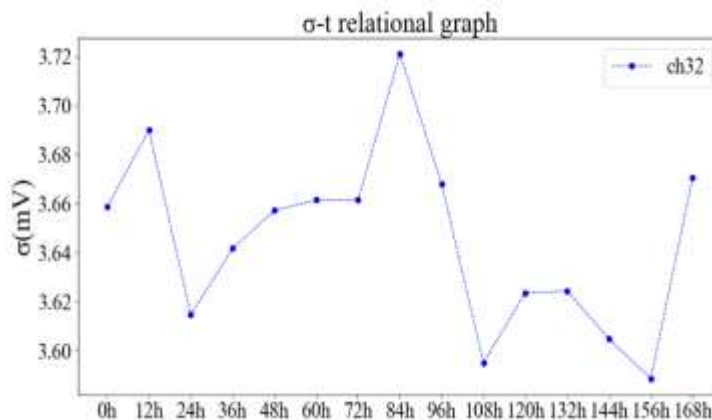
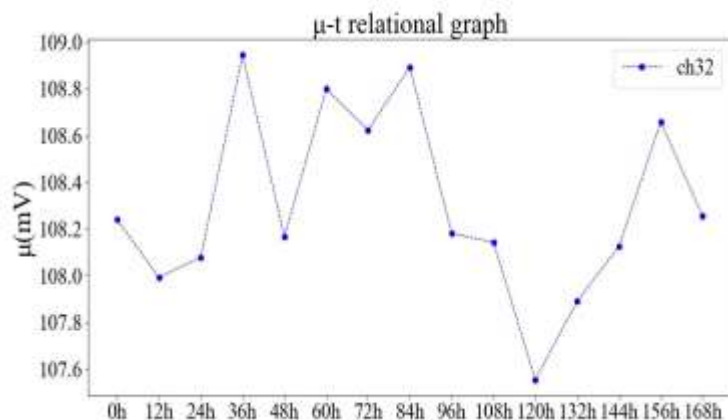
注入电荷量	CH1	CH2	CH3	CH4	CH5	CH6	CH7	CH8
1.1pC	12.2	11.7	13.4	1014.2	16.1	12.8	19.6	17.5
1.8pC	11.4	13.2	12.6	980.5	18.2	12.7	19.2	16.7
3pC	11.8	16.6	16.1	954.5	23.0	15.1	21.9	18.6
11pC	13.1	13.8	64.2	960.4	68.9	15.7	23.0	19.2
18pC	12.3	17.2	136.5	946.4	135.1	14.5	22.7	18.7

- 在满量程输入条件下，通道间无串扰。



➤ 长时间稳定性

测试条件：注入100fC的信号下，32通道输出信号的均值和均方根值随着时间的变化

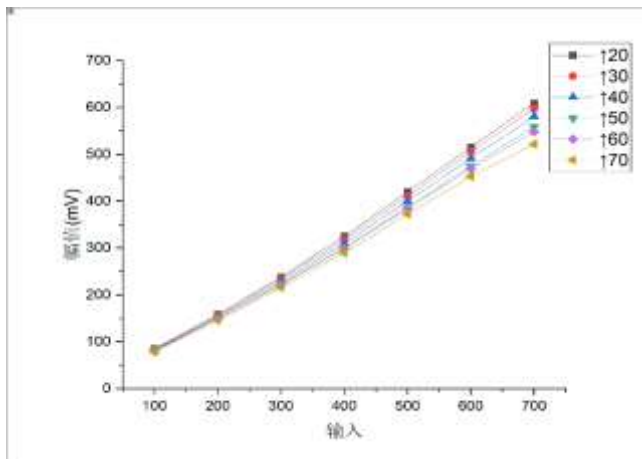


- mean值随时间变化范围 < 2mV, sigma值随时间变化范围 < 0.3mV。系统长时间稳定性良好。

➤ 温度效应测试



测试现场图片



- 同一个通道，不同温度点下基线变化范围小于 2mV；在10℃范围内增益差异约为2%符合芯片仿真结果



➤ FEAM芯片良品率测试

	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V	W	X	Y	Z	AA	AB	AC	AD	AE	AF	AG
1	FEE电路板FEAM芯片良品率统计																																
2	硬件电路	IN1	IN2	IN3	IN4	IN5	IN6	IN7	IN8	IN9	IN10	IN11	IN12	IN13	IN14	IN15	IN16	IN17	IN18	IN19	IN20	IN21	IN22	IN23	IN24	IN25	IN26	IN27	IN28	IN29	IN30	IN31	IN32
3	V2.0 #1																																
4	V2.0 #2																																
5	V2.0 #3																																
6	V2.1 #5					X																											
7	V2.1 #6																																
8	V2.1 #7								X		X																						
9	V2.1 #8																																
10	V2.2 #1																																
11	V2.2 #2																																
12	V2.2 #3																																
13	V2.2 #4																																
14	V2.2 #5																																
15	V2.2 #6																																
16	V2.2 #7																																

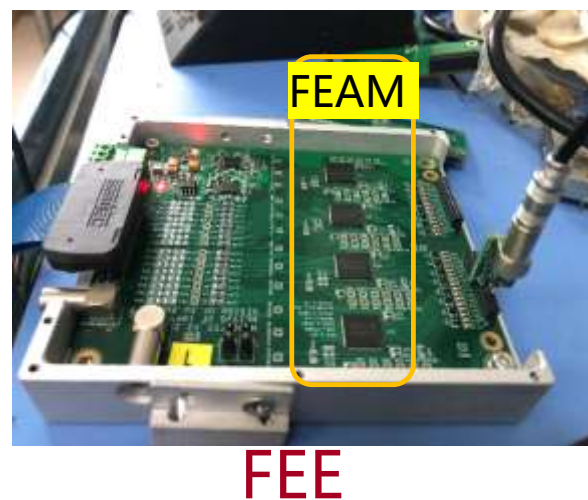
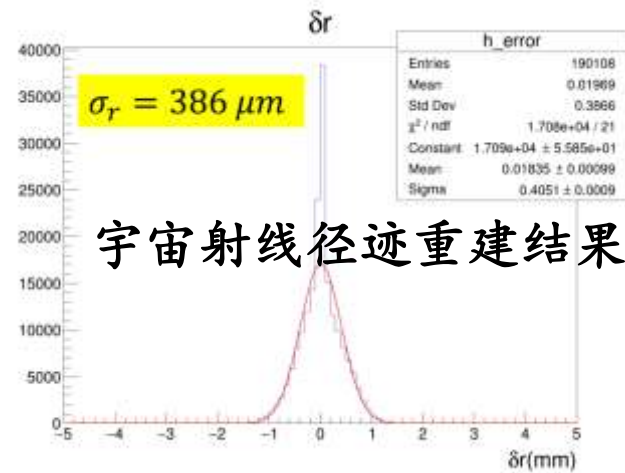
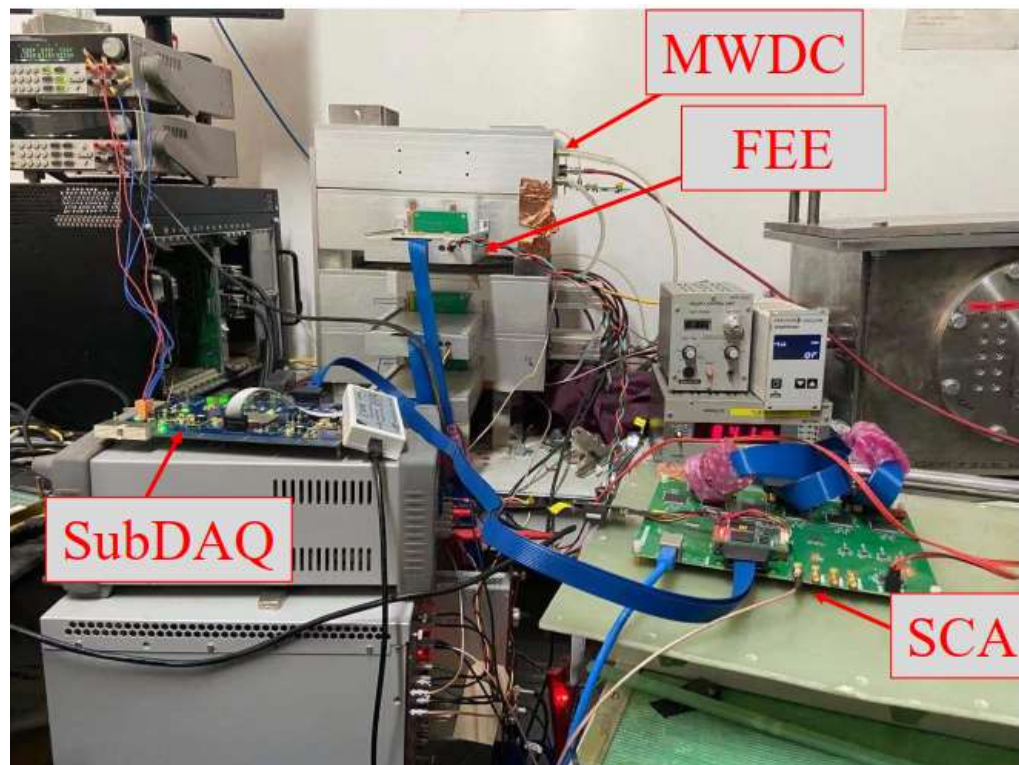
测试结果:

统计56片FEAM芯片共448通道，目前出现的坏道3个，分布在不同的片中，其中2通道是由于做破坏性试验，导致通道坏掉，另外一个通道坏的原因时输入断路。

FEAM芯片良品率：94.6%



➤ FEAM应用



电路模块	电源种类	电流/mA	功耗/W
FEE	+5V	145	0.7345
	-2.5V	3.8	



四、总结

- 根据CEE-TPC的需求，完成了高计数率TPC-FEE原理样机的研制，
- 针对设计完成的CEE-TPC读出电子学开展了一系列实验室测试。结果表明电子学满足噪声、动态范围、积分非线性，触发率等指标。与小型原理样机宇宙线测试结果表明，电子学工作正常，全系统位置分辨（残差） $\sigma_{xz}=390\ \mu\text{m}$ ， $\sigma_{yT}=14\text{ns}$ （漂移方向位置分辨约为： $200\mu\text{m}$ ($V_{\text{Drift}}=1.5\text{cm/us}$))，均符合CEE-TPC参数指标要求。
- 研制成功了多通道前端读出ASIC芯片FEAM，并应用于大型阵列探测器读出系统。



欢迎讨论
谢谢！