



高精度时间测量电子学技术 研究进展

赵 雷

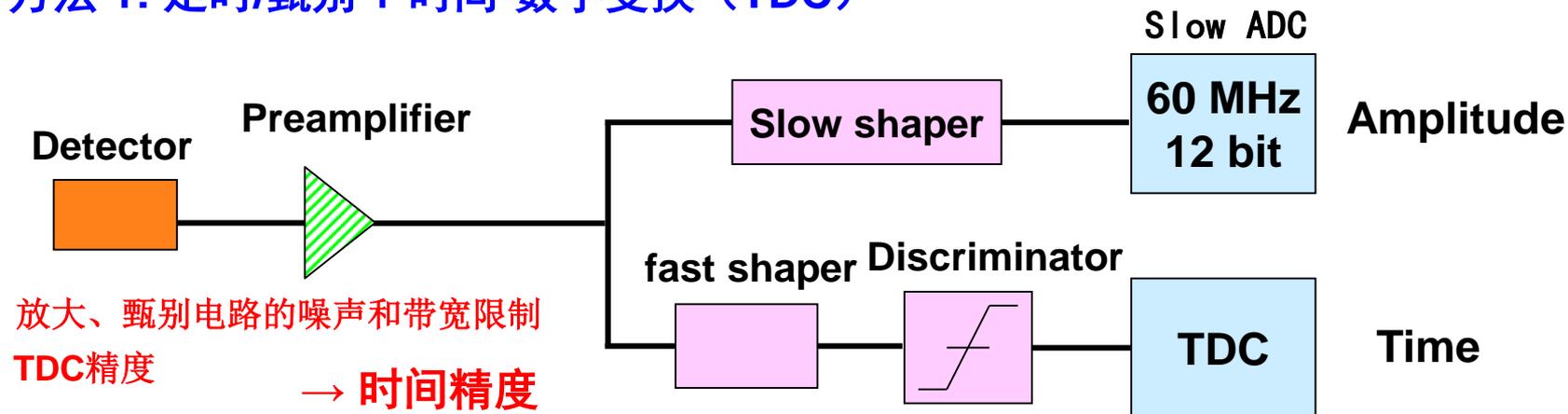
中国科学技术大学

核探测与核电子学国家重点实验室

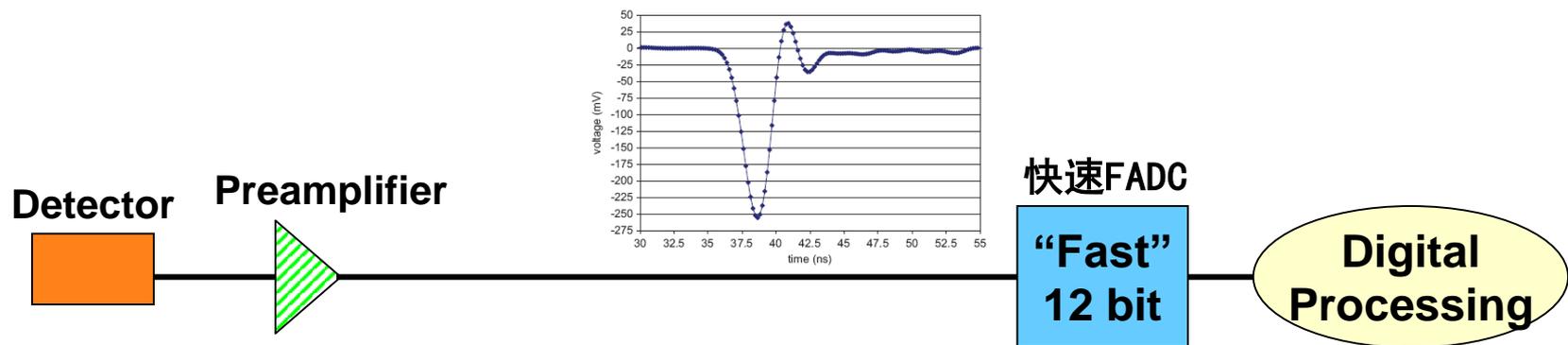
2022年8月10日

时间测量代表性技术

方法 1: 定时/甄别 + 时间-数字变换 (TDC)



方法 2: 直接波形数字化 + 数字定时



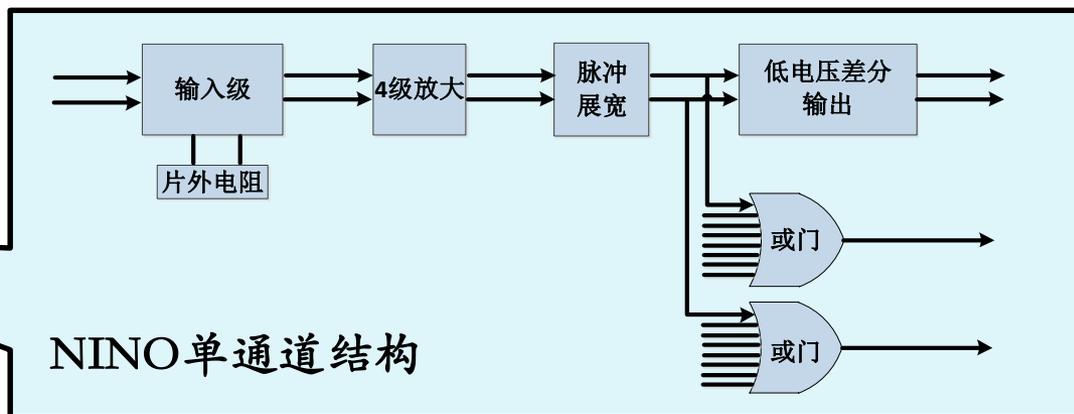
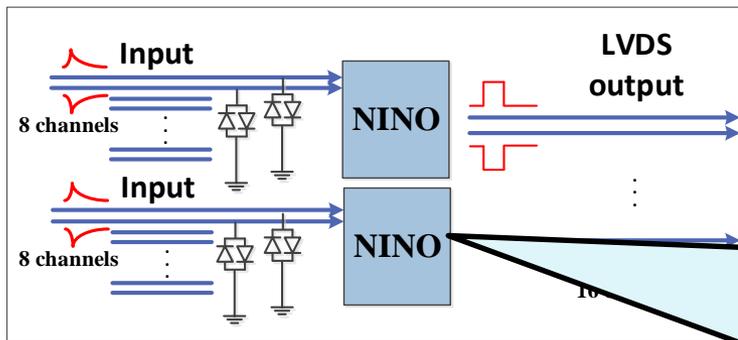
Flash ADC → Power consumption, density, cost

→ Switched Capacitor Array (SCA)

主要内容

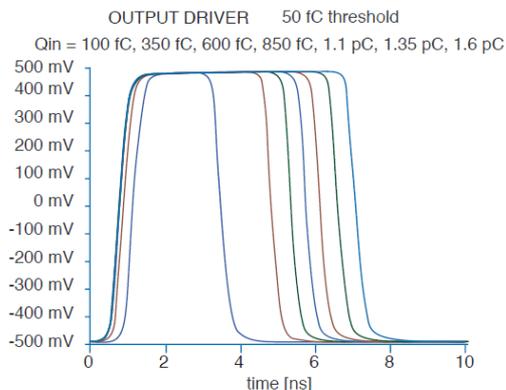
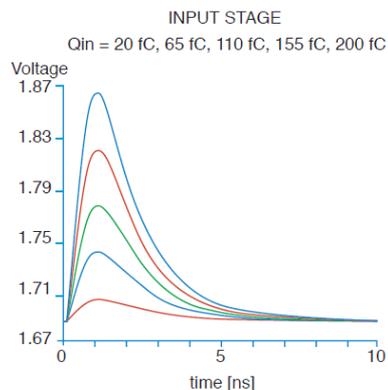
- ▶ 基于高速甄别结合TDC的时间测量
- ▶ 基于高速波形采样的时间测量

基于NINO的放大、甄别前端



NINO单通道结构

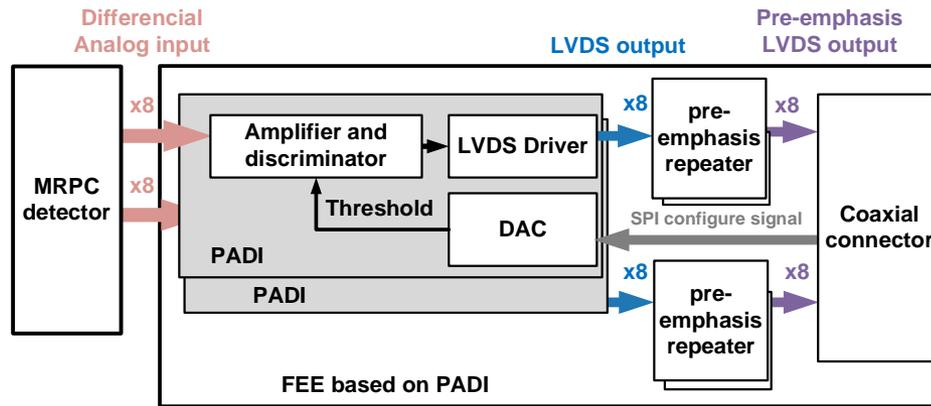
Parameter	Value
Peaking time	1ns
Signal range	100fC-2pC
Noise (with detector)	< 5000 e- rms
Front edge time jitter	< 25ps rms
Power consumption	30 mW/ch
Discriminator threshold	10fC to 100fC
Differential Input impedance	$40\Omega < Z_{in} < 75\Omega$
Output interface	LVDS



- 对称的全差分结构，16路放大甄别
- 输入冷端匹配
- 输入级电流转电压，四级电压放大
- LVDS输出差分hit信号。
- LDO电阻分压可调阈值
- 输出展宽 (+10 ns)

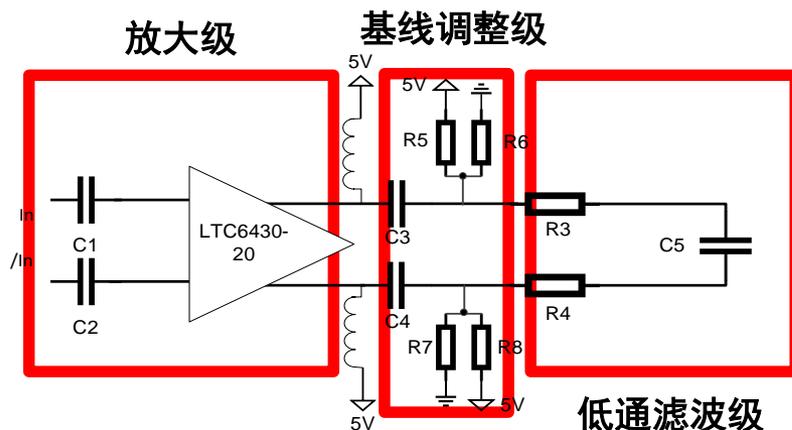
基于PADI的放大、甄别前端

PADI方案



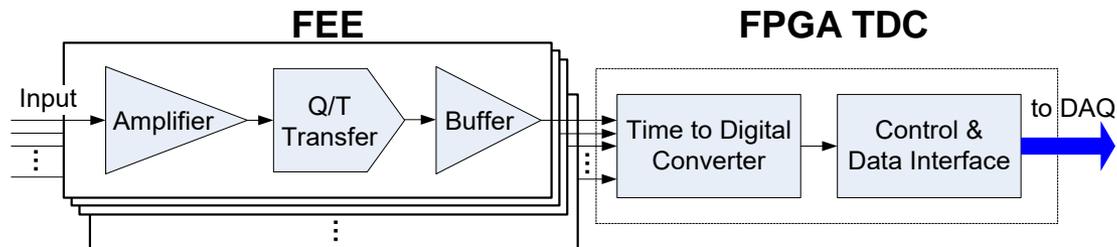
- 16通道的放大甄别
- 输入冷端匹配，输出直接兼容LVDS电平
- 数字可调阈值
- 预加重驱动输出（大于2.3W功耗）

分立器件方案

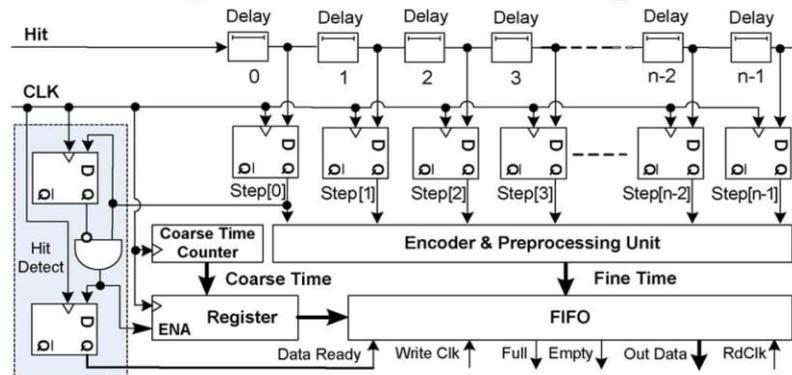
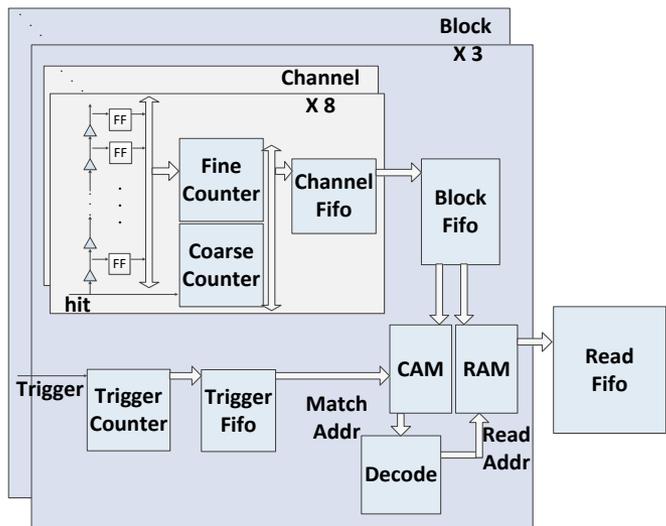


- 高速放大器：LTC6430-20
- 基线调整：调节阈值
- 低通滤波：滤除高频噪声
- 高速甄别器：LMH7322

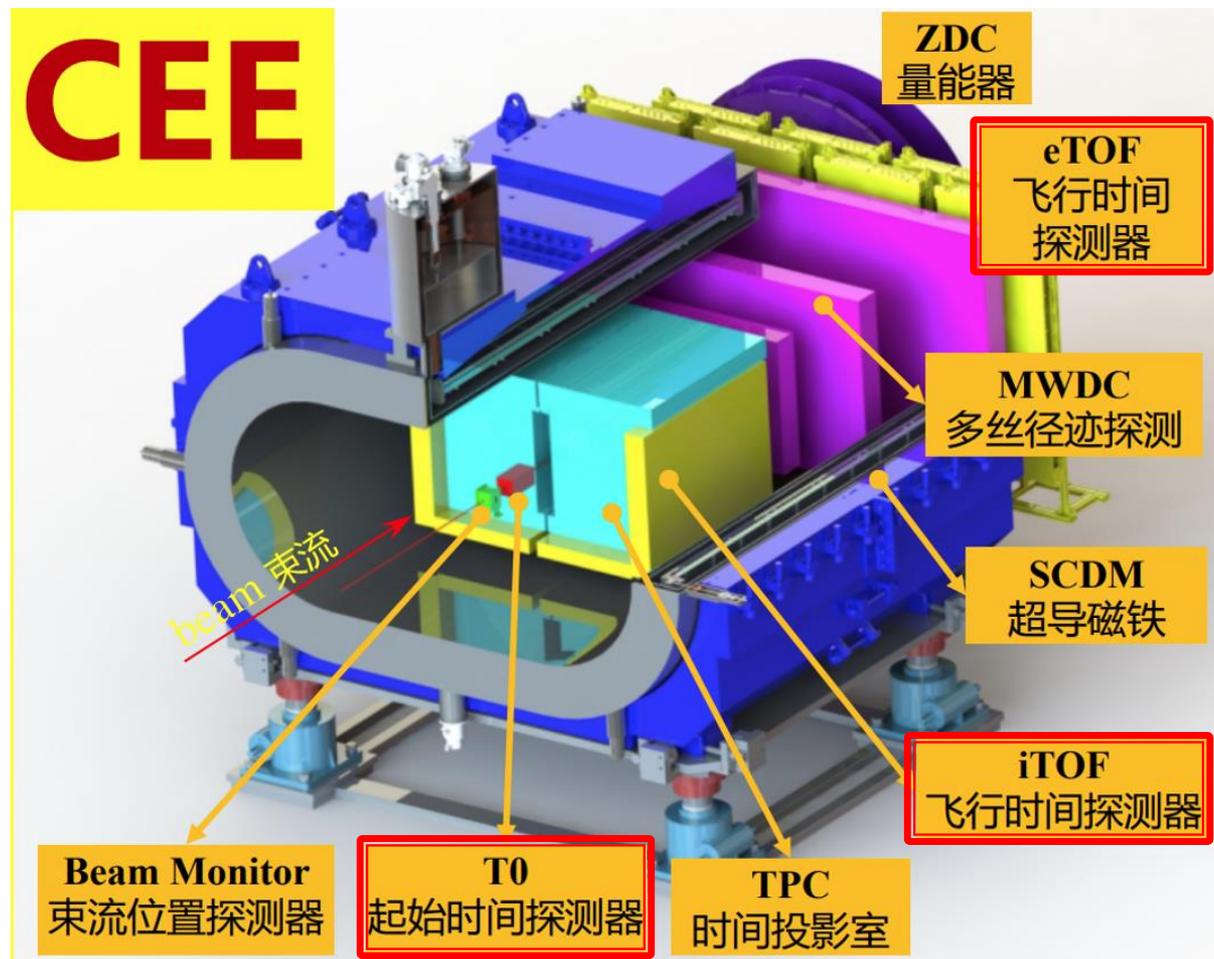
兰州HIRFL CSR外靶实验中的FPGA TDC



FPGA TDC



此技术路线在CEE中的应用

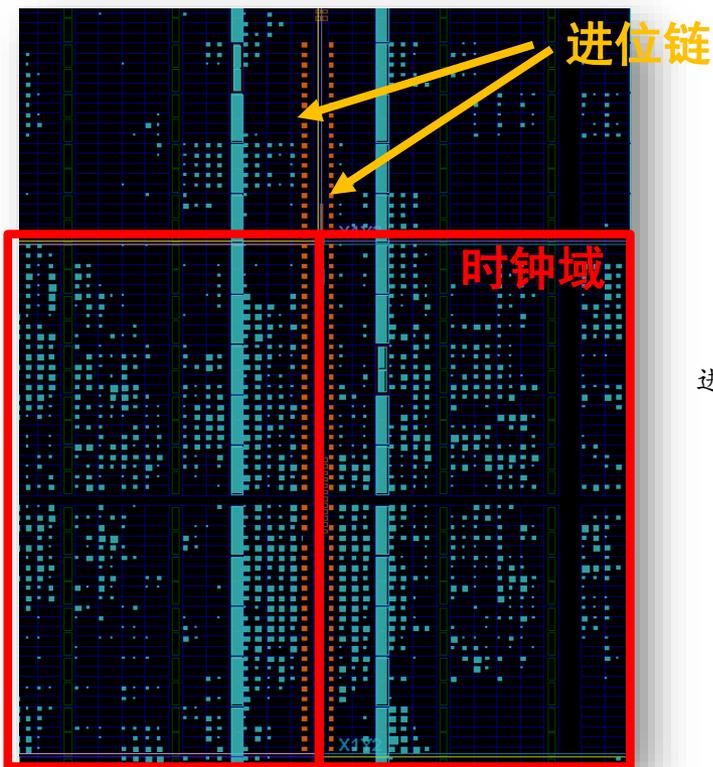


- ▶ 端盖飞行时间探测器
endcap Time-of-flight, eTOF
 - ~1500读出单元
 - 60 ps本征时间分辨率
- ▶ 内部飞行时间探测器
Internal Time-of-flight, iTOF
 - ~1200读出单元
 - 50 ps本征时间分辨率,
 - 部分30 ps时间分辨
- ▶ 起始时间探测器 (T_0)
 - 32读出单元
 - 50 ps本征时间分辨率
(单通道<250 ps)

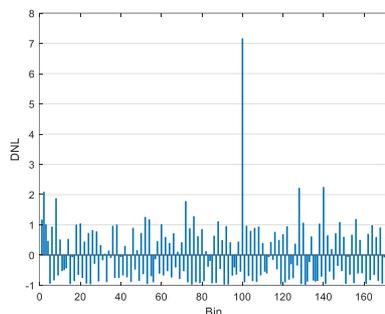
国家自然科学基金委重大科研仪器研制项目
中科院B类先导专项

TDC设计研究 — 非线性优化

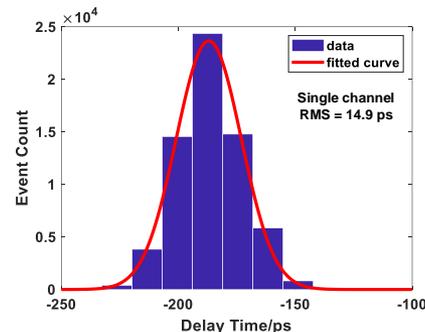
➤ TDC设计—基于Artix-7，研究优化非线性方法



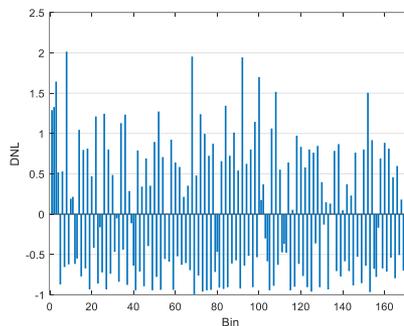
FPGA TDC进位链约束在时钟域底部



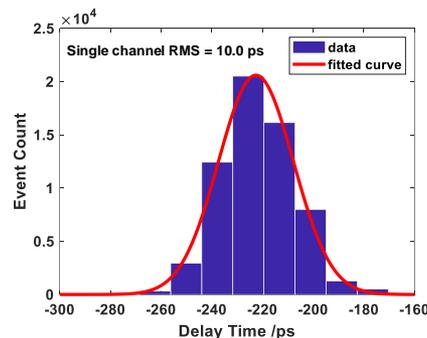
进位链起点约束在时钟域中部的DNL



进位链起点约束在时钟域中部的时间精度测试结果 (14.9 ps RMS)



进位链起点约束在时钟域底部的DNL

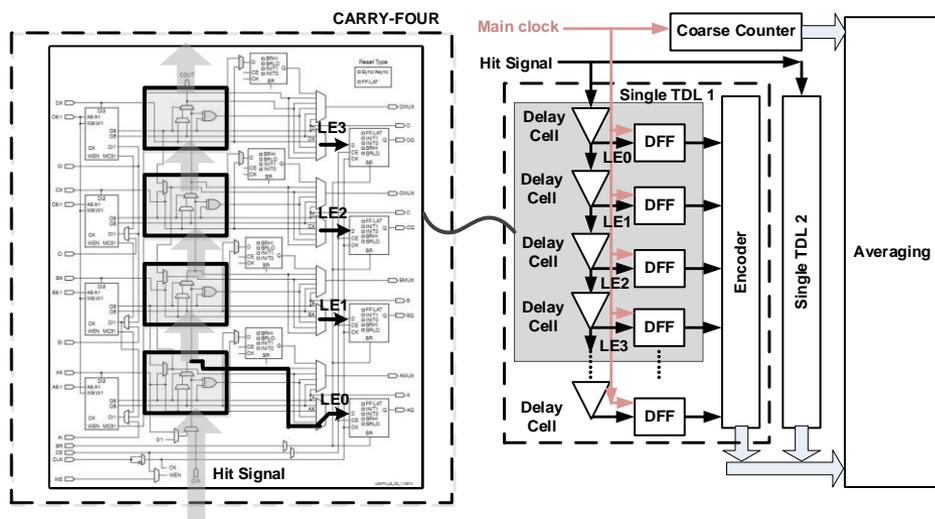


进位链起点约束在时钟域底部的时间精度测试结果 (10.0 ps RMS)

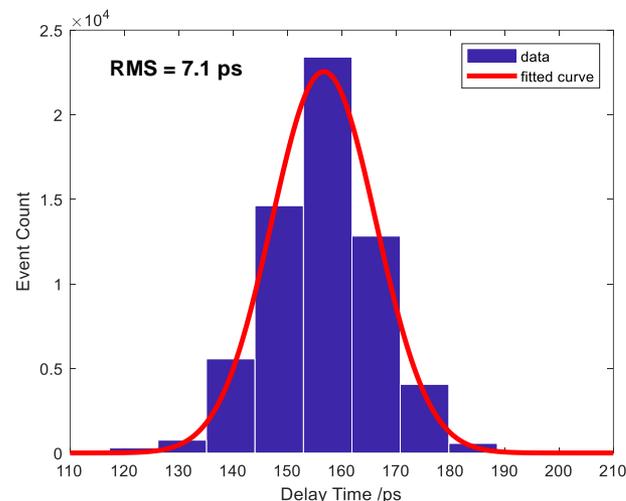
- 主时钟 > 300 MHz，将进位链起点约束在时钟域底部，不产生超宽bin
- 精度从14.9 ps RMS提升到10 ps RMS

TDC设计研究 — 多次测量

➤ TDC设计—基于Artix-7，研究多次测量方法



双链测量求平均方法框图

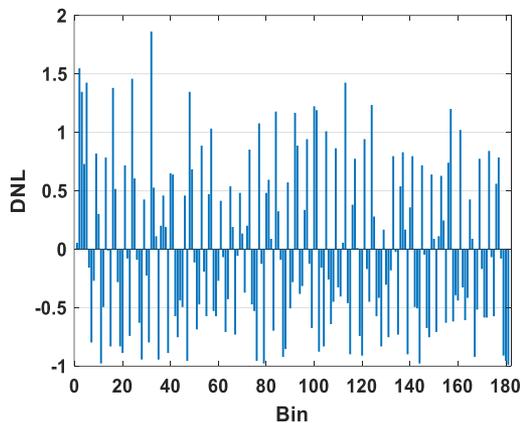


双链测量求平均方法时间精度

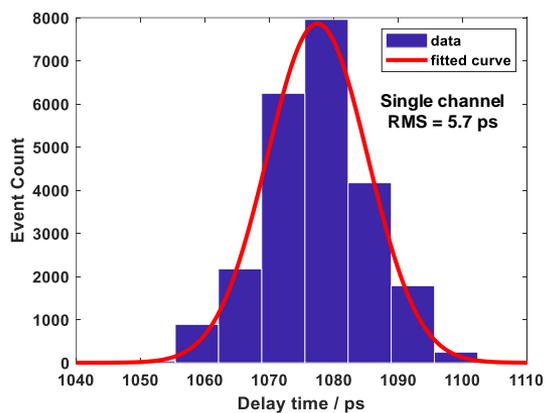
- 采用多链测量求平均的方法，可以进一步缩小等效的bin size，以提升时间测量精度
- 双链测量求平均方法时间精度达到7.1 ps RMS

TDC设计研究 — 进位链速度

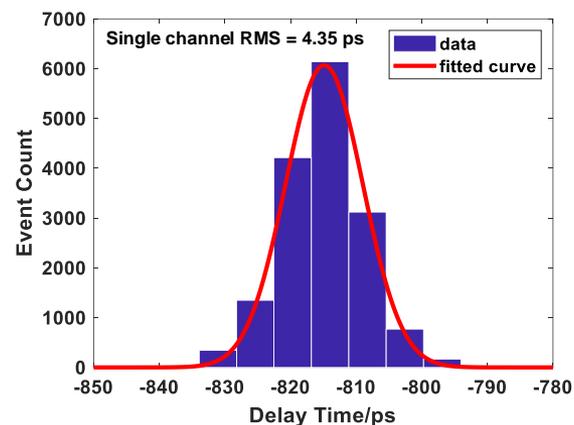
➤ TDC设计—基于更快进位链的Kintex-7实现TDC



单链非线性



单链时间精度

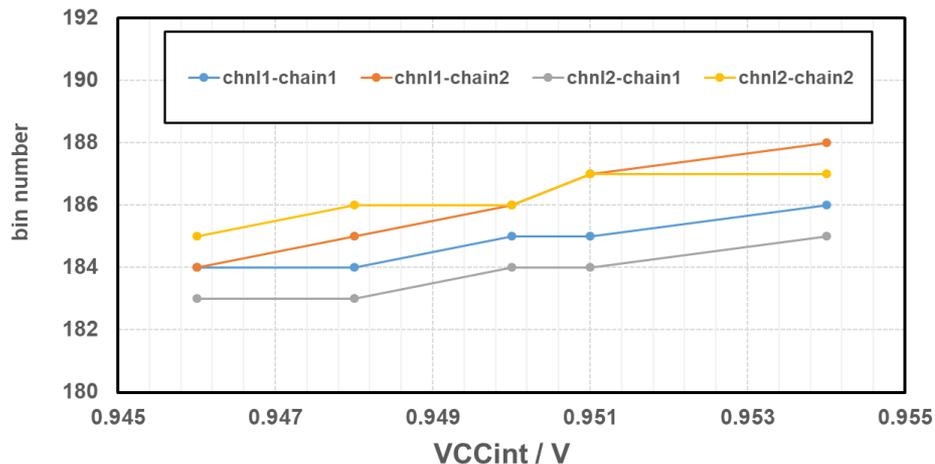


双链时间精度

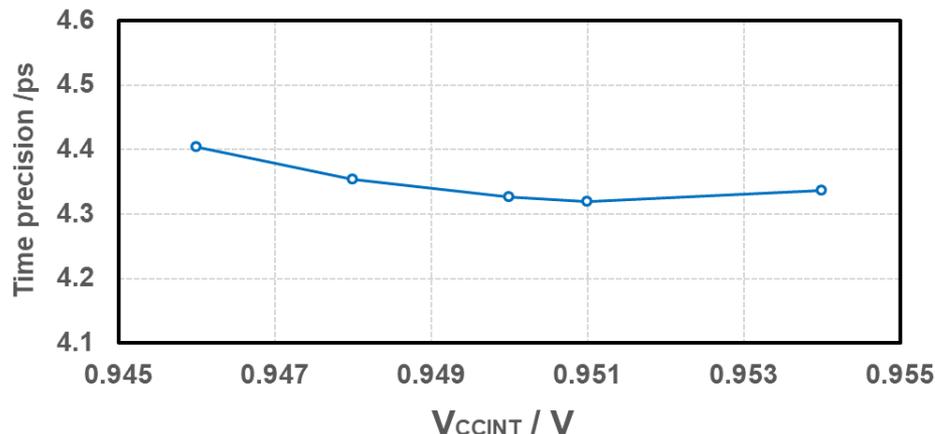
- 主时钟 > 435 MHz, 将进位链起点约束在时钟域底部, 不产生超宽bin
- 主时钟 480 MHz, 精度从单链 ~ 5.7 ps RMS 提升到双链 ~ 4.35 ps RMS

供电对TDC的影响

供电对TDC的影响



Bin的个数随内核供电变化关系



时间精度随内核供电变化关系

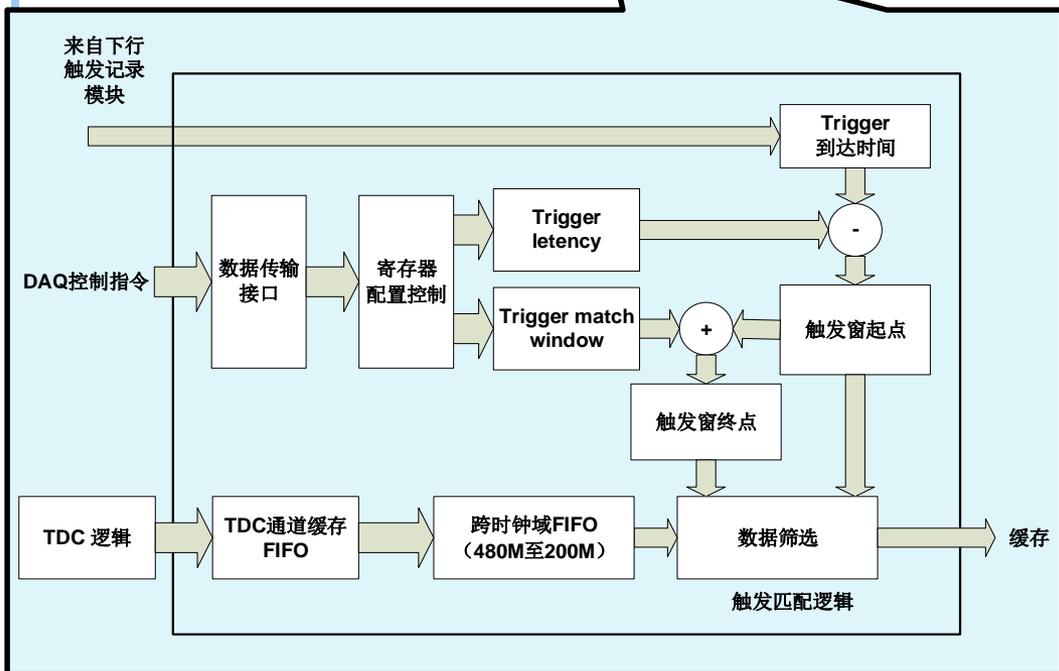
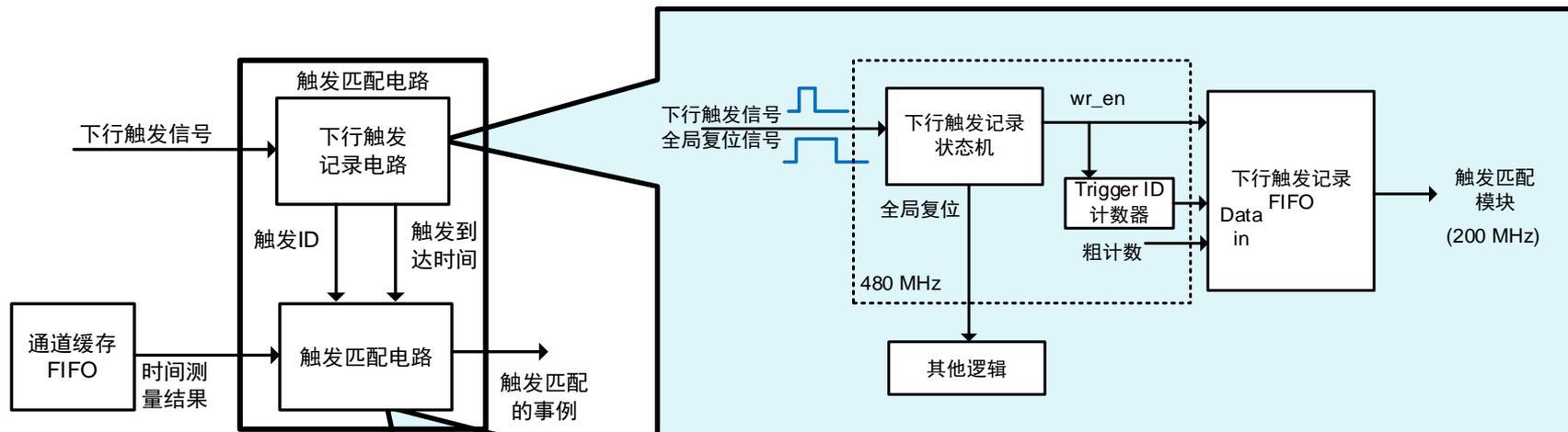
供电稳定性测试:

- 内核供电VCCINT要求0.95 V
- 测试范围 0.95 ± 0.004 V
- Bin的个数与供电正相关（测试范围内，变化最大的通道增加4个bin）
- 时间精度变化在0.1 ps RMS以内

对于设计:

- 内核供电设计采用纹波较小的LDO（根据手册 $40 \mu\text{V}$ ）
- 无需查找表修正

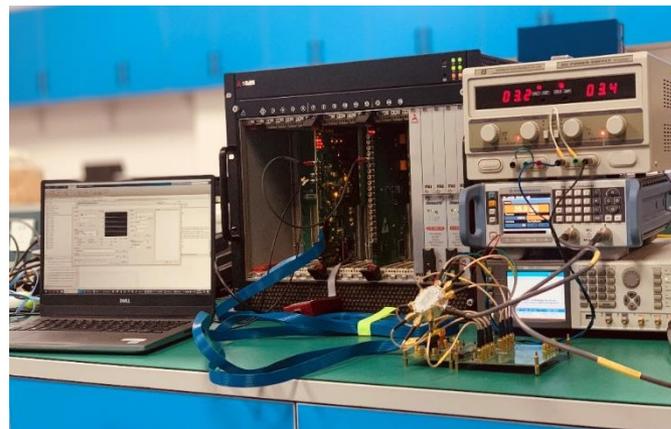
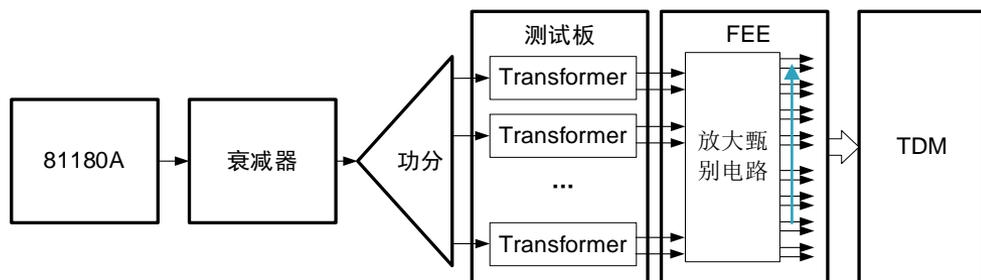
触发匹配模块设计



- 由下行触发记录电路和触发匹配电路组成
- 下行触发记录电路
触发延时，以满足测试需求；产生trigger信息写使能，记录trigger ID
- 触发匹配电路
剔除噪声，宇宙线等无效事例；基于FIFO实现

TOF电子学时间精度测试

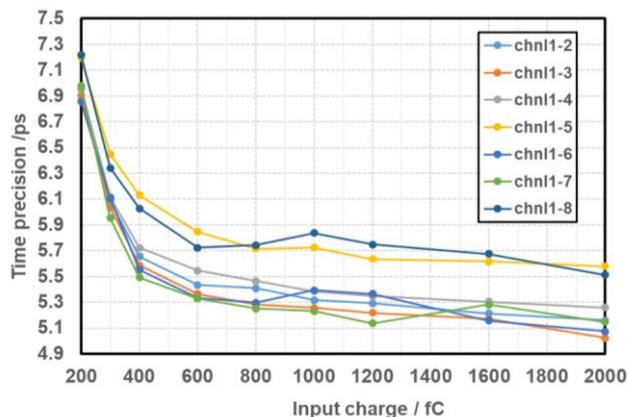
(1) NINO FEE+FPGA TDC 方案



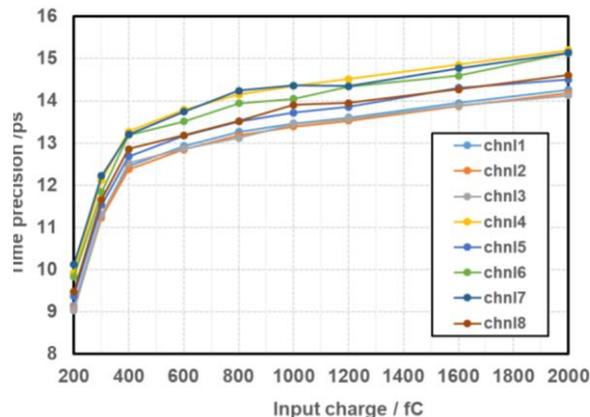
测试波形：上升沿500ps，底宽2ns

时间精度在4.9 ps RMS ~ 7.5 ps RMS, 满足设计预期

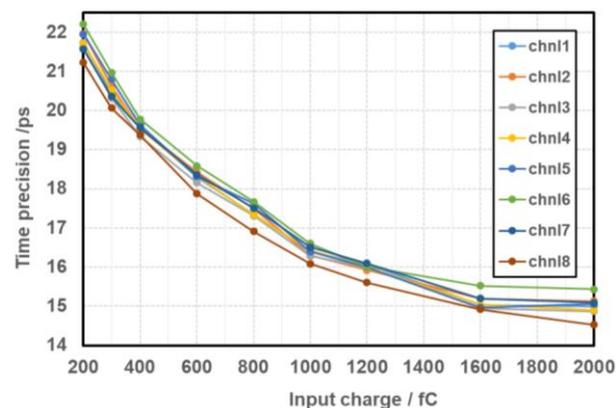
输出脉宽在9 ns~16 ns



前沿时间精度



TOT曲线



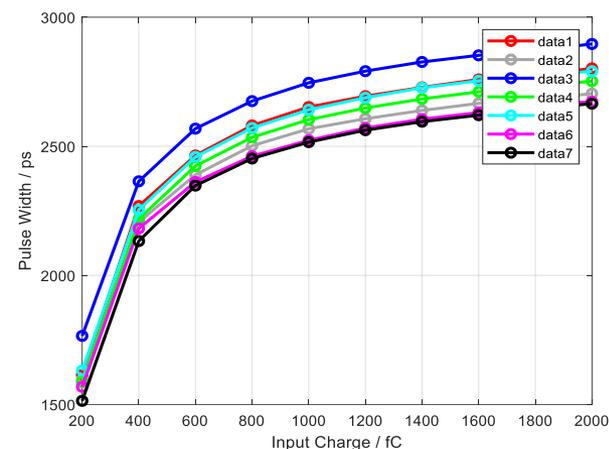
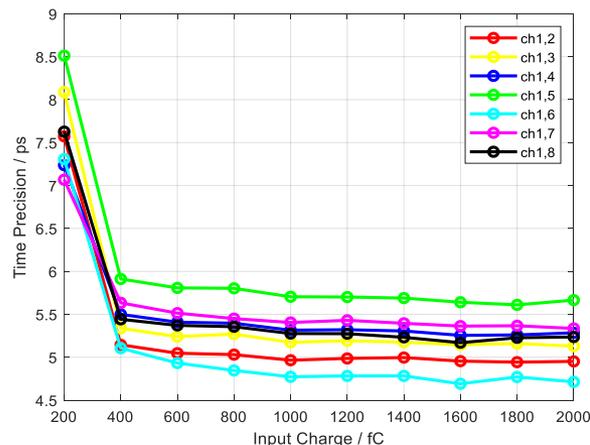
脉宽精度

TOF电子学时间精度测试

(2) PADI FEE +FPGA TDC 方案

时间精度在4.5 ps RMS ~ 8.5 ps RMS, 满足设计预期

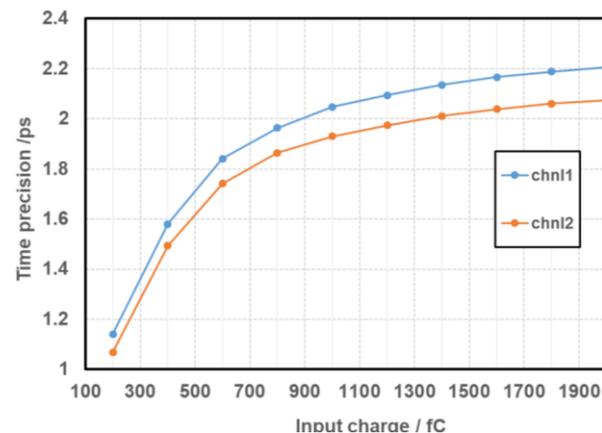
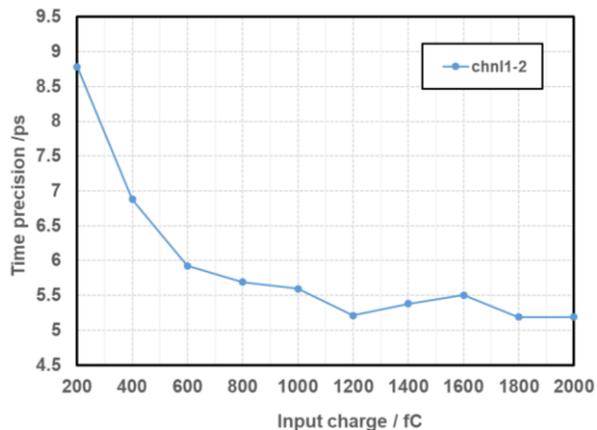
输出脉宽在1.5 ns~3 ns



(3) 分立器件+FPGA TDC 方案

时间精度在5 ps RMS ~ 8.7 ps RMS, 满足设计预期

输出脉宽在1 ns~2.2 ns



主要内容

- ▶ 基于高速甄别结合TDC的时间测量
- ▶ 基于高速波形采样的时间测量

波形数字化技术

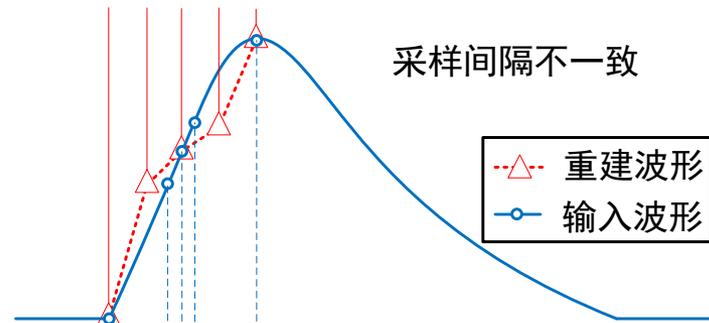
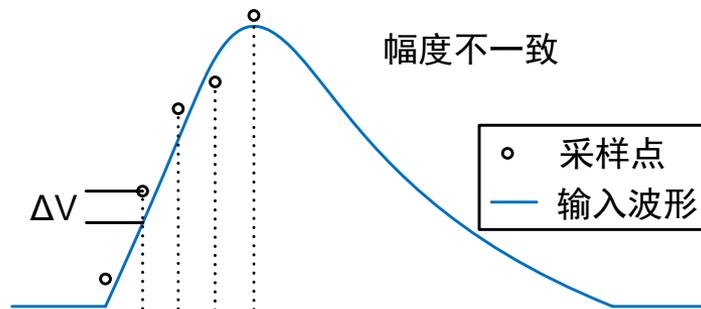
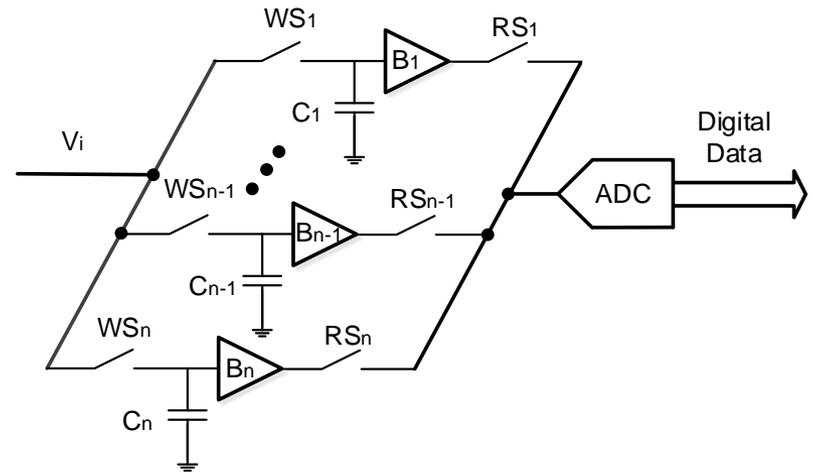
◆ 基于高速ADC

◆ 基于开关电容阵列 (SCA)

- 高速模拟采样配合较低的量化速率
- SCA功耗低、多通道集成

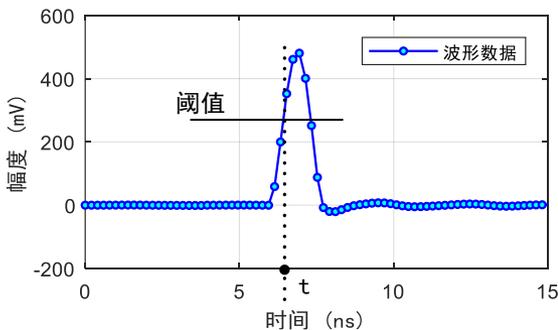
◆ SCA不一致性导致失真

- SCA不一致性修正后，时间测量精度可达到 <10 ps

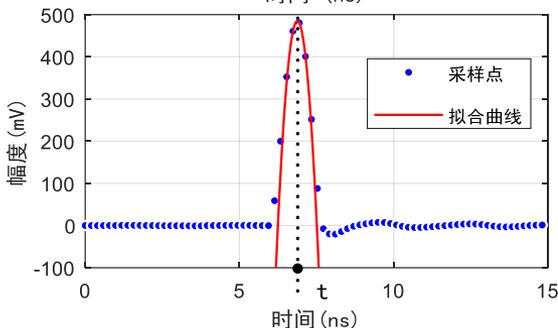


波形数字化技术——时间信息的提取

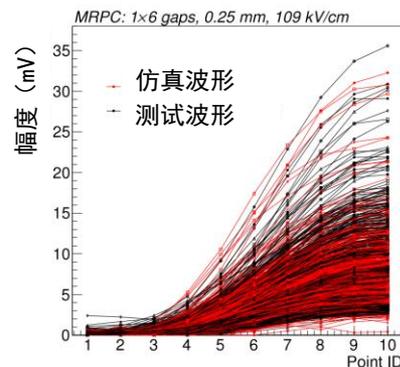
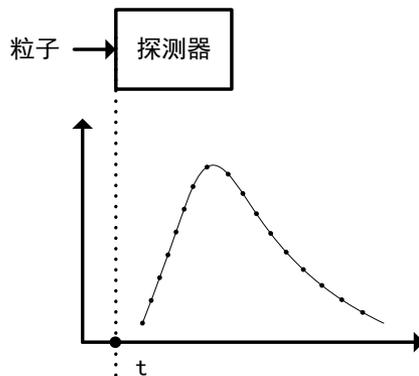
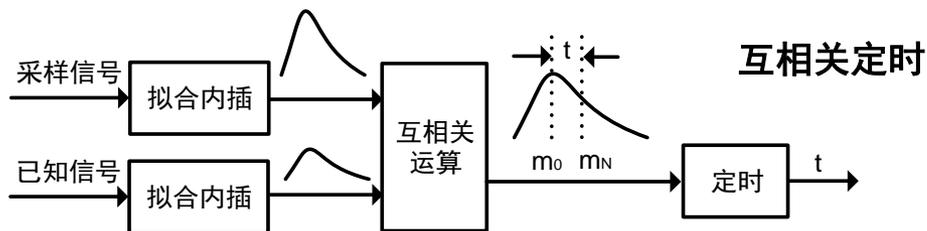
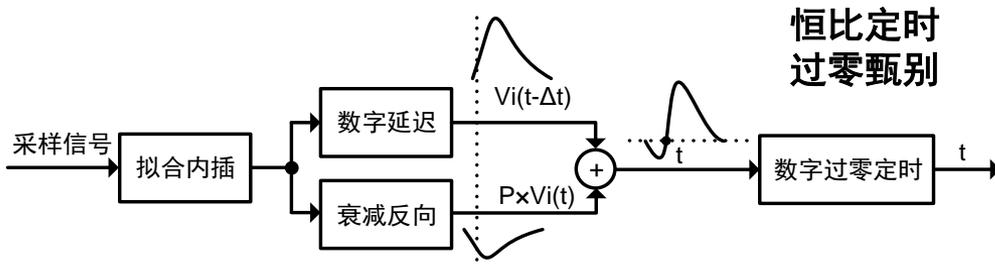
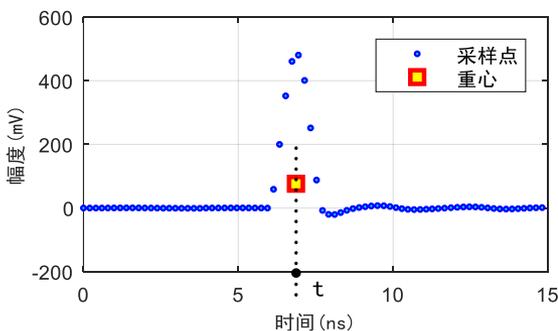
前沿定时



峰值定时



重心定时



NIMA.2018.09.059

神经网络

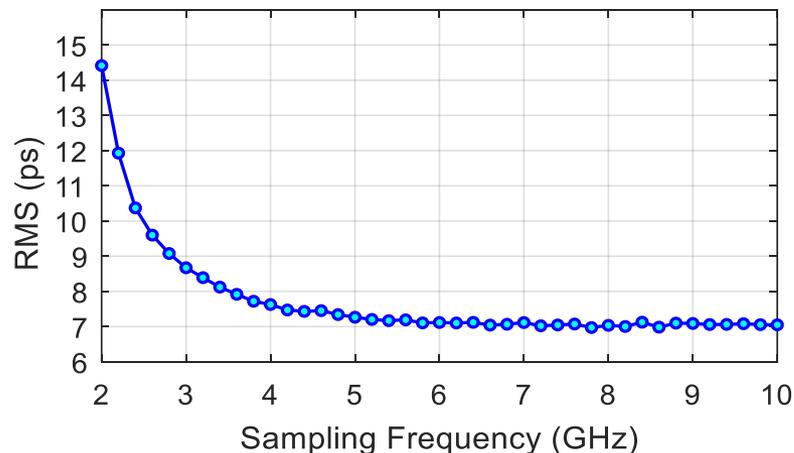
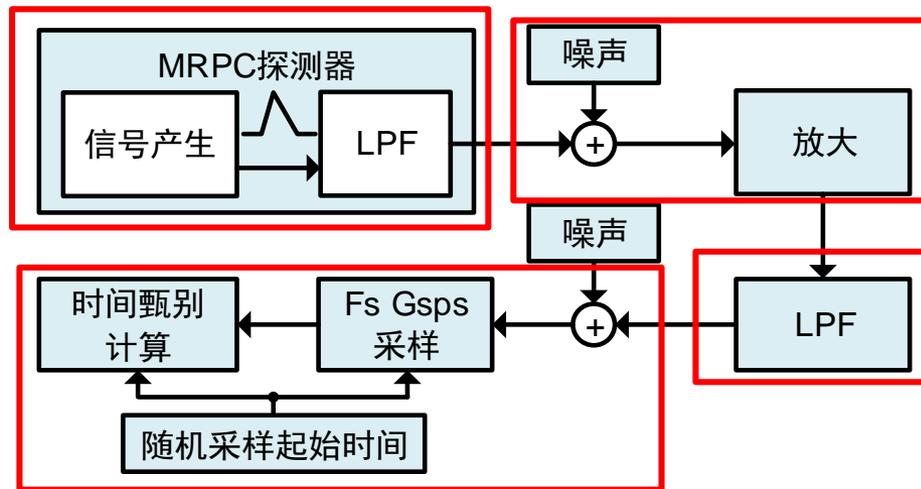
读出电子学核心参数——仿真验证

◆ 仿真模型搭建

- 仿真工具：MATLAB
- 信号幅度：5 mV
- 前放NSD：1.5 nV/ $\sqrt{\text{Hz}}$
- 放大倍数：20
- 波形数字化模块噪声：1.5 mV

◆ 仿真结果

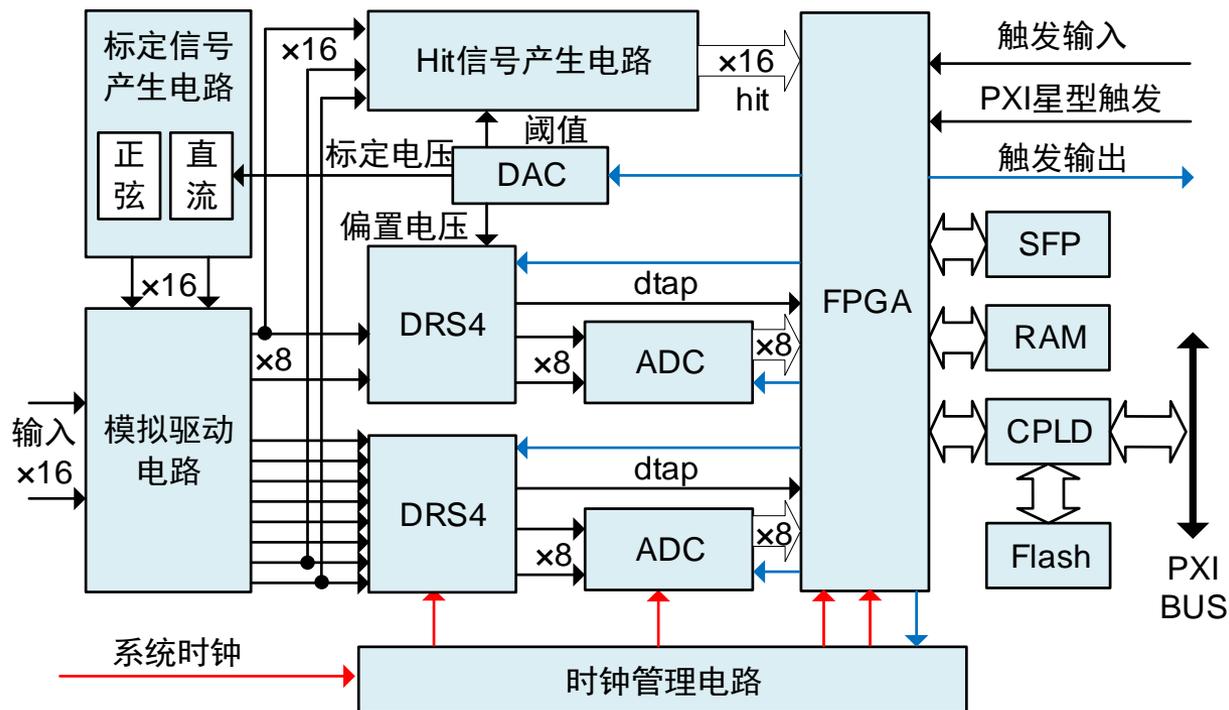
- 采样率3 Gsps后，好于10 ps
- 采样率高于5 Gsps后改善较少



波形数字化模块设计——硬件结构

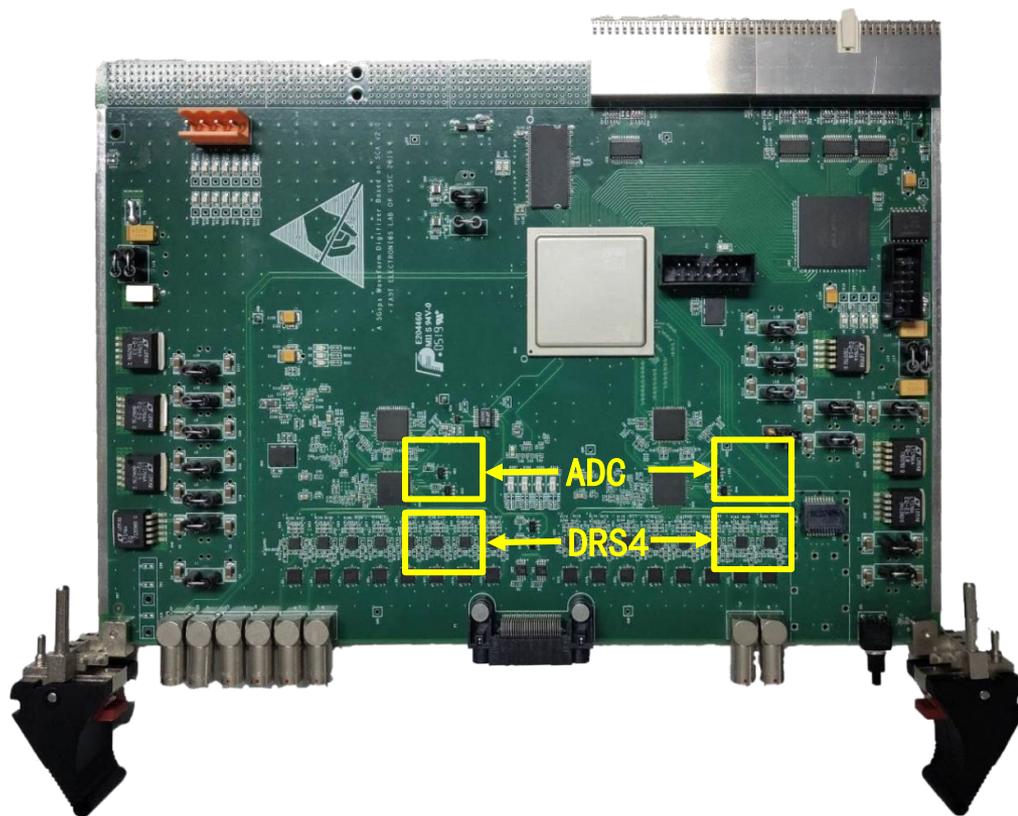
◆ 波形数字化模块结构

- 模拟前端电路
- HIT信号产生电路
- 数字信号处理电路
- 标定信号产生电路
- 时钟电路



读出电子学硬件设计

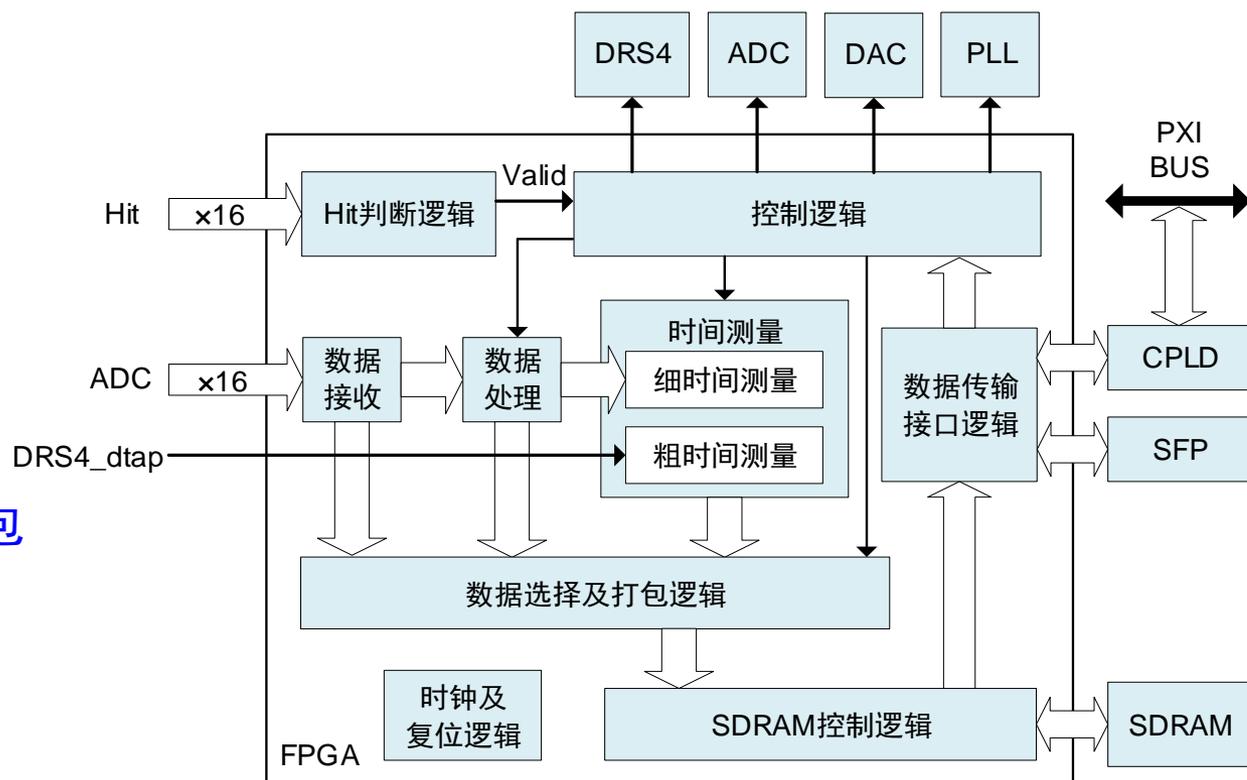
◆ 波形数字化模块实物照片



波形数字化模块逻辑设计

◆ 逻辑组成

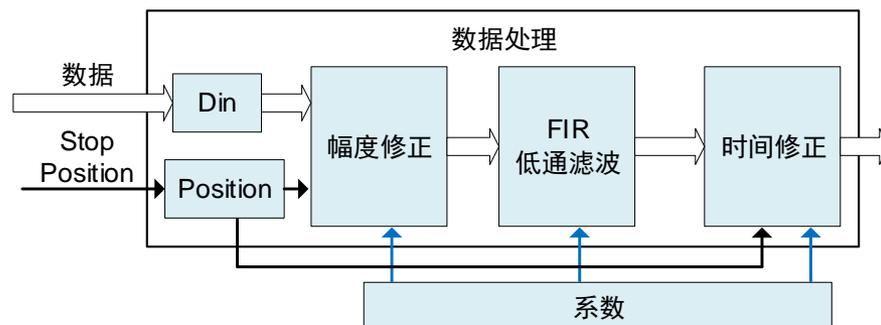
- 数据接收
- 实时数据处理
- 时间测量
- HIT判断
- 控制逻辑
- 数据选择及打包
- SDRAM控制
- 数据接口
- 时钟及复位



逻辑设计--实时数据处理

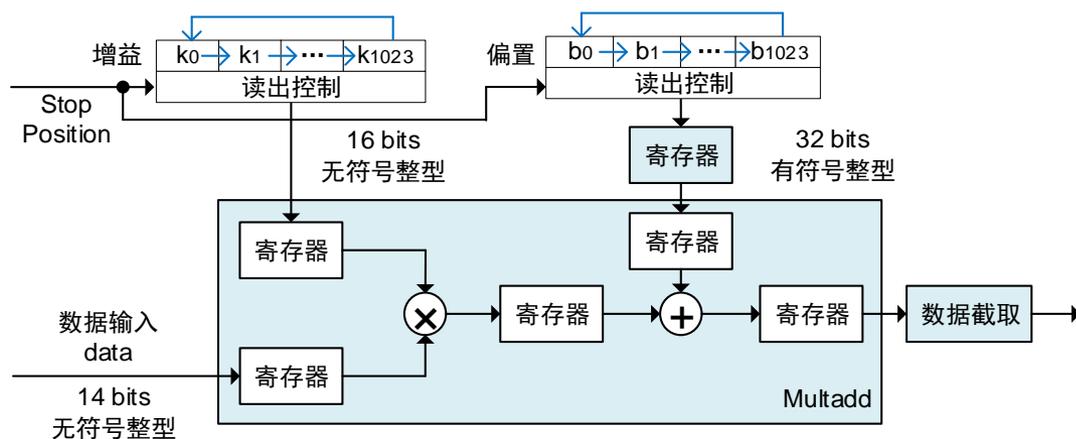
◆ 实时数据处理逻辑结构

- SCA幅度不一致性修正
- 采样波形FIR滤波
- SCA采样间隔不一致性修正



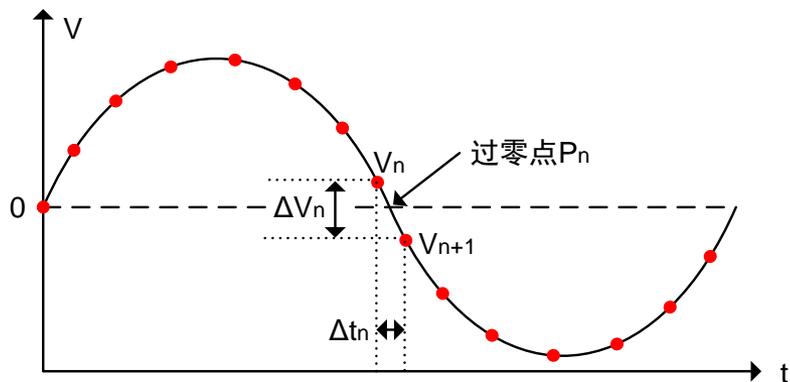
◆ 幅度修正逻辑

- 修正系数存于环形RAM
- 根据stop position对齐
- 运算：乘加运算



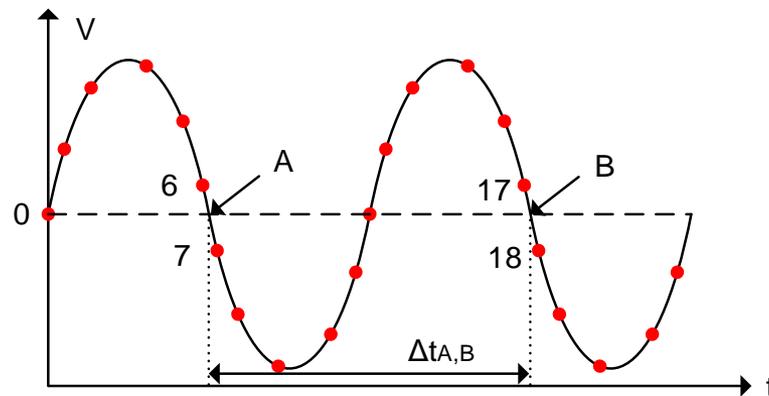
失配标定与修正

➤ 局部标定法



TNS: vol.59, no.5 (2012) 2435~2443

➤ 全局标定法



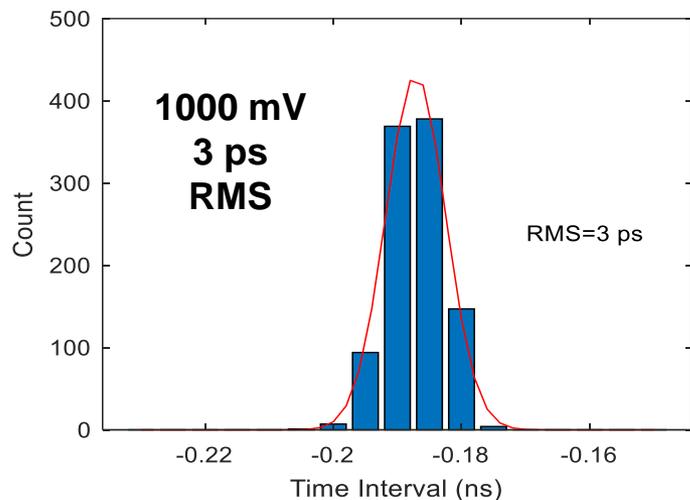
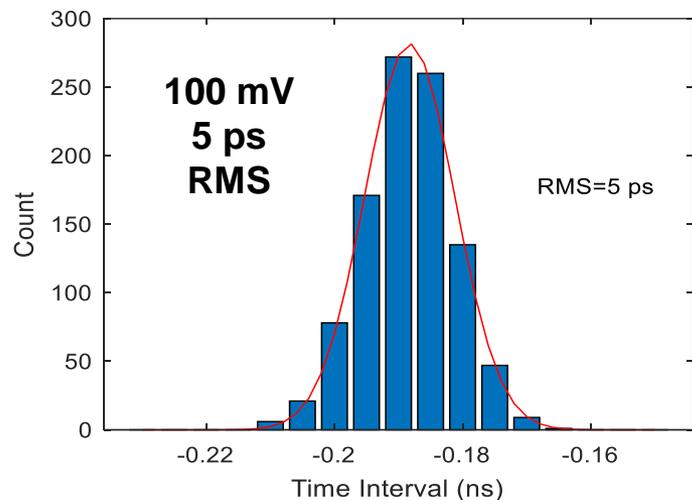
TNS: vol.61, no.6 (2014) 3607~3617

➤ 基于超定线性方程组的全局标定法

$$\begin{pmatrix} 0 & \cdots & 0 & a_1 & 1 & 1 & \cdots & 1 & 1 & b_1 & 0 & \cdots & 0 \\ 1 & \cdots & 1 & b_2 & 0 & 0 & \cdots & 0 & 0 & a_2 & 1 & \cdots & 1 \\ \vdots & & & & & & & & & & & & \\ 1 & \cdots & 1 & b_m & 0 & 0 & \cdots & 0 & 0 & a_m & 1 & \cdots & 1 \end{pmatrix} \begin{pmatrix} \Delta t_1 \\ \Delta t_2 \\ \vdots \\ \Delta t_n \end{pmatrix} = \begin{pmatrix} T_{sin} \\ T_{sin} \\ \vdots \\ T_{sin} \end{pmatrix}$$

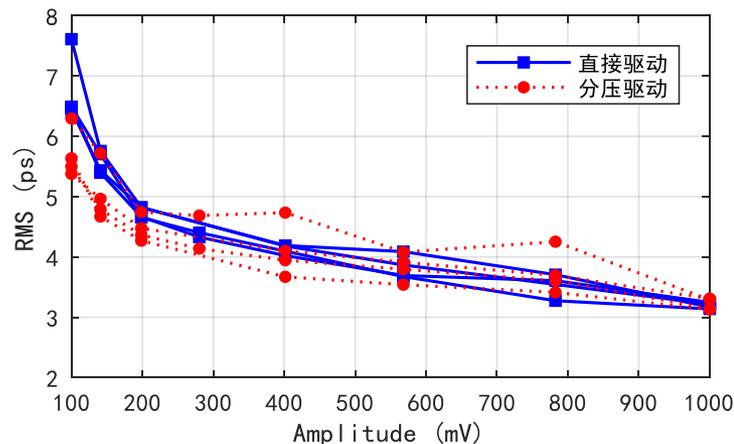
NIMA: 916 (2019) 71~76

实验室测试--波形数字化模块



◆ 不同输入信号幅度下精度测试

- 100 mV情况下: 5~8 ps
- 1000 mV情况下: 3 ps
- 100~1000 mV: 好于8 ps
- 模拟分压驱动方案性能更优, 好于7 ps

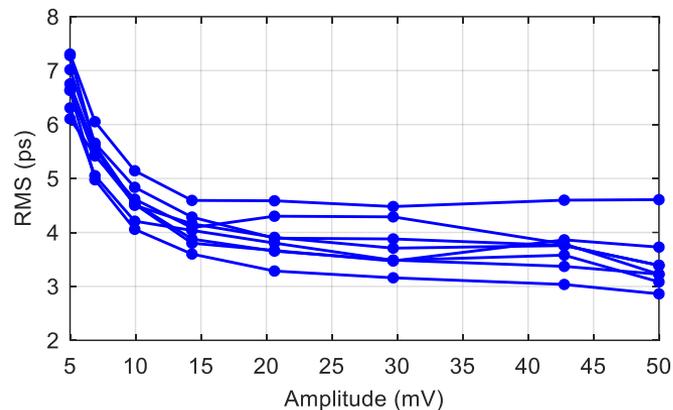
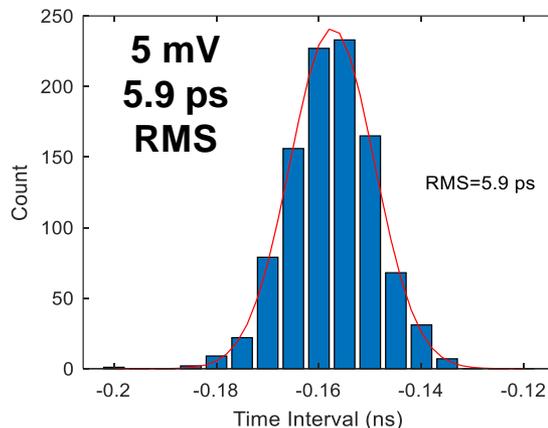


实验室测试--配合前放

◆ 时间精度测试

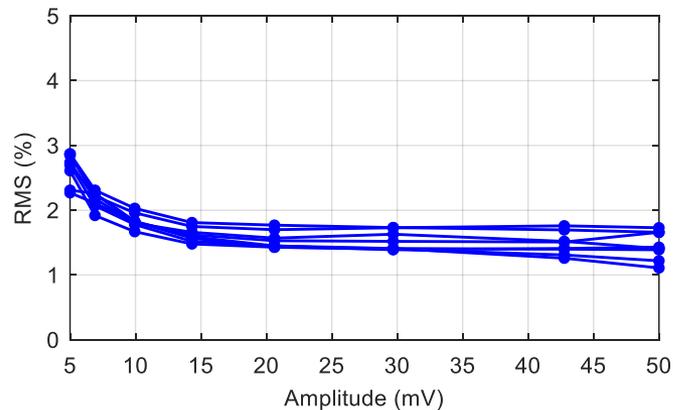
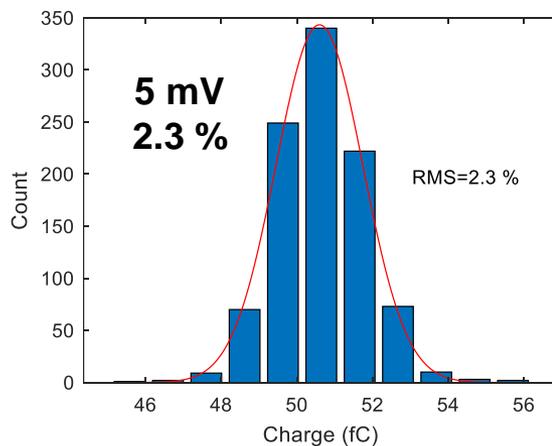
➤ 前放+数字化

➤ 好于8 ps



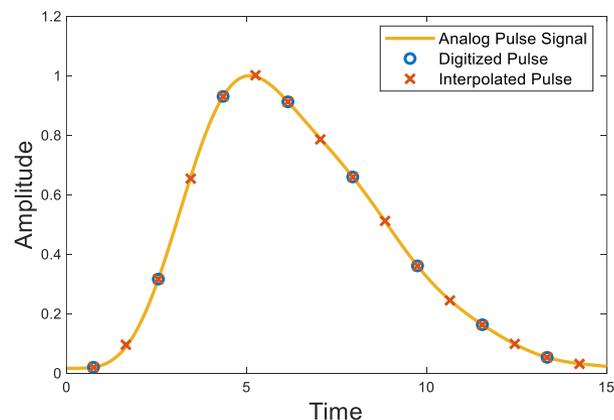
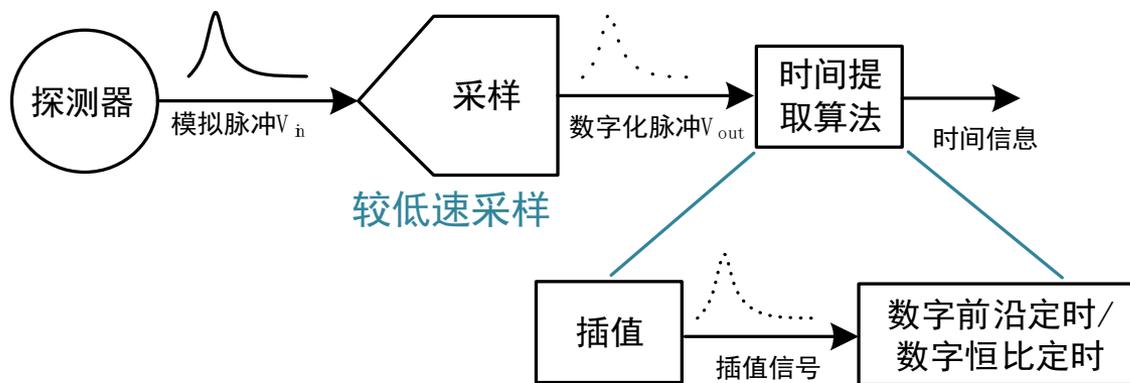
◆ 电荷精度测试

➤ 好于3 %



相对较低采样率下的高精度定时

- ▶ 进一步展开探索，研究在使用相对较低采样率(< 1 GSps)的条件下，达到高时间精度的方法。
- ▶ 基本思路
 - ◇ 将时间提取算法分为插值和数字前沿定时/数字恒比定时两个步骤
 - ◇ 先对数字化脉冲信号进行插值，然后提取插值后的数字信号中的时间信息
 - ◇ 通过插值的过程，等效提高采样率



“Research and Verification on Real-Time Interpolated Timing Algorithm Based on Waveform Digitization”, *IEEE Transactions on Nuclear Science*, Vol. 67, No. 10, Oct. 2020, pp. 2246-2254

波形数字化技术——插值

▶ 插值方法

◇ 线性拟合插值

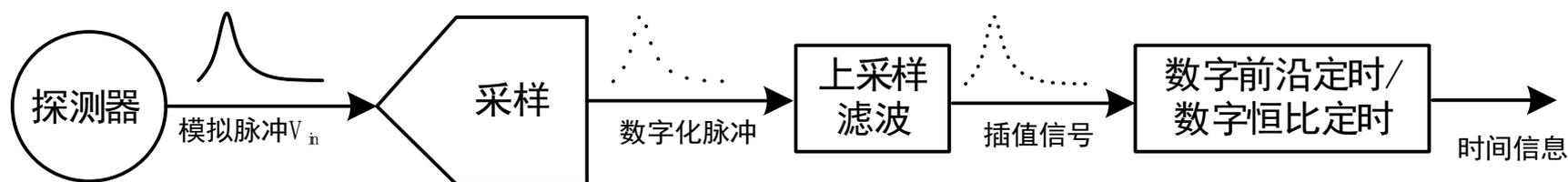
- 易于实现，当采样点稀疏时插值误差较大

◇ 三次样条插值、多项式拟合插值

- 对于波形有确定性要求

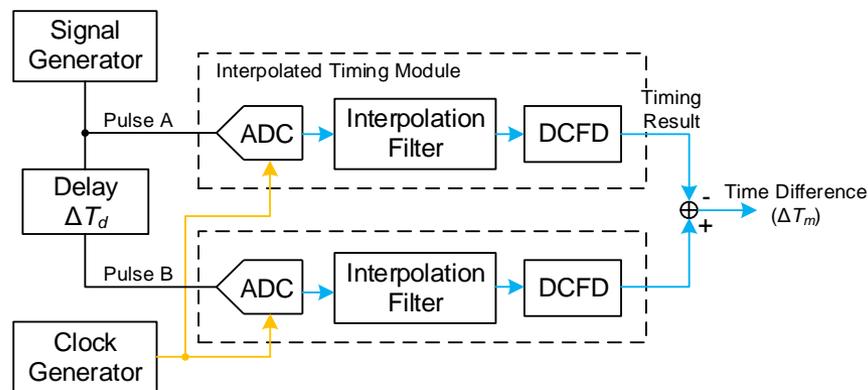
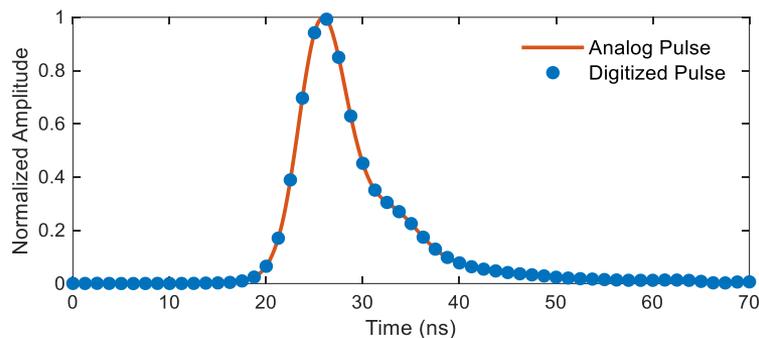
◇ 上采样滤波插值

- 分析信号的频谱特征，且适合硬件实现
- 对于理想的带宽受限信号，当满足奈奎斯特采样定理时，理论上上采样可严格恢复出原始波形的幅度



算法仿真

- ▶ 脉冲前沿 ~ 4 ns
- ▶ 分析不同参数设置下的时间精度
 - ◇ 采样率
 - ◇ 滤波器参数
 - ◇ 阈值
 - ◇ 噪声
- ▶ 通过分析仿真结果选取适当的参数



算法仿真

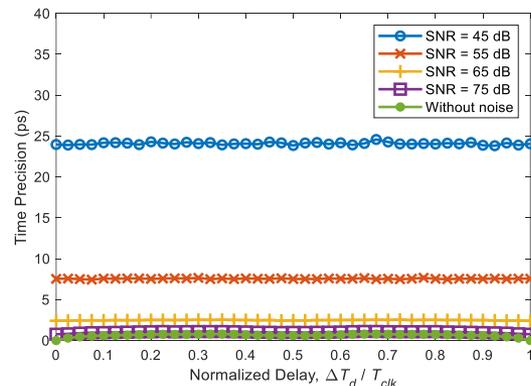
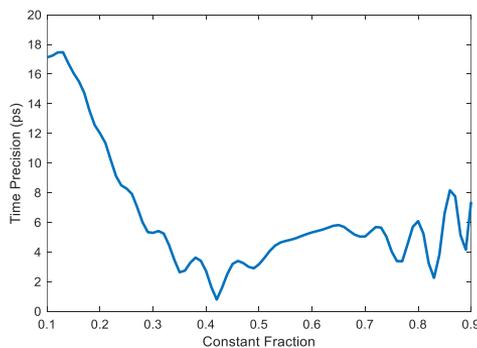
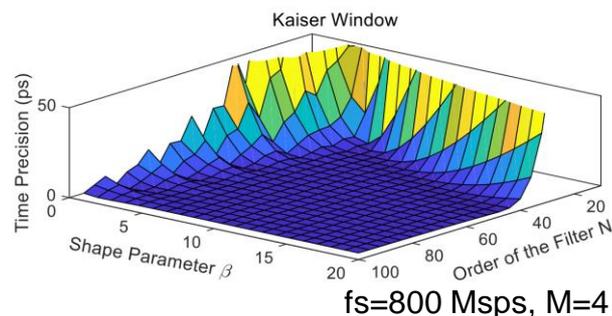
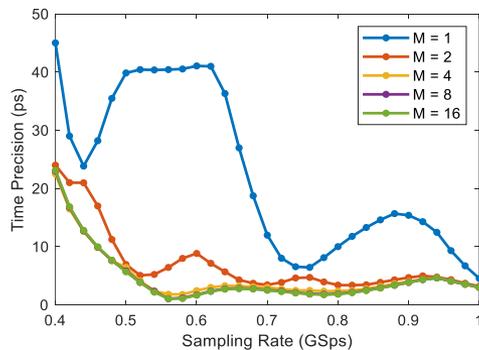
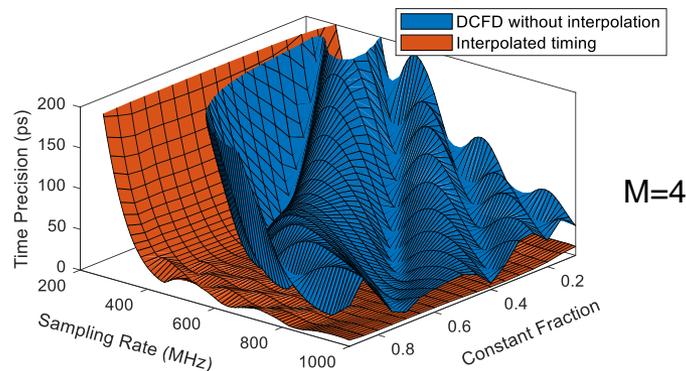
▶ 采样率

▶ 上采样滤波器参数

- ◇ 插值倍数
- ◇ 滤波器阶数
- ◇ 滤波器响应特性

▶ 阈值位置

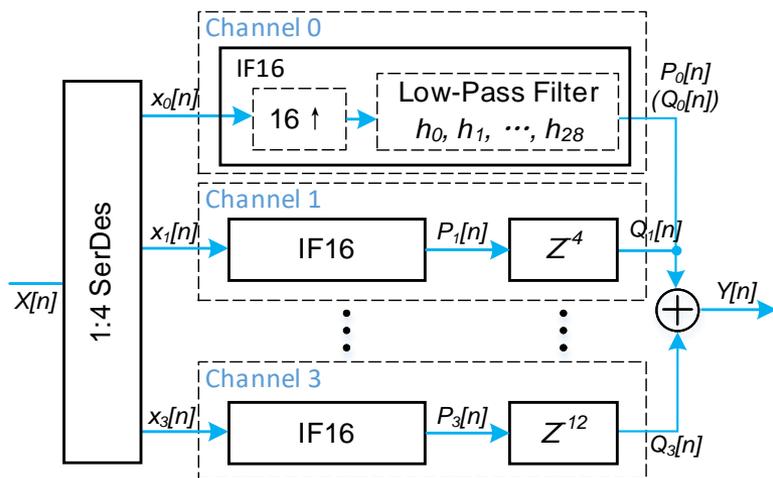
▶ 噪声



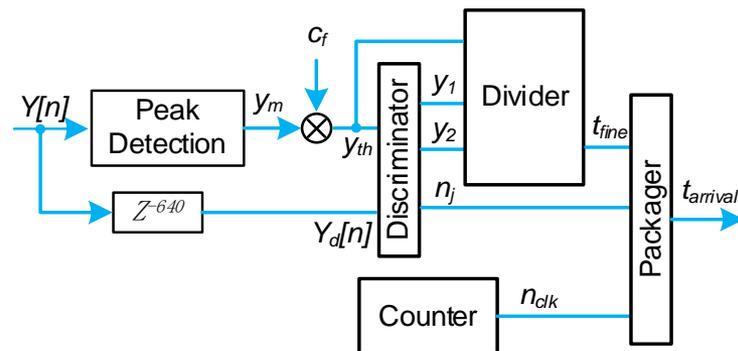
算法硬件实现

▶ 基于FPGA的逻辑设计

◇ 针对并行数据流的上采样滤波器实现



◇ 实时时间提取逻辑



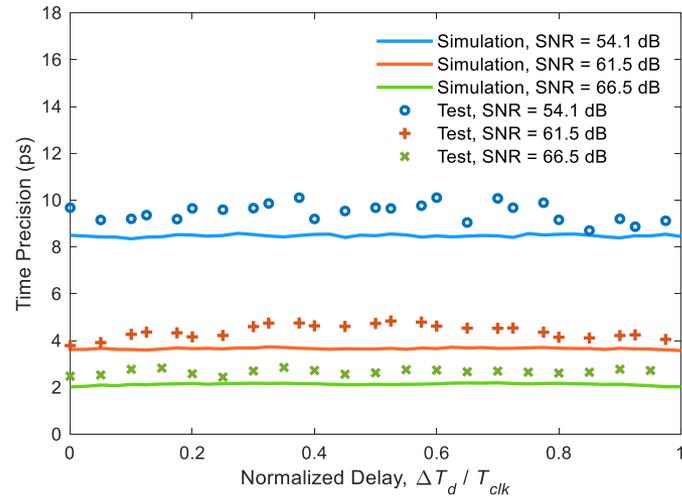
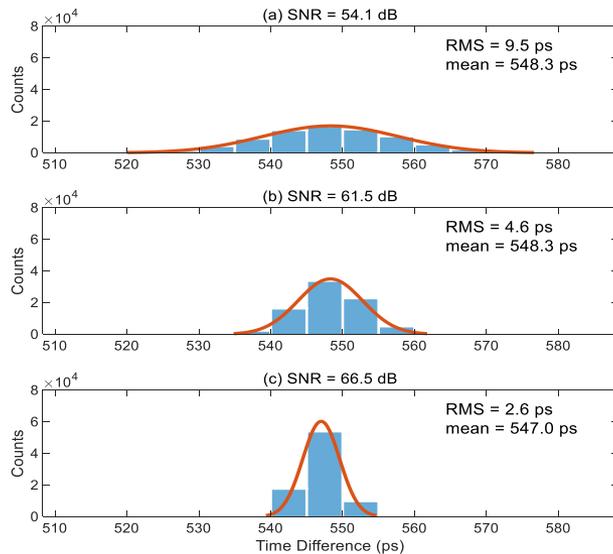
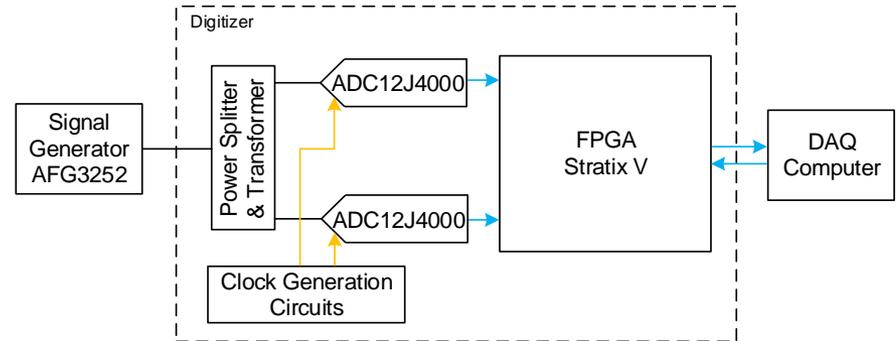
测试评估

测试平台

- 脉冲前沿约4ns
- ADC采样率800MSps

测试结果

- ~3 ps @ 800 MSps 12 bit, SNR = 66.5 dB



谢谢