



大型物理实验读出电子学 ASIC研究进展

赵 雷

中国科学技术大学

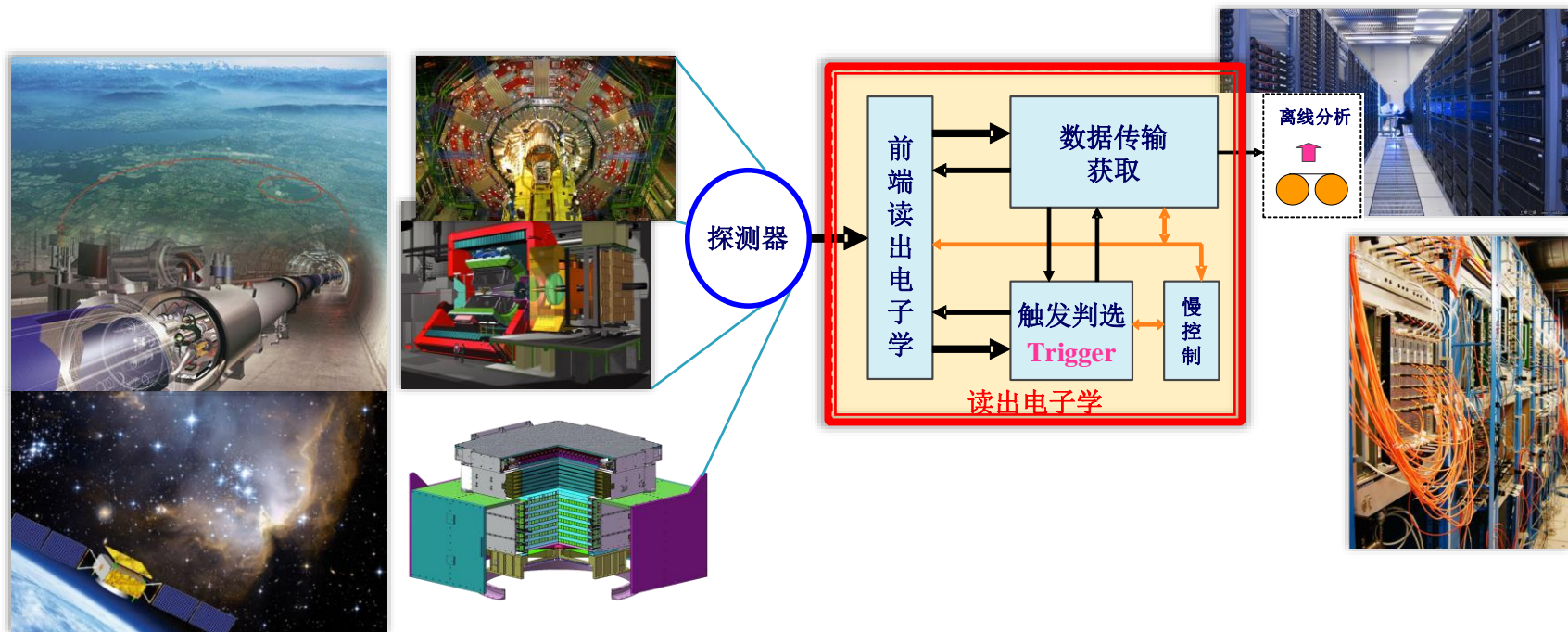
2022年11月11日

UNIVERSITY OF SCIENCE AND TECHNOLOGY OF CHINA

MODERN PHYSICS DEPARTMENT

研究背景

- 在大型核与粒子物理实验中，电子学是其中重要的组成部分和硬件载体。



- 探测器所感知的实验信息，须经电子学提取、处理、传输，才能为后方的分析系统所用。

研究背景

- ▶ 随着当代核与粒子物理实验的快速发展，对信号测量技术提出了新挑战：

- ◇ 更快的信号处理

- ns → 亚ns级脉冲

- ◇ 更高的测量精度

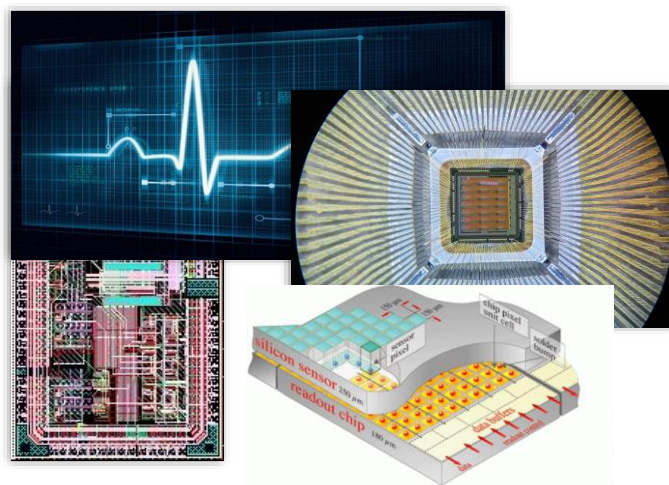
- ps级时间、亚fC电荷

- ◇ 巨大的电子学通道数

- 千→万→数十万通道

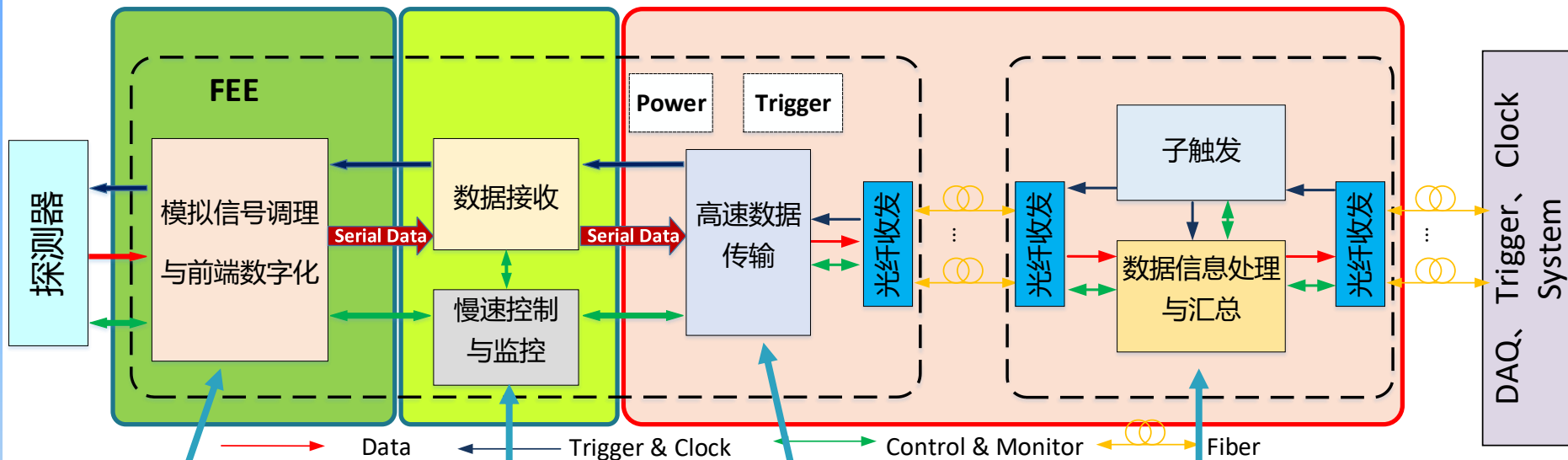
- ◇ 高可靠性

- 其他领域电子学无法满足此领域要求
- 须发展核心技术



掌握自主知识产权专用集成电路 (ASIC) 技术，
突破国外的技术壁垒

读出电子学系统



前端读出ASIC
电荷、时间
↓
位置、能量...

数据汇总芯片
(ROC)
慢控制芯片
(SCA)
...

高速传输芯片
(GBT)
光纤收发芯片
(VTT/VTR)
...

数字信号处理/
触发判选

报告内容

- ▶ 前端读出ASIC
 - ◇ 高精度电荷测量
 - ◇ 高精度时间测量
 - ◇ 高速波形数字化
 - ◇ 硅像素探测器读出
- ▶ 数据汇总与传输ASIC
 - ◇ 高速接口电路
 - ◇ 数据汇总
 - ◇ 光信号收发

报告内容

- ▶ 前端读出ASIC
 - ◇ 高精度电荷测量
 - ◇ 高精度时间测量
 - ◇ 高速波形数字化
 - ◇ 硅像素探测器读出
- ▶ 数据汇总与传输ASIC
 - ◇ 高速接口电路
 - ◇ 数据汇总
 - ◇ 光信号收发

高精度电荷测量ASIC

▶ 以如MPGD探测读出为代表的ASIC技术：

◇ 特点：低噪声、高集成度

◇ 大致分类：

- 纯模拟读出 → 电荷
- 片内甄别 → 电荷、时间
- 半数字化 → 电荷、时间
- 全数字化输出 → 电荷、时间
 - 放大、成形测量电荷+放大甄别测量时间
 - 放大成形后波形数字化



更多功能集成
更高集成度、更低功耗
更高事例率...

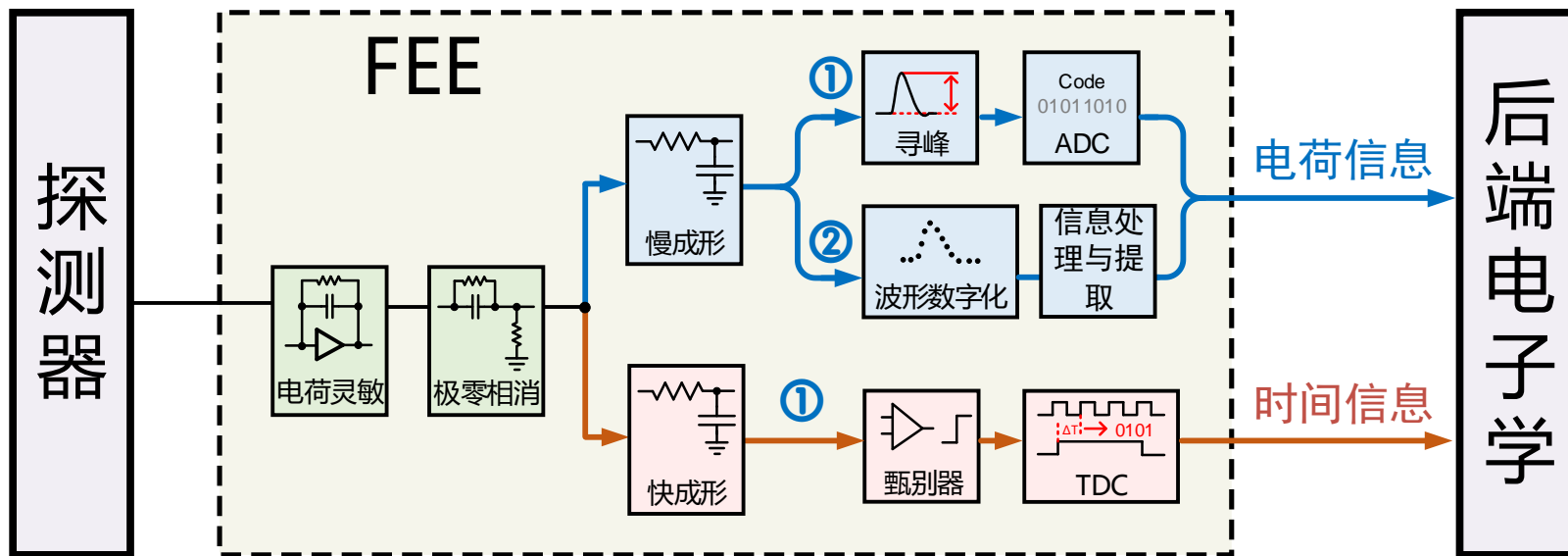
▶ 以宇宙线物理实验读出为代表的ASIC技术：

◇ 大动态范围

◇ 时间+电荷测量

...

高精度电荷测量ASIC



典型ASIC芯片

名称	通道数	技术路线	成形时间 (ns)	噪声	动态范围	功耗 mW/ch	事例率	时间精度	应用实验	探测器类型	研制单位	工艺
CASAGEM	17	模拟输出 CSA+Shaper	20 to 80	173.2 e +16.52 e/pF @ 80 ns	Up to 1 pC	11	-	-	nTPC	GEM	清华	350 nm
CATIA	1	模拟输出 TIA	none	1.8 fC @ 7.2 pC 18 fC @ 72 pC	Up to 72 pC	-	-	30 ps @1.8 pC	CMS ECAL barrel	APD	Université Paris-Saclay, France	130 nm
-	2	模拟输出 CSA+Shaper	90 to 250	278.2 e +26 e/pF	15 fC	8.7	344 kHz @ 8fC	4 ns @ corrected	CBM experiment at FAIR center, Germany	silicon microstrip	AGH University of Science and Technology, Poland	180 nm
FEAM	8	模拟输出 CSA+Shaper	80 to 1000	4000 e @100 pF Cin	1 pC	6.6	10 kHz	3 ns @14 fC	CEE MWDC	MWDC	近物所	-
-	16	模拟输出 CSA+Shaper	25 to 250	17,000e @10 pC Range @100 pF Cin @120 ns τ peak	Up to 10 pC	8.6	200 kHz	-	CSNS Back-n	MPGD	中科大	180 nm
-	12	模拟输出 CSA+Shaper	350 to 1430	59 e @0 pF Cin	0.6 fC; 2 fC	1.25	-	-	-	-	西工大	-
XAA1.2	128	片内甄别 CSA+Shaper +Discr. +Peak S&H	2000	935 e @ 30 pF Cin	5 fC	1	0.02	-	SuperAGILE X-ray imager onboard the AGILE satellite	silicon microstrip	INAF, Italy	800 nm
VATA241	64	片内甄别 CSA +Shaper +Discr.	190	1300 e +65 e/pF	72 fC	-	500 kHz	1 ns @ 72 fC	BrainPET scanner	APD	CIEMAT, Spain	-
SENSROC13	4	片内甄别 CSA+Shaper +Discr.	250	57 e +20 e/pF	15 fC	1.25	1 MHz	-	electronic personal dosimeter	Si-PIN	西工大	350 nm
-	8	片内甄别 Current conveyor +Discr.	-	592.4 e + 50.7 e/pF	50 fC	17.6	120 MHz	22.7ps +2.3ps/pF @ 15 fC	X-ray time-resolved	APD	国科大	130 nm
RX64	64	片内甄别 CSA+Shaper +Discr.	500 to 1000	167 e @ 2.5 pF Cin	3.2 fC	2.5	200 kHz	-	digital X-ray imaging	silicon microstrip	Universita del Piemonte Orientale, Italy	800 nm
CBC3	254	片内甄别 CSA+Shaper +Discr.	25	200 e +100 e/pF	8 fC	1.65	1 MHz	-	CMS Tracker at the High Luminosity LHC	silicon microstrip	Imperial College London, UK	130 nm
-	4	片内甄别 CSA+Shaper +Discr. +Peak S&H	160 to 1000	3000 e @1 pC Range 30,000 e @10 pC Range	Up to 10 pC	-	20 kHz	-	-	塑闪阵列探 测器	近物所	-

典型ASIC芯片

名称	通道数	技术路线	成形时间 (ns)	噪声	动态范围 (fC)	功耗 mW/ch	事例率	时间精度	应用实验	探测器类型	研制单位	工艺
APV25	128	半数字化 CSA+Shaper +SCA	50	270e+38e/pF	20 fC	2.7 @20 MSps	1 kHz @ full readout	< 1 ns @ 20 fC	CMS tracker	GEM, silicon microstrip	Imperial College, UK	250 nm
-	32	半数字化 CSA+Shaper +Disc. +S&H +Wilkinson ADC	3000	2099 e +1.5 e/pF	300 fC	3.5	-	-	Onboard the International Space Station	APD	Waseda University, Japan	350 nm
AGET	64	半数字化 CSA+Shaper +SCA	50 to 1000	900e @120 fC Range @30 pF Cin @230 ns τ_{peak}	Up to 10 pC	10 @40 MSps	< 1 kHz	< 1 ns @ 20 fC	SPIRAL2 at GANIL in France RIKEN at Wako in Japan FAIR at Darmstadt in Germany etc.	GEM TPC	CEA Saclay, France	350 nm
TIGER	64	全数字化 CSA+Shaper +S&H +TAC +Wilkinson ADC	170	1500e+10e/pF	50 fC	12	60 kHz	30 ps @ TDC only	BESIII	GEM TPC	Politecnico di Torino, Italy	110 nm
SAMPA	32	全数字化 CSA+Shaper +SAR SCA +DSP	160 to 300	800e @67 fC Range @22 pF Cin @160 ns τ_{peak}	Up to 500 fC	19 @20 MSps	50 kHz	-	ALICE TPC and MCH at LHC	GEM TPC, MWPC MCH	Escola Politécnica da Universidade de São Paulo, Brazil	130 nm
VMM3	64	全数字化 CSA+Shaper +S&H +TAC +SAR ADC	25 to 200	2280e @110 fC Range @100 pF Cin @25 ns τ_{peak}	Up to 2 pC	15	1 MHz	< 1 ns	New Small Wheels Phase I upgrade project of the ATLAS	MPGD TPC	Brookhaven National Laboratory	130 nm
STS-XYTER2	128	全数字化 CSA+Shaper +Discr. +TDC +flash ADC	30	583 e +44 e/pF	15 fC	11	150 kHz	-	CBM experiment at FAIR center, Germany	silicon microstrip	AGH University of Science and Technology, Poland	180 nm
-	1	全数字化 CSA+Shaper +S&H +SAR ADC +Disc. +TDC	200 to 800	898.6 e +5.2 e/pF @ 800 ns τ_{peak}	400 fC	70	400 kHz	300 ps @100 fC	ECAL	APD	西工大	180 nm
WASA	16	全数字化 CSA+Shaper +SAR ADC	160	941e+19.8e/pF	120 fC	2.33 @40 MSps	-	-	CEPC experiment	MPGD TPC	清华	65 nm
-	32	全数字化 CSA+Shaper +SCA +Wilkinson ADC	70	1100e @48 fC Range @20 pF Cin @70 ns τ_{peak}	48 fC	20 @120 MSps	100 kHz	< 1 ns @ 20 fC	STCF RICH PID	MPGD	中科大	180 nm
-	8	全数字化 CSA+Shaper +Disc. +SAR ADC	180 to 900	-	Up to 10 pC	-	-	-	-	-	近物所	-

模拟读出 [国外]

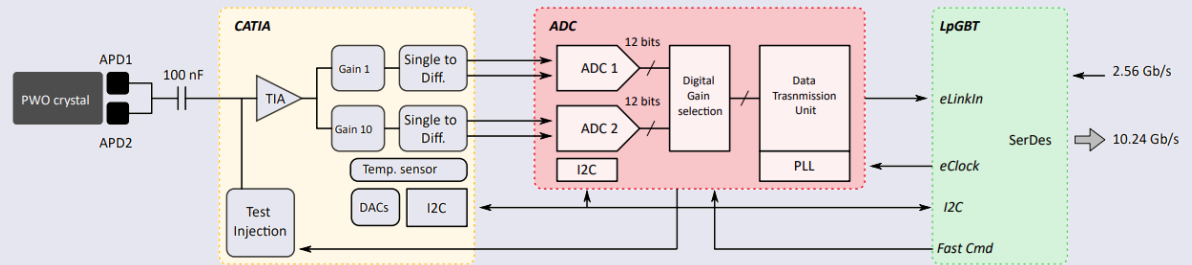
① CATIA

通道数：128

动态范围：20 fC

噪声：270 e⁻ + 38 e⁻/pF

功耗：2.7 mW/ch



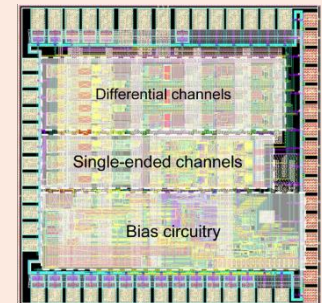
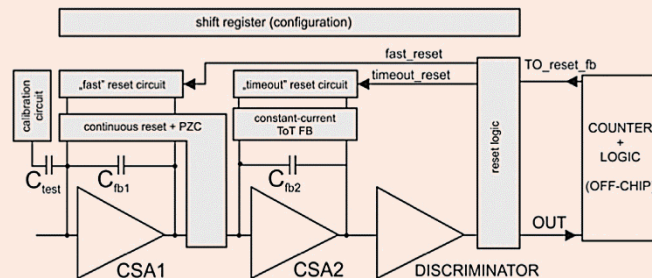
② AGH University of Science and Technology

通道数：2

动态范围：15 fC

噪声：278.2 e⁻ + 26 e⁻/pF

功耗：8.7 mW/ch



片内甄别 [国外]

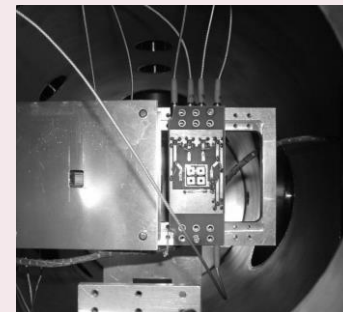
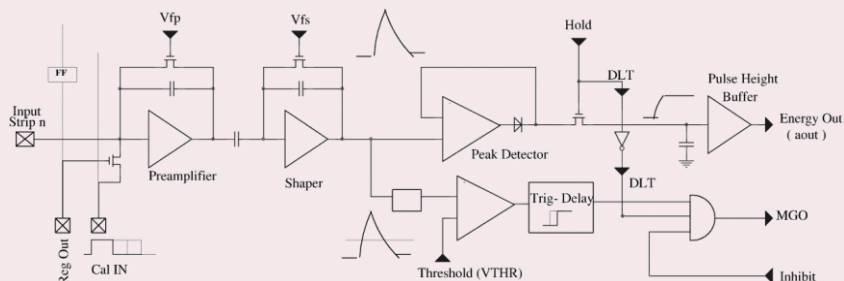
① XAA1.2

通道数: 128

动态范围: 5 fC

噪声: $935 e^- @ 30 \text{ pF } C_{in}$

功耗: 1 mW/ch



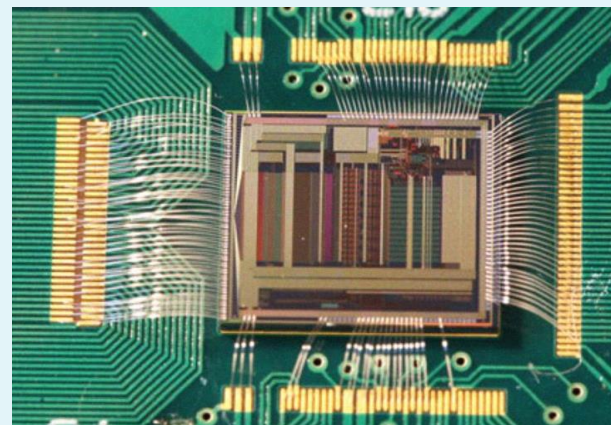
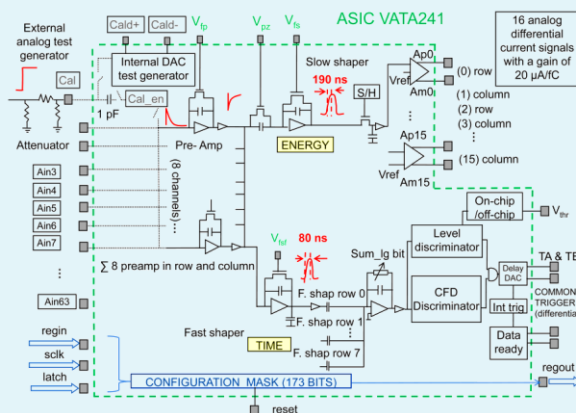
② VATA241

通道数: 128

动态范围: 15 fC

噪声: $583 e^- + 44 e^-/\text{pF}$

功耗: 8 mW/ch



...

半数字化 [国外]

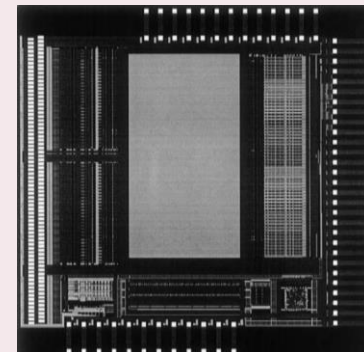
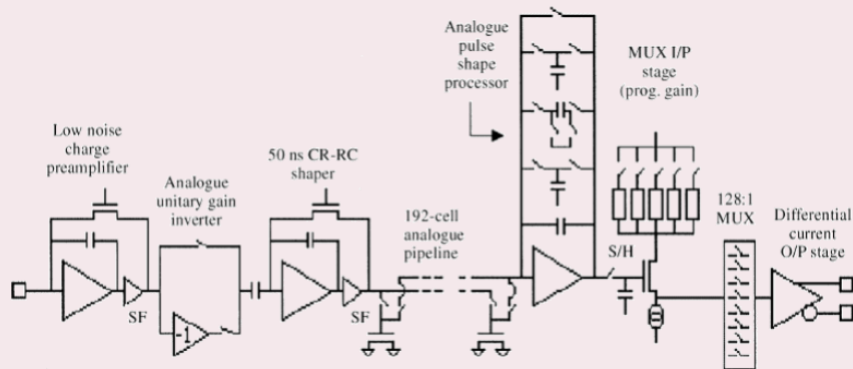
① APV25

通道数: 128

动态范围: 20 fC

噪声: $270 e^- + 38 e^-/pF$

功耗: 2.7 mW/ch



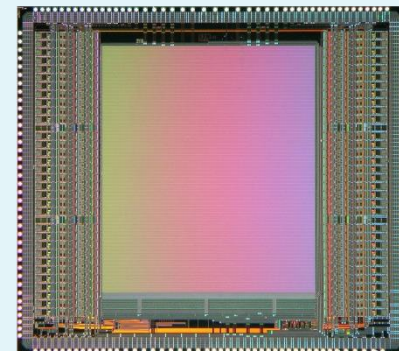
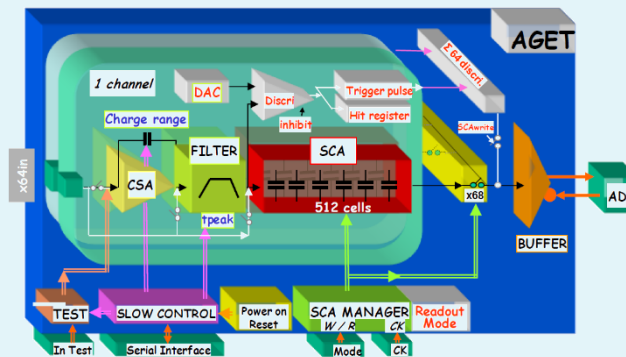
② AGET

通道数: 64

动态范围: Up to 10 pC

噪声: $(435 \sim 34000) + (19 \sim 7.4) e^-/pF$

功耗: 10 mW/ch



...

全数字化 [国外]

① VMM3

通道数：64

动态范围：Up to 2 pC

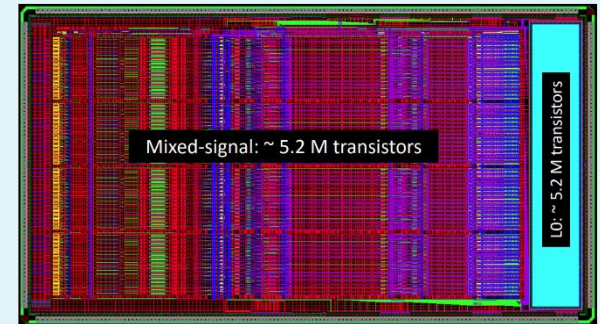
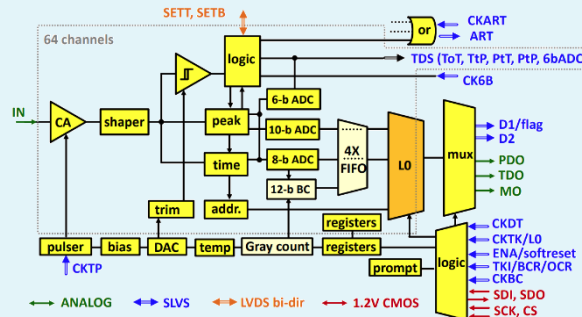
噪声：2280 e⁻

@110 fC Range

@100 pF C_{in}

@25 ns T_{peak}

功耗：15 mW/ch



② SAMPA

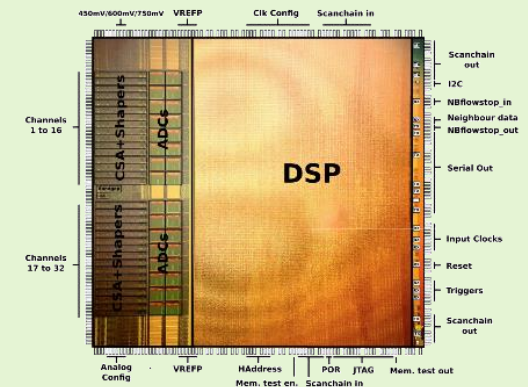
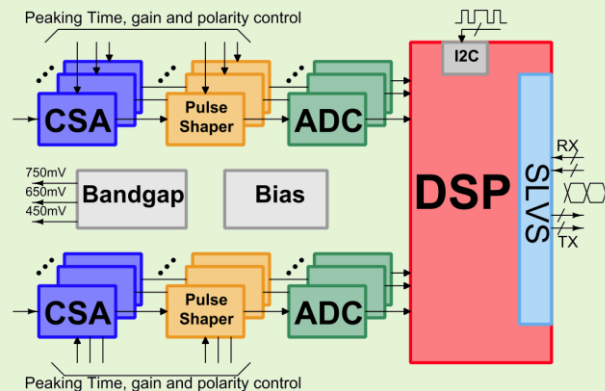
通道数：32

动态范围：500 fC

噪声：< 1600 e⁻

@80 pF C_{in}

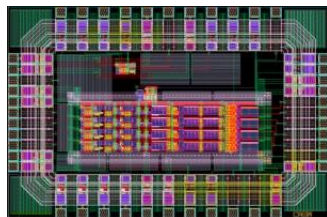
功耗：8 mW/ch



气体径迹探测器读出ASIC(清华)

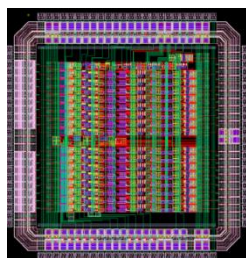
集成度：模拟前端→波形采样→数字滤波
工艺：350nm→180nm→65nm

CASA: 4ch CSA+Shaper



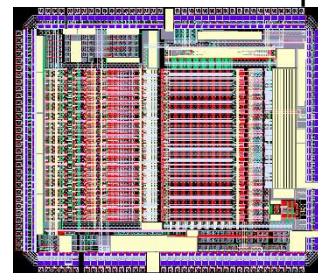
2008

CASAGEM: 16ch CSA+Shaper



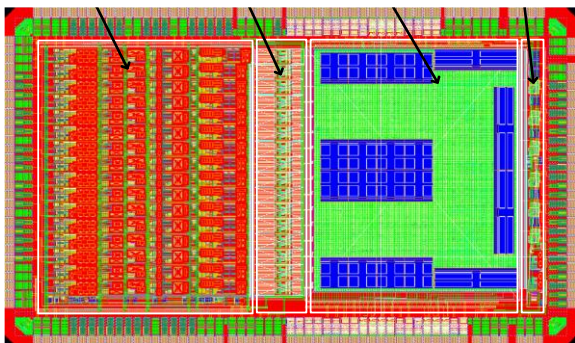
2010

CASCA: 32ch CSA+Shaper+SCA



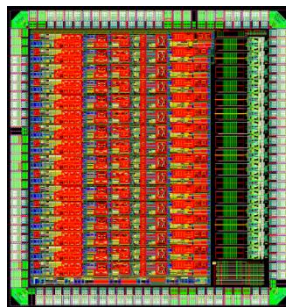
2014

WASA: 16ch AFE+ADC+DSP



2021

WASA: 16ch AFE+ADC



2019

GERO: 16ch SCA



2018

模拟读出 [国内]

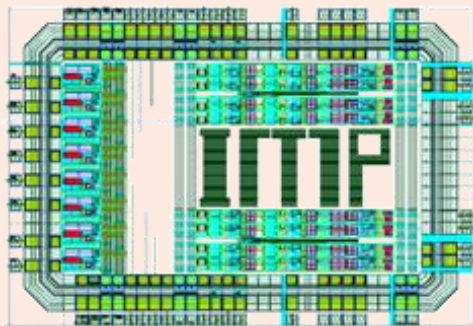
① FEAM (近物所)

通道数: 8

动态范围: 1 pC

噪声: 4000 e⁻
@100 pF C_{in}

功耗: 6.6 mW/ch



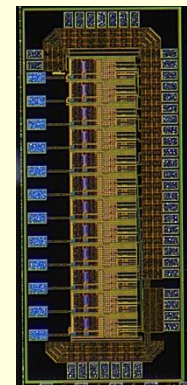
② 低噪声辐射探测读出ASIC(西工大)

通道数: 12

动态范围: 2 fC

噪声: 59 e⁻
@0 pF C_{in}

功耗: 1.25 mW/ch



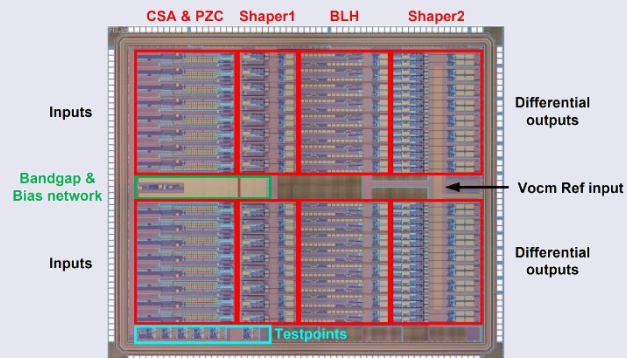
③ MTPC readout ASIC (中科大)

通道数: 16

动态范围: Up to 10 pC

噪声: 17000 e⁻
@10 pC Range
@100 pF C_{in}
@480 ns T_{peak}

功耗: 8.6 mW/ch



片内甄别 [国内]

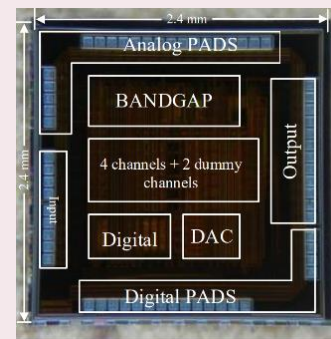
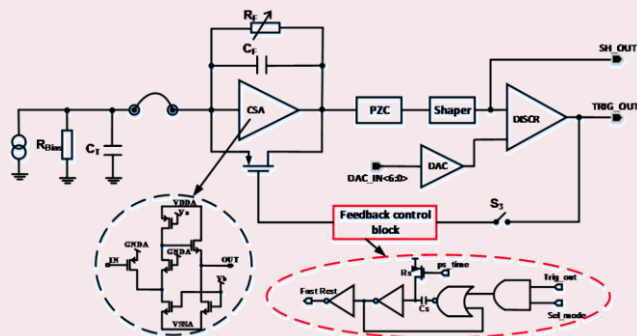
① SENSROC13 (西工大)

通道数: 4

动态范围: 15 fC

噪声: $119 e^- + 5 e^-/\text{pF}$

功耗: 1.25 mW/ch

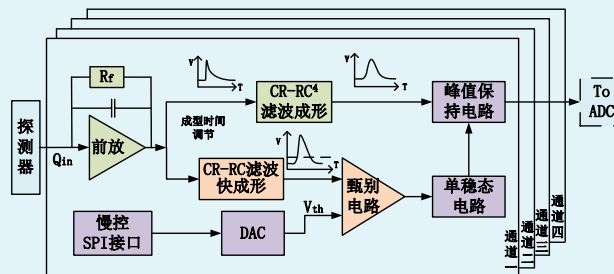


② 塑闪探测器前端ASIC (近物所)

通道数: 4

动态范围: Up to 10 pC

噪声: $< 5 \text{ fC @ } 10 \text{ pC Range}$

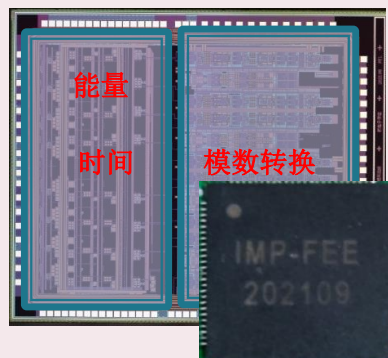


全数字化 [国内]

① 波形采样读出前端芯片（近物所）

通道数：8

动态范围：Up to 10 pC



② ECAL（西工大）

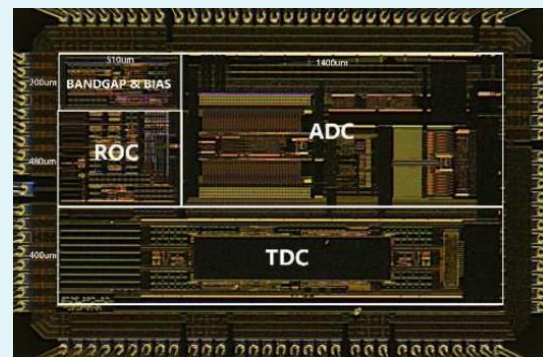
通道数：1

动态范围：400 fC

噪声：898.6 e⁻

+ 5.2 e⁻/pF

功耗：70 mW/ch



③ MGPD读出芯片（中科大）

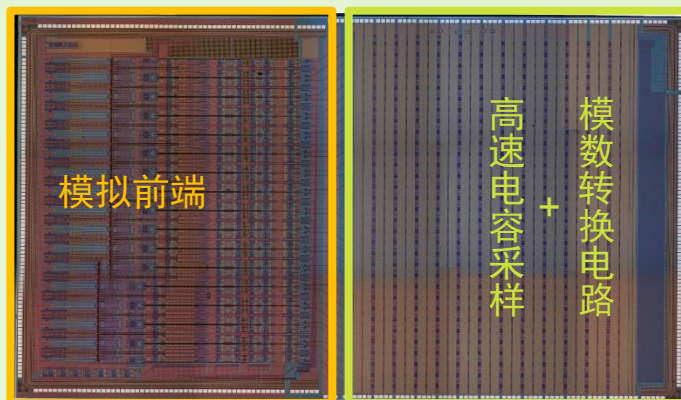
通道数：32

动态范围：48 fC

噪声：< 1100 e⁻

@20 pF C_{in}

功耗：20 mW/ch



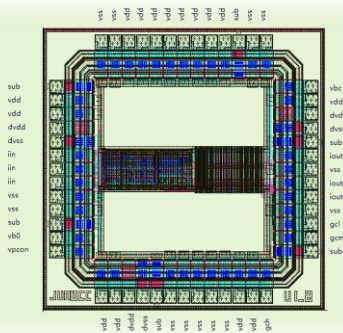
大动态范围的电荷测量

① JUNOCC (高能所, 实际应用)

动态范围 (PMT增益 10^7): 1 – 4000 pe

噪声: 0.05 pe

量程: 3输入阻抗: 1Ω @ $<10\text{MHz}$



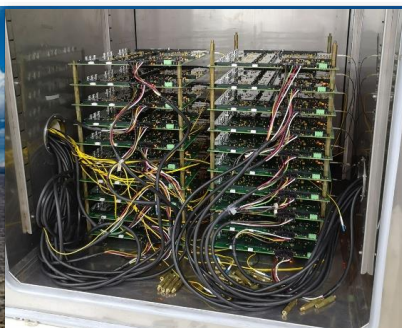
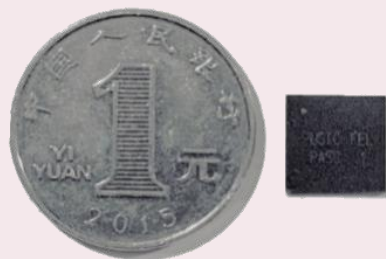
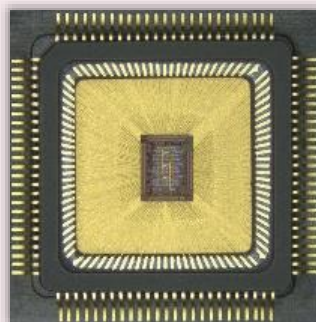
② PASC (中科大, 实际应用)

动态范围: 1-4000 pe

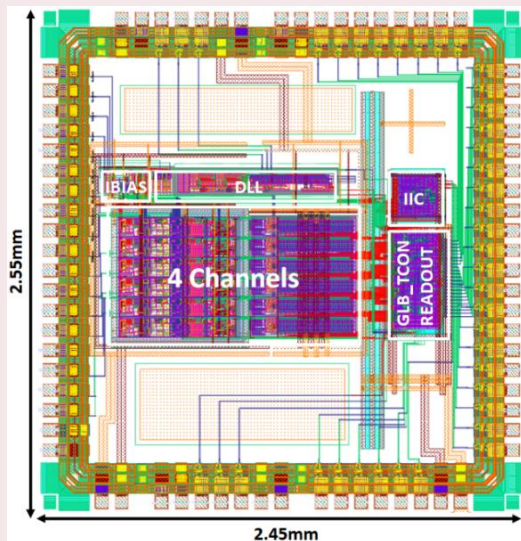
电荷精度: $< 10\%$ @ 1 pe

时间精度: < 300 ps

死时间: < 600 ns

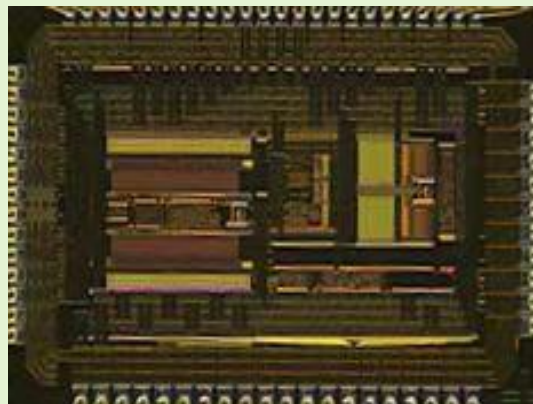


中速模数变换ASIC (ADC)



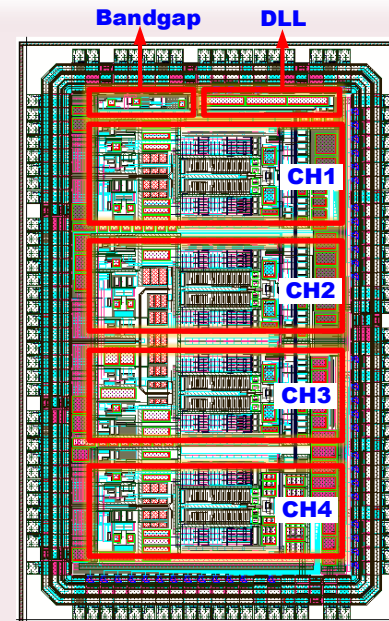
事件驱动ADC (西工大)

与模拟前端集成
多通路 (>16 ch)
分辨率(>14 bits)
采样率(>3MS/s)
异步读出



Pipeline-SAR ADC (西工大)

采样率: 10 Msps
垂直分辨: 12 bits



SAR ADC (中科大)

采样率>30 Msps
垂直分辨: 12 bits

低温低噪声前端芯片

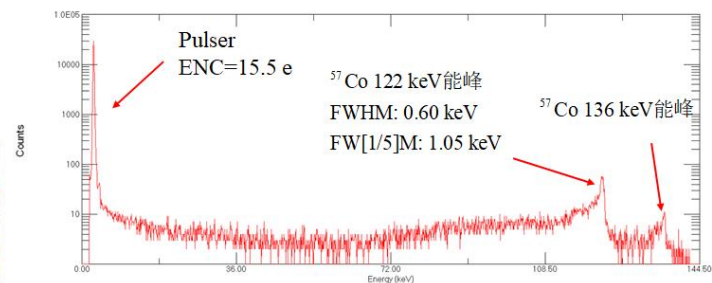
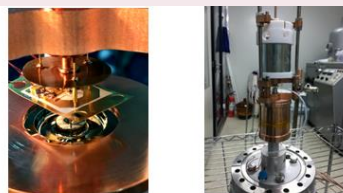
① 低温低噪声高纯锗探测器读出芯片(清华)

温度：液氮（77 K）

探测器质量：0.5 kg

电容：1.1 pF

噪声：15.5 e⁻ @ 77 K



② 低温、极低噪声读出ASIC — nEXO实验(IHEP)

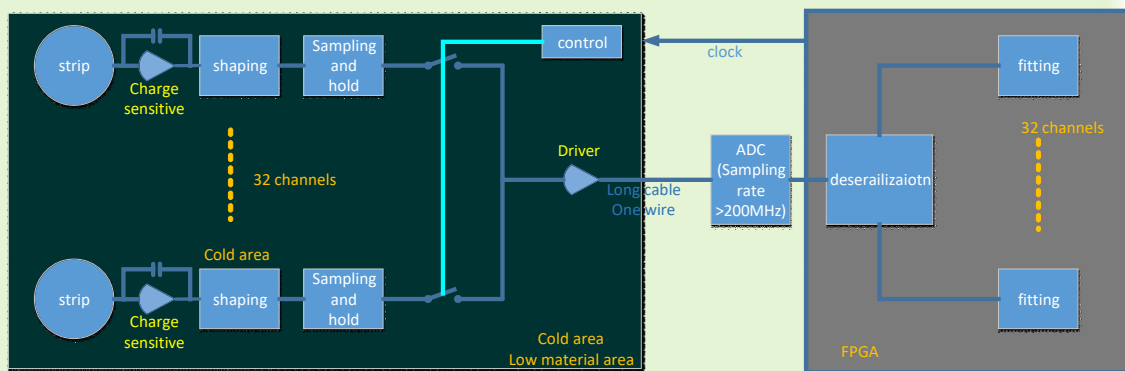
温度：液氙（160 K）

动态范围：64 fC

通道数：32

噪声：265 e⁻ @ 160 K

功耗：5.4 mW/ch



其他

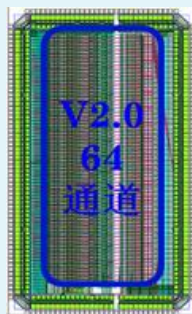
① MaPMT — 散裂中子源通用粉末衍射仪(IHEP, 实际用于CSNS工程项目)

通道数: 64

动态范围: Up to 20 pC

单通道计数率: 100 kHz

成形时间: 80/160 ns



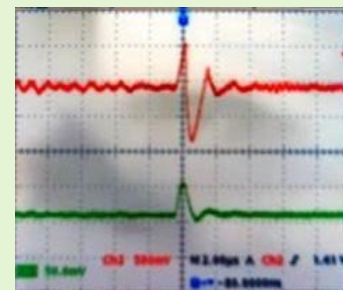
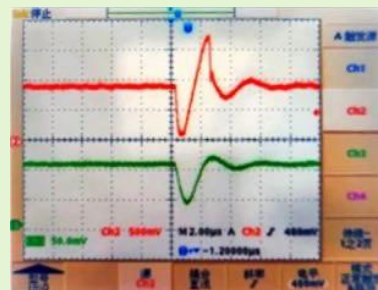
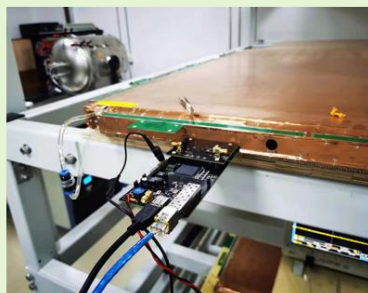
② 多丝气体探测器读出芯片(IHEP)

通道数: 32

动态范围: ± 150 fC

噪声: $600 e^- + 25 e^-/pF$

单通道计数率: 1 MHz

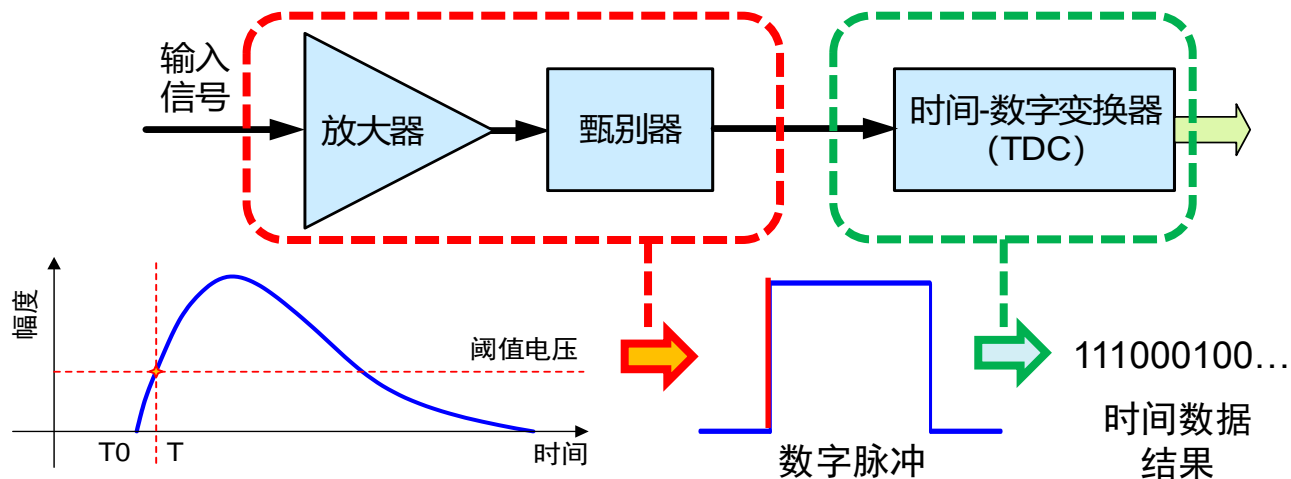


报告内容

- ▶ 前端读出ASIC
 - ◇ 高精度电荷测量
 - ◇ 高精度时间测量
 - ◇ 高速波形数字化
 - ◇ 硅像素探测器读出
- ▶ 数据汇总与传输ASIC
 - ◇ 高速接口电路
 - ◇ 数据汇总
 - ◇ 光信号收发

前端高精度时间测量

▶ 典型的技术路线：



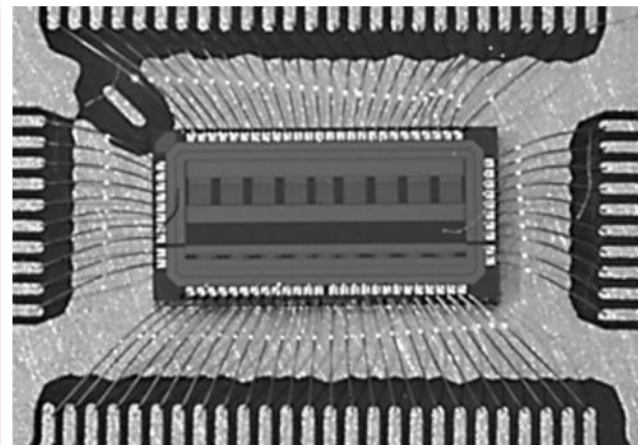
▶ 定时电路

- ◇ 分立器件：高速甄别器
- ◇ ASIC：NINO, PADI...

▶ 时间数字化（TDC）

- ◇ FPGA TDC
- ◇ ASIC TDC

国际甄别ASIC — NINO、PADI



① NINO

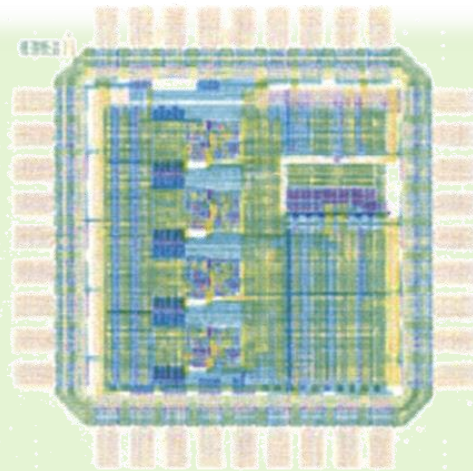
应用场景：

MRPC读出

250 nm CMOS, 8通道

配合高精度FPGA TDC可实现好于

10 ps RMS



② PADI

应用场景：

MRPC读出

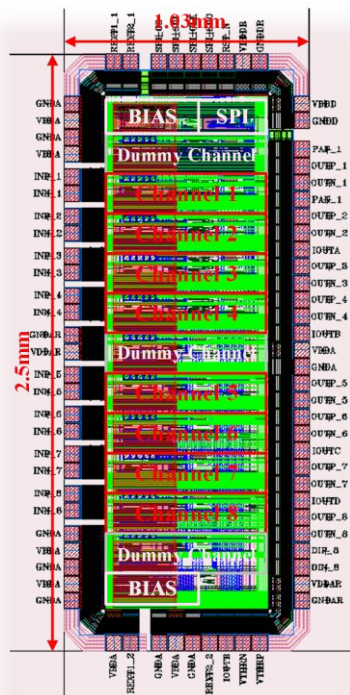
diamond detectors 读出

180 nm CMOS, 4通道

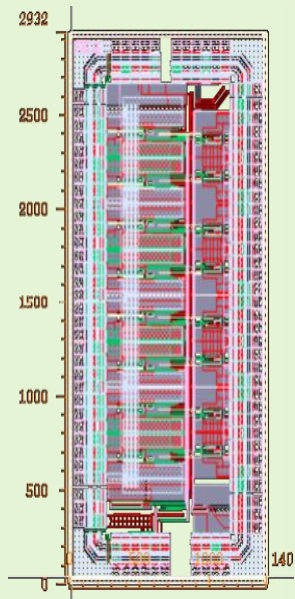
配合高精度FPGA TDC可实现好于

10 ps RMS

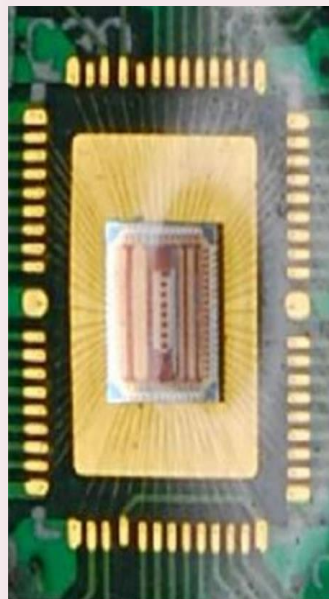
国内甄别ASIC



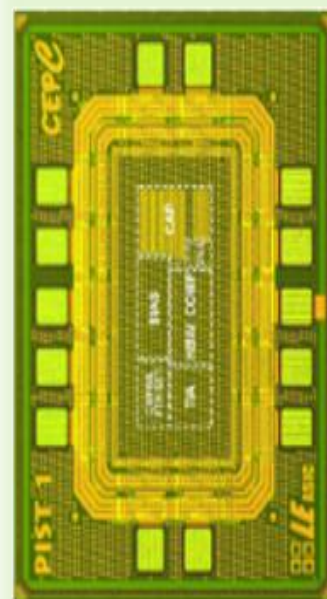
① NTIMP1 (西工大)
130 nm, 8通道
Jitter: <20 ps



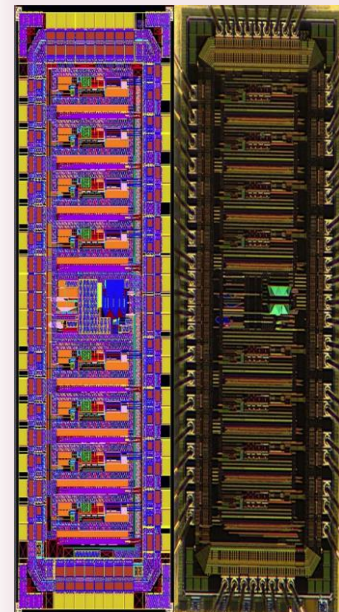
② DISA (中科大)
180 nm, 8通道
Jitter: <10 ps



③ CAD-II (清华)
180 nm, 8通道
等效电流噪声:
0.56 μA @ 10 pF



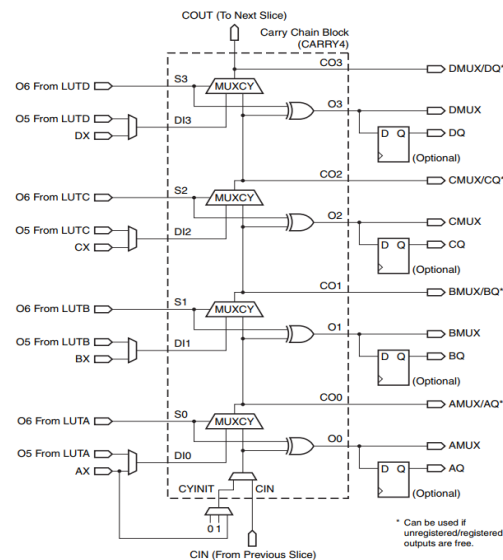
④ PIST (IHEP)
55 nm
Jitter: 4 ps



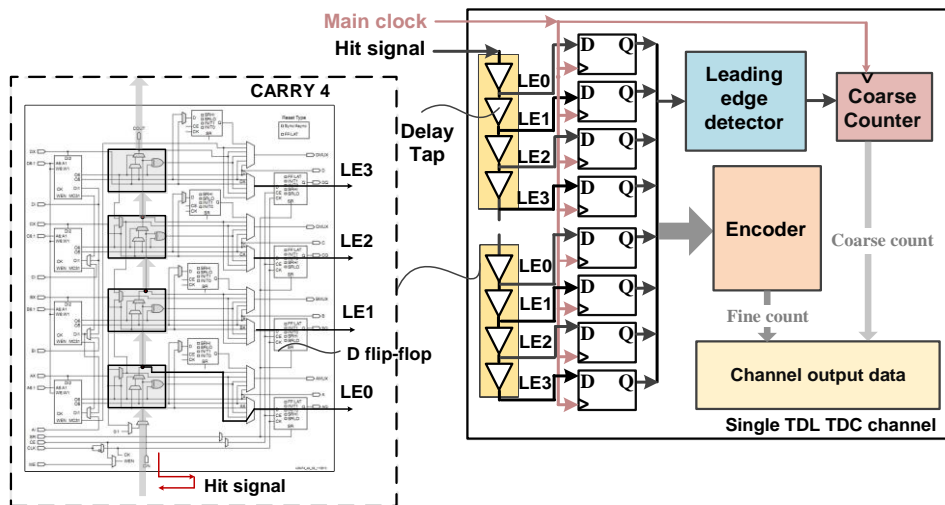
⑤ 国科大
130 nm, 5通道
Jitter: 22.7ps
@ 15 fC

FPGA TDC

- 基于FPGA内部特殊结构构建延时链
- 精度提高
 - 采用先进的器件：UltraScale
 - 多链求平均
 - Wave Union, 等
- 可实现精度： $< 5 \text{ ps RMS}$



进位链



代表性TDC芯片——HPTDC

ASIC性能参数

结构：延迟链

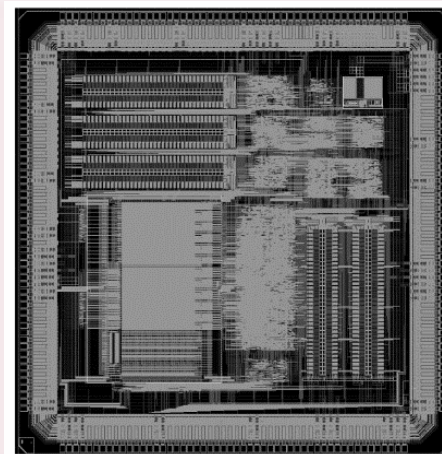
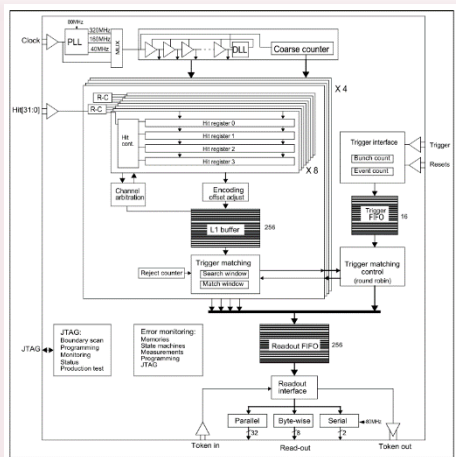
通道数：32

工艺：250 nm

LSB：25/100 ps

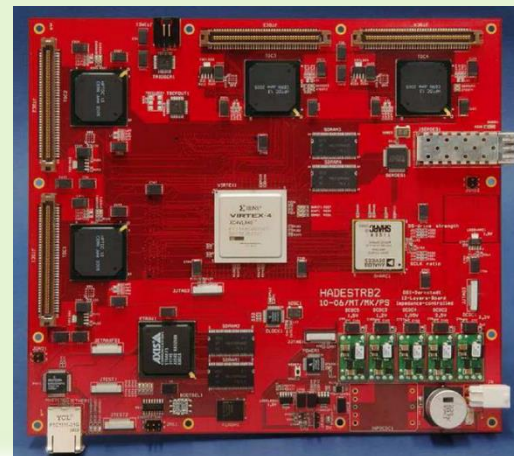
精度：~20 ps

功耗：450~1500 mW



实验应用

- ALICE
 - ✓ 应用于TOF TRM中
 - ✓ 20 ps精度
- BES III
 - ✓ 应用于TOF中
 - ✓ 20 ps精度
- HIRFL-CSR
- ATLAS
- HADES



代表性TDC芯片——GET4

➤ 应用实验：CBM

➤ 结构：延迟链

➤ 通道数：4

➤ 工艺：180 nm

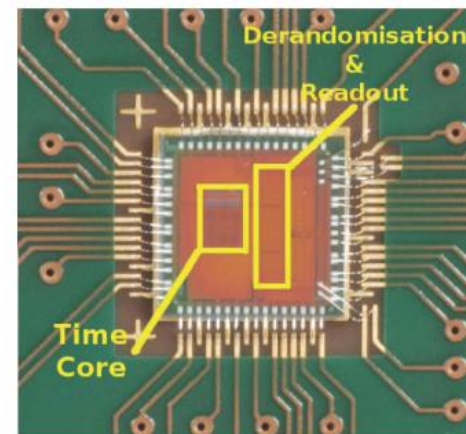
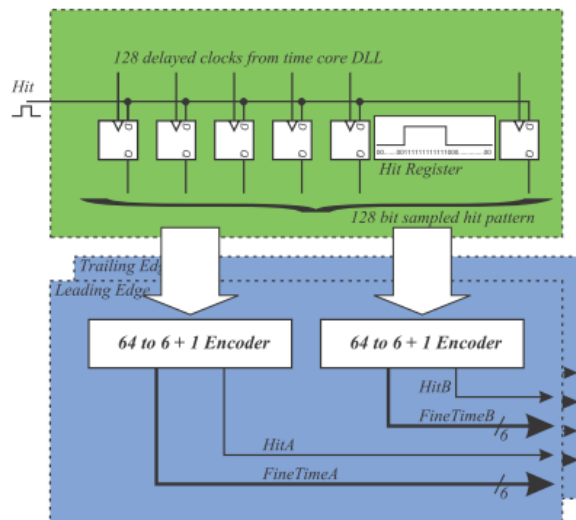
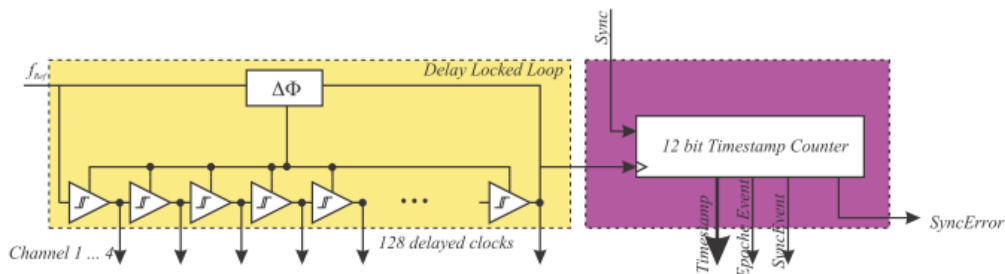
➤ LSB：50 ps

➤ 精度：24 ps

➤ 功耗：27 mW/chn

➤ 事例率：2~8 MHz/chn

➤ 时间：2008



ATLAS MDT TDC

➤ 应用实验：ATLAS MDT

➤ 结构：时钟分相

➤ 通道数：48

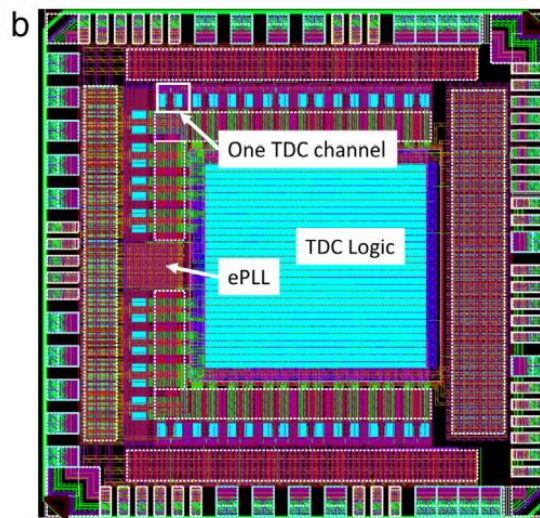
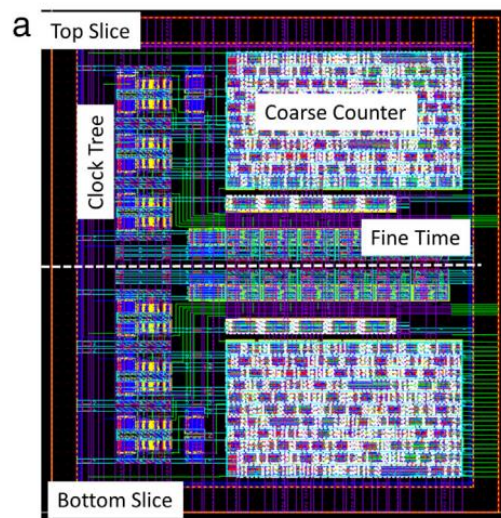
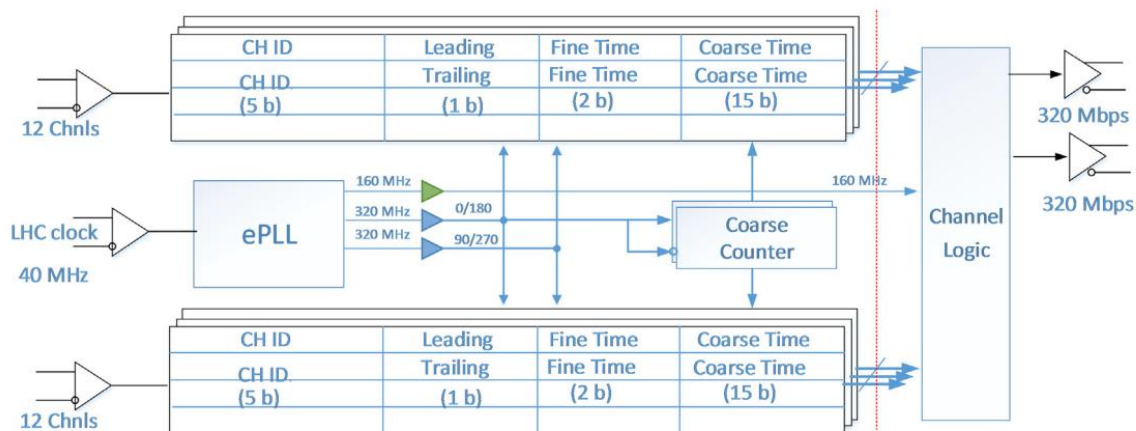
➤ 工艺：130 nm

➤ LSB：780 ps

➤ 精度：276 ps

➤ 功耗：6.5 mW/chn

➤ 时间：2018



西工大TDC ASIC

结构：延迟链（ADLL）

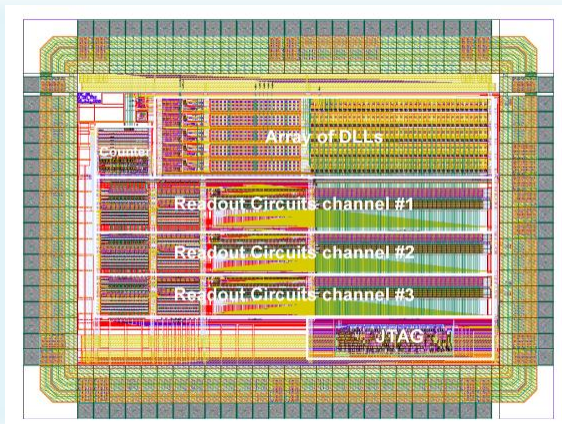
通道数：3

工艺：350 nm

LSB：71~142ps

功耗：50 mW

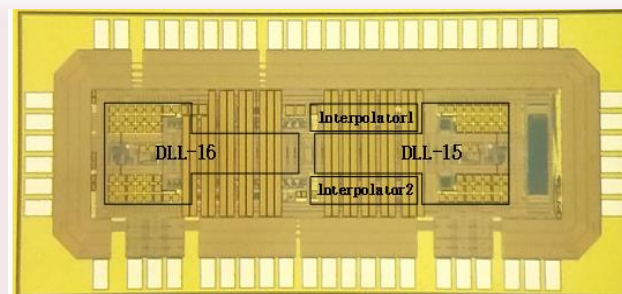
时间：2009



结构：基于游标延迟链的三级插值结构

180 nm

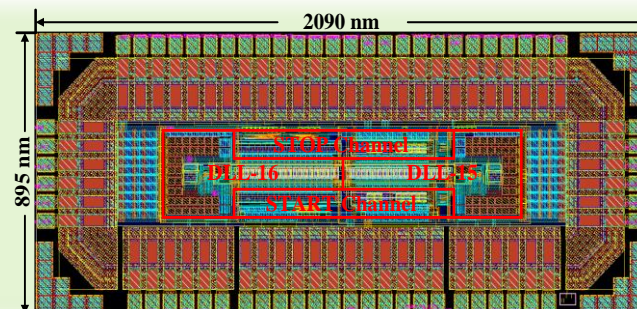
精度：89.3 ps



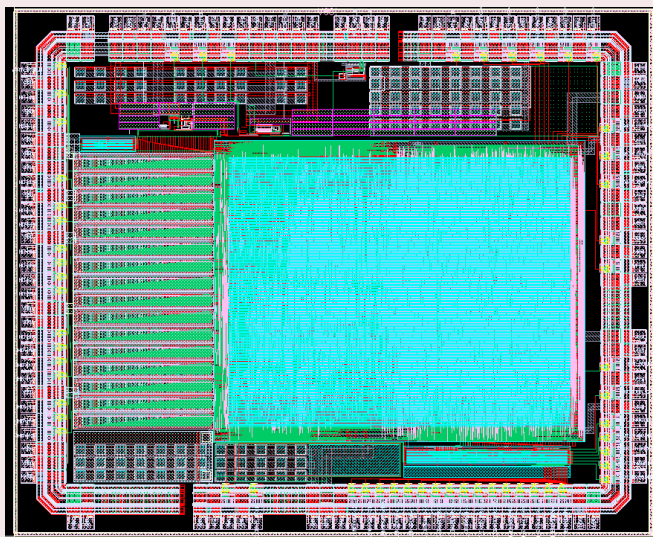
结构：游标延迟链

180 nm

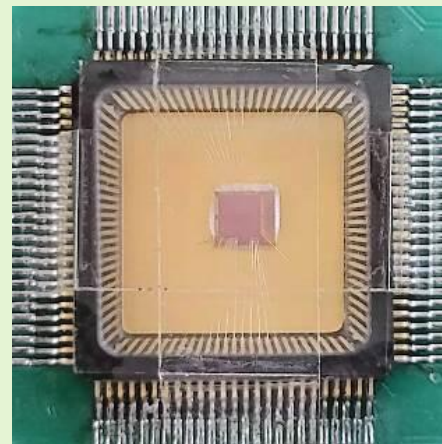
精度：41.7 ps



中科大TDC ASIC



结构：延迟链
16通道
精度：60 ps
功耗：128 mW

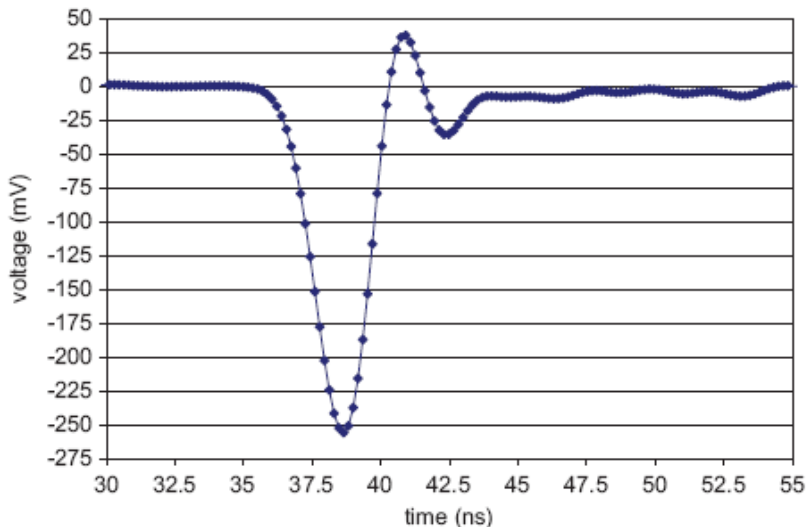


结构：游标
精度：10 ps
功耗：~10 mW/通道

报告内容

- ▶ 前端读出ASIC
 - ◇ 高精度电荷测量
 - ◇ 高精度时间测量
 - ◇ 高速波形数字化
 - ◇ 硅像素探测器读出
- ▶ 数据汇总与传输ASIC
 - ◇ 高速接口电路
 - ◇ 数据汇总
 - ◇ 光信号收发

高速波形数字化技术



- ▶ 波形前沿分析:

- ➡ 获得时间信息

- ▶ 波形数字积分（计算面积）:

- ➡ 获得电荷信息

- ▶ 随着模拟数字变换器（ADC）技术的发展，进行超高速的波形数字化成为可能

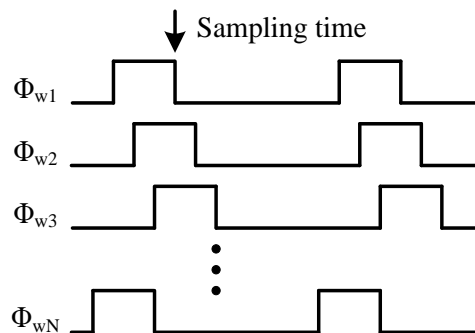
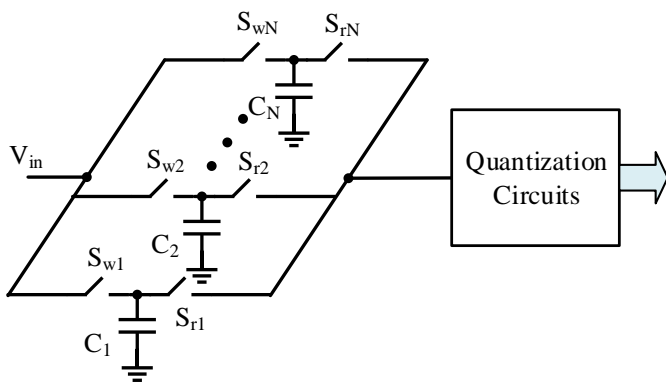
- ▶ 采样率 ~ Gbps

- ▶ 相对于传统的时间及电荷测量方法的优势:

- ◇ 最大程度获取原始波形信息
 - ◇ 任意无规则的波形信号处理

SCA技术

- ▶ 基于开关电容阵列（Switched Capacitor Array, SCA）技术，可以实现超高速的模拟波形采样



- ▶ 其基本原理是将高速采样过程和量化过程分离
 - ◇ 超高速采样过程是基于开关电容阵列来实现，然后配合较低速的量化电路即可实现数字化
- ▶ 此技术适用于核与粒子物理实验中事例偶发的特点
- ▶ 同时消除了超高速ADC的高复杂度和高功耗的问题，以及附加缓存、数据接口和传输电路的系统复杂性问题
- ▶ 其核心技术是基于SCA的专用集成电路（ASIC）的设计

典型SCA ASIC

芯片名/设计单位	工艺	采样率 Gsp/s	采样深度	输入类型	片内数字化	RMS噪声	通道数	功耗 mW/ch
ARS1	800 nm	~ 1	128	单端输入	8 bits	4 mV	4	47.5
MATACQ	800 nm	~ 2	20 x 128	单端输入	无	< 0.2 mV	1	/
SAM	350 nm	~ 2	16 x 16	单端输入	无	0.7 mV	2	150
ATWD	200 nm	~ 2	128	单端输入	10 bits	1 mV	4	37.5
LABRADOR3	250 nm	~ 4	260	单端输入	12 bits	1.3 mV	9	/
DRS4	250 nm	~ 5	1024	差分输入	无	0.35 mV	9	17.5 @2 GSps
PSEC4	130 nm	~ 10	256	单端输入	12 bits	0.7 mV	6	16.7
SAMPIC	180 nm	~ 5	64	单端输入	11 bits	< 1 mV	16	11.25
高能所+清华+科大	180 nm	~ 1	256	单端输入	12 bits	/	8	/
FEEWAVE (高能所)	180 nm	~ 5	256	差分输入	10 bits	< 1 mV	6	25
华中师范大学	130 nm	~ 2	256	单端输入	无	4.96 mV	4	/
中科大	180 nm	~ 5	256	差分输入	12 bits	0.7 mV	8	25

国外代表性SCA—模拟读出

➤ DRS4

通道数：9

输入类型：差分输入

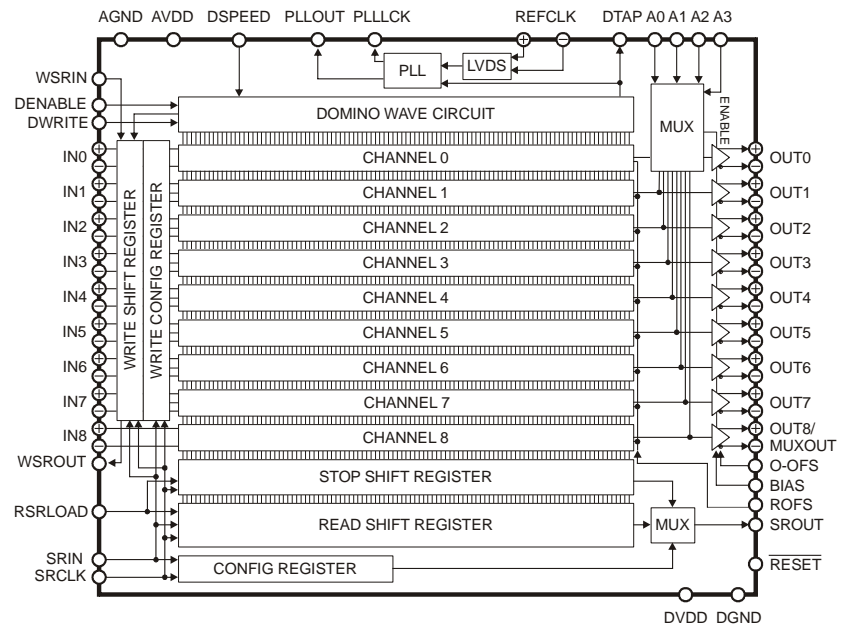
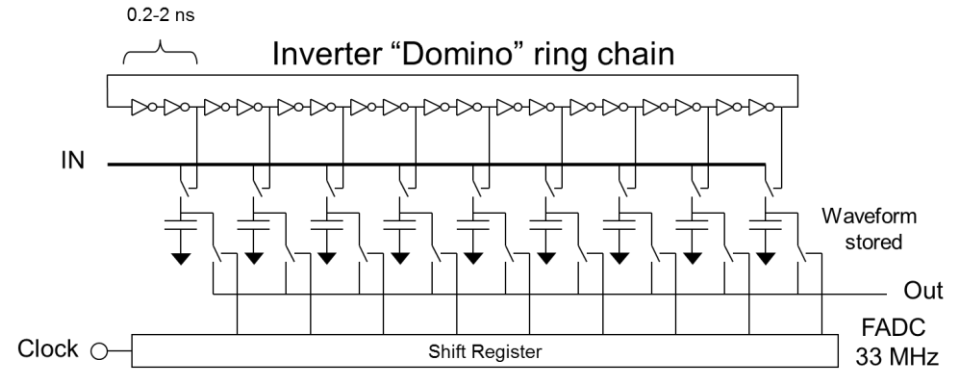
采样率：~ 5 Gsps

采样深度：1024

输入动态范围：1 V

噪声：0.35 mV

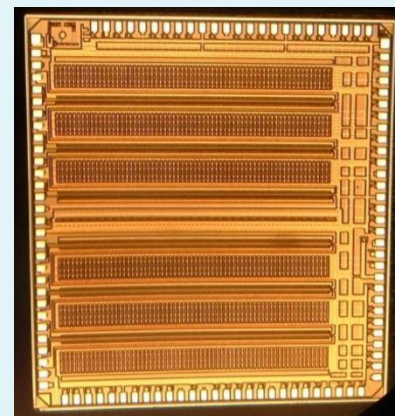
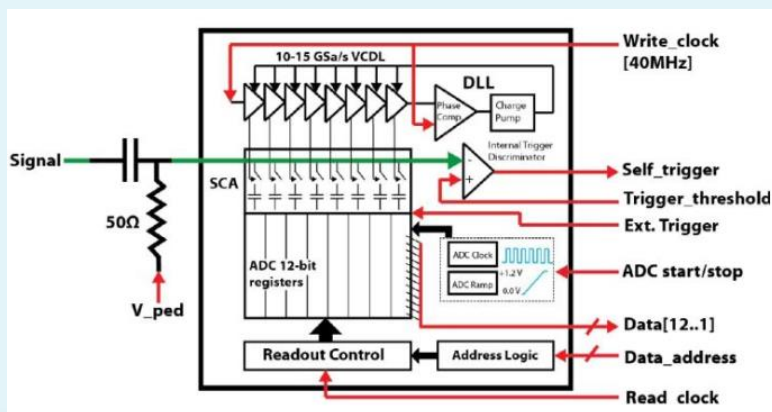
功耗：140 mW



国外代表性SCA—数字化读出

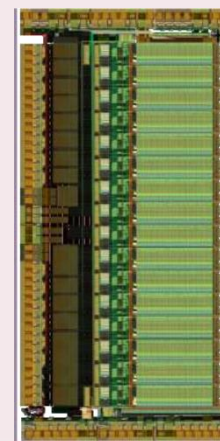
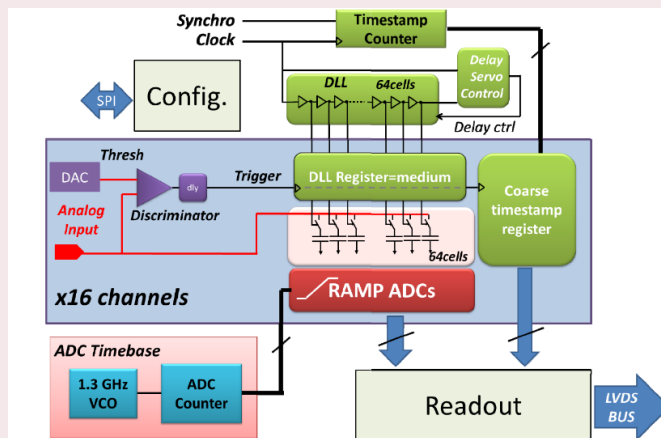
➤ PSEC4

通道数：6
采样率：~ 10 Gsps
采样深度：256
输入动态范围：1 V
噪声：0.7 mV
功耗：100 mW



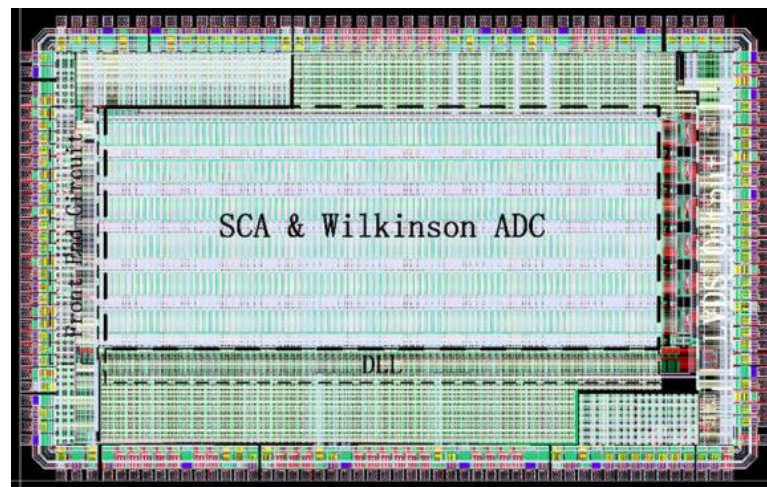
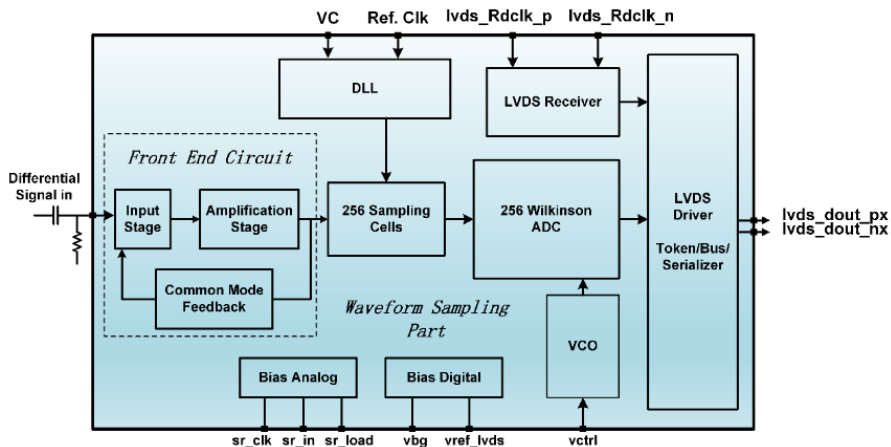
➤ SAMPIC

通道数：16
采样率：~ 5 Gsps
采样深度：64
输入动态范围：1 V
噪声：< 1 mV
功耗：180 mW



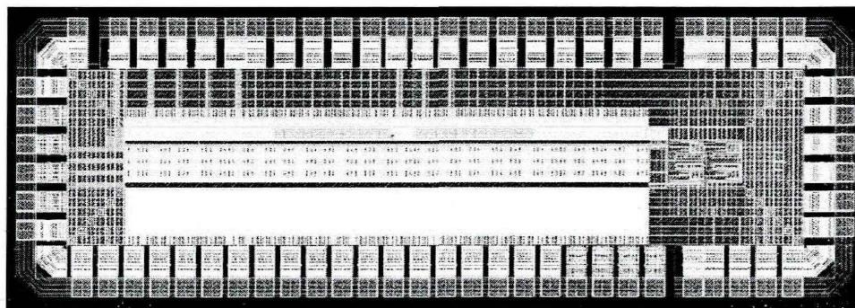
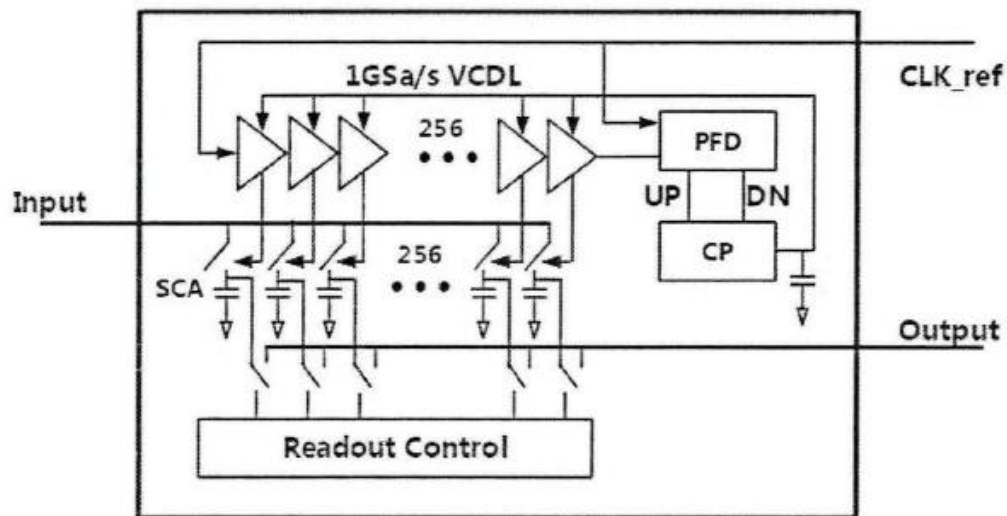
国内代表性SCA -- IHEP

- 通道数：8
- 输入类型：差分输入+模拟前端
- 采样率：~ 5 Gsps
- 采样深度：256
- 输入动态范围：1 V
- 读出方式：数字读出
- 量化位数：10 bits
- 噪声：< 1 mV
- 功耗：单通道<25 mW
- 经初步评估合格，将用于
LHAASO望远镜升级项目LACT中



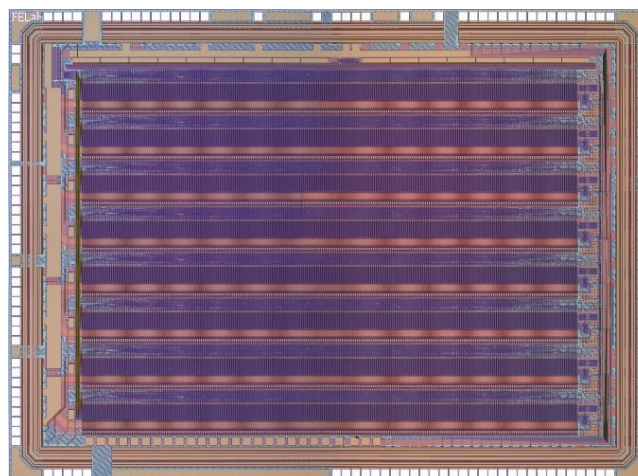
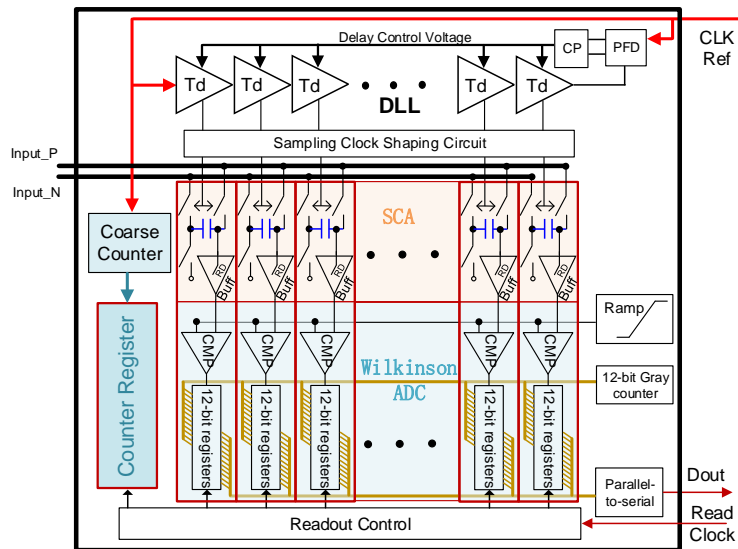
国内代表性SCA -- CCNU

- 通道数：4
- 输入类型：单端输入
- 采样率：~ 2 Gsps
- 采样深度：256
- 输入动态范围：0.5 V
- 读出方式：模拟读出
- 噪声：4.96 mV

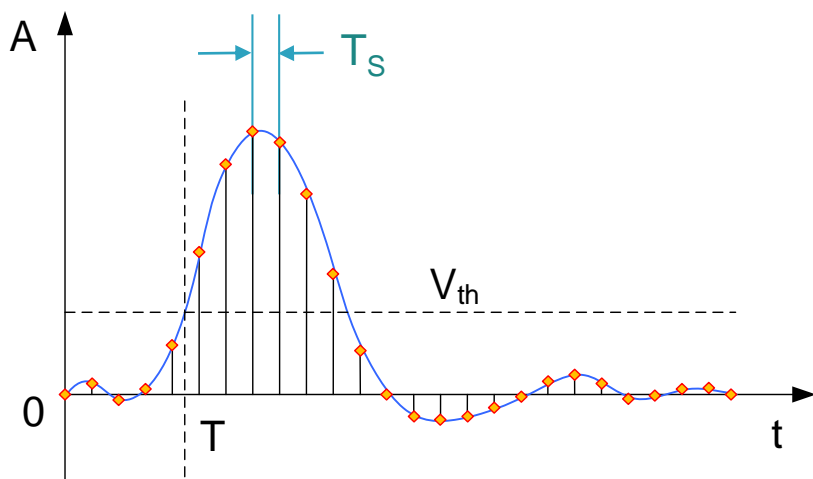
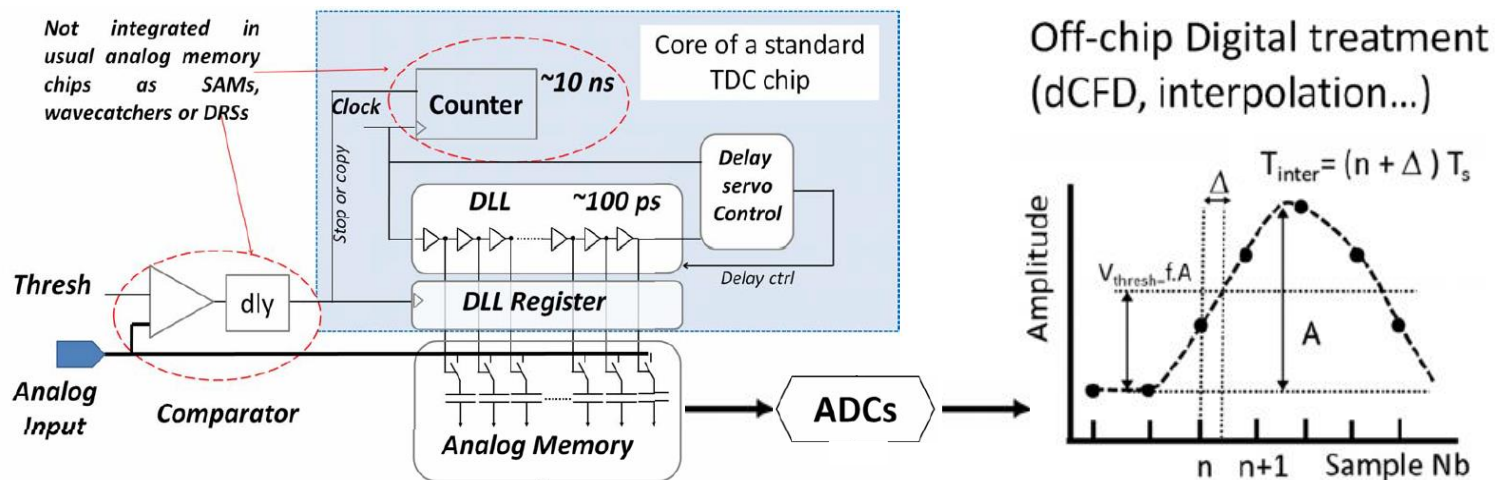


国内代表性SCA -- USTC

- 通道数：8
- 输入类型：差分输入
- 采样率：~ 5 Gsps
- 采样深度：256
- 输入动态范围：1.2 V
- 读出方式：数字读出
- 量化位数：12 bits
- 噪声：< 1 mV
- 功耗：单通道25 mW



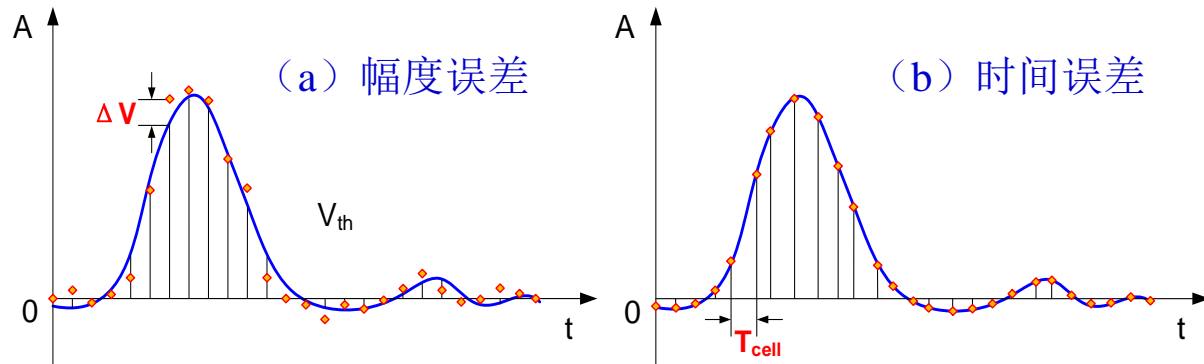
SCA技术用于高精度时间测量



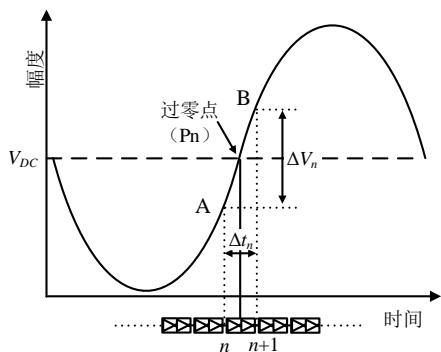
- ▶ 通过高速模拟-数字变换技术对探测器输出波形进行高速采样数字化，可以通过数值拟合的方法得到信号的时间信息。
- ▶ 通过提升采样率 f_s ，可以提升整个电子学的时间测量精度，而基于数值拟合的方法，实际系统所能的达到的时间精度会超出采样周期本身($T_s=1/f_s$)。

SCA中的修正算法

- SCA电路中存在各S/H单元的不一致性，因此需要展开标定和修正方法研究。

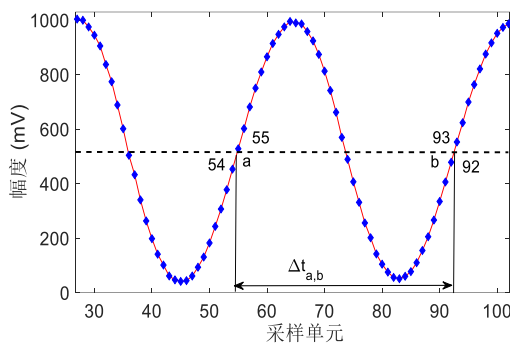


正弦波过零法



$$\Delta t_n = \frac{\Delta V_n}{\sum_{j=1}^N \Delta V_j} \cdot T_{clk_ref}$$

全局时间标定修正法



- 正弦波过零计算初始时间间隔
- 通过计算周期，不断的循环迭代

超定线性方程组标定修正法

$$\alpha \Delta t_{n_1} + \sum_{i=n_1+1}^{n_2-1} \Delta t_i + \beta \Delta t_{n_2} = T_S$$

$$\alpha = \frac{V_{n_1+1} - V_{DC}}{\Delta V_{n_1}}, \beta = \frac{V_{DC} - V_{n_2}}{\Delta V_{n_2}}$$

$$\begin{pmatrix} 0 & \cdots & 0 & \alpha_1 & 1 & \cdots & 1 & \beta_1 & 0 & \cdots & 0 \\ 0 & \alpha_2 & 1 & \cdots & 1 & \beta_2 & 0 & 0 & 0 & \cdots & 0 \\ \cdots & 1 & \beta_3 & 0 & 0 & \cdots & 0 & 0 & \alpha_3 & 1 & \cdots \\ & & & & & \vdots & & & & & \\ 1 & \cdots & 1 & \beta_M & 0 & 0 & \cdots & 0 & \cdots & 0 & \alpha_M \end{pmatrix} \cdot \begin{pmatrix} \Delta t_1 \\ \Delta t_2 \\ \Delta t_3 \\ \vdots \\ \Delta t_N \end{pmatrix} = \begin{pmatrix} T_S \\ T_S \\ T_S \\ \vdots \\ T_S \end{pmatrix}$$

- 计算正弦波周期，得到超定方程
- 超定方程组的最小二乘解为采样间隔

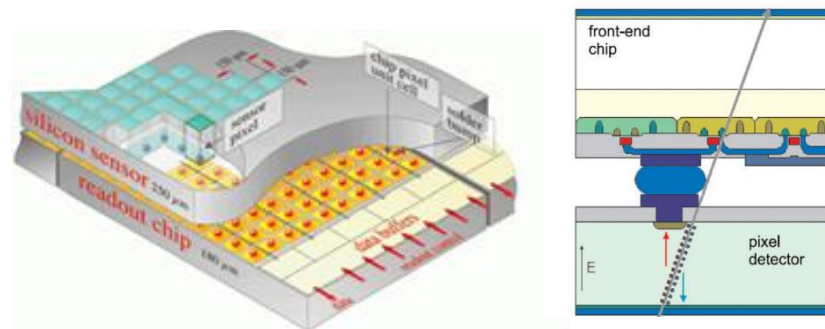
报告内容

- ▶ 前端读出ASIC
 - ◇ 高精度电荷测量
 - ◇ 高精度时间测量
 - ◇ 高速波形数字化
 - ◇ 硅像素探测器读出
- ▶ 数据汇总与传输ASIC
 - ◇ 高速接口电路
 - ◇ 数据汇总
 - ◇ 光信号收发

像素探测器分类

▶ 复合式像素探测器(Hybrid Pixel)

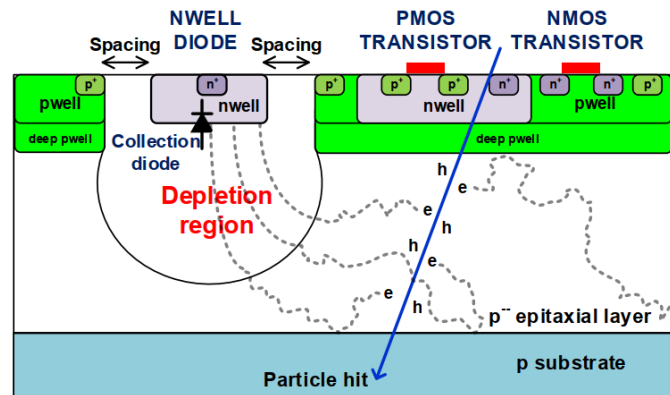
- ◇ 优点：发展成熟，抗辐照能力高
- ◇ 缺点
 - 需要两层硅片，物质的量大
 - 限制了像素最小尺寸
 - Bump bonding技术工艺复杂，良品率低，成本更高



复合式像素探测器

▶ 单片有源式像素探测器(Monolithic Active Pixel Sensor, MAPS)

- ◇ 优点：
 - 仅需一层硅片，物质的量较小
 - 像素尺寸可以较小
 - 成本较低
- ◇ 缺点：
 - 抗辐照能力降低
 - 收集电荷量较小
 - 对于传统型MAPS，电荷收集时间较长



单片式有源像素探测器

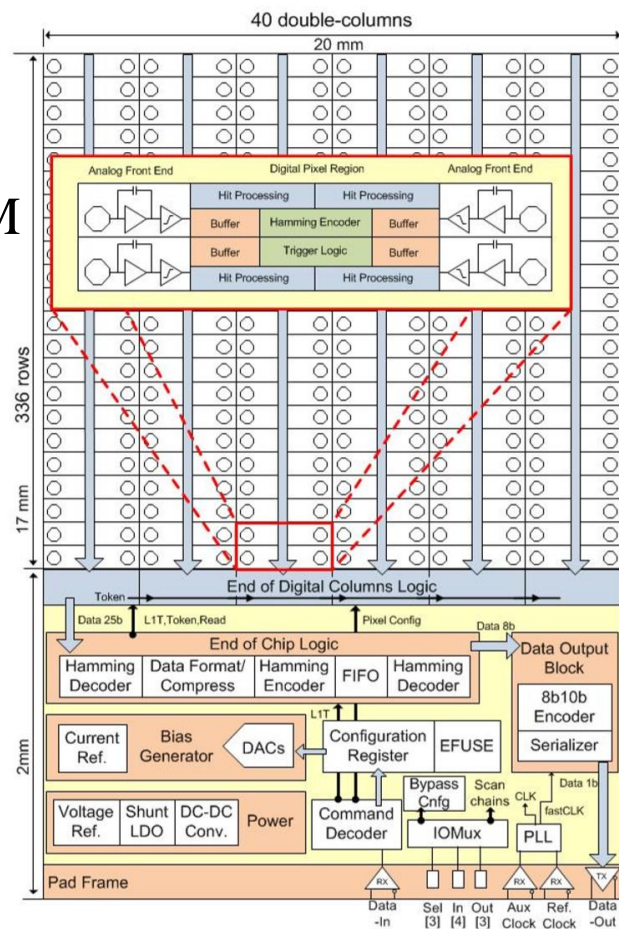
硅像素探测器读出ASIC

芯片	工艺	像素阵列	像素大小	应用实验	类型
FEI3	250 nm	18×160	50 × 400 μm ²	ATLAS pixel detector	hybrid
FE-I4	130 nm	80×336	50 × 250 μm ²	ATLAS pixel detector	hybrid
Timepix3	130 nm	256×256	55 × 55 μm ²	GEM-TPCs	hybrid
HEPS-BPIX4	130 nm	20×32	55 × 55 μm ²	HEPS	hybrid
EMPIX	180 nm	32×8	150 × 150 μm ²	/	hybrid
ULTIMATE	350 nm	928×960	20.7 × 20.7 μm ²	RHIC STAR	monolithic
ALPIDE	180 nm	512×1024	28 × 28 μm ²	ALICE ITS	monolithic
ATLASPix3	180 nm	132×372	150 × 50 μm ²	ATLAS pixel detector	monolithic
Mupix10	180 nm	250×256	80 × 80 μm ²	Mu3e	monolithic
TJ-Monopix2	180 nm	512×512	33 × 33 μm ²	ATLAS pixel detector	monolithic
CLICTD	180 nm	16×128	300 × 30 μm ²	CLIC	monolithic
JadePix3	180 nm	512×192	16×23.1 μm ²	CEPC	monolithic
TaiChuPix-2	180 nm	192×64	25×25 μm ²	CEPC	monolithic
MIC5	180 nm	356×398	20×30 μm ²	CEPC	monolithic
Topmetal-M2	130 nm	400×512	45×45 μm ²	/	顶层金属+MAPS
Topmetal-S2/CEE	130 nm	/	/	0vββ/CEE	顶层金属

FE-I3、FE-I4

- ▶ 类型: Hybrid
- ▶ 应用于LHC ATLAS内径迹探测器
- ▶ 像素电路:CSA、甄别器、阈值微调DAC、SRAM
- ▶ 数字读出结构
 - ◇ FE-I3: column drain结构, 数据由EoC缓存
 - ◇ FE-I4: 本地缓存, 4个像素共享数字逻辑

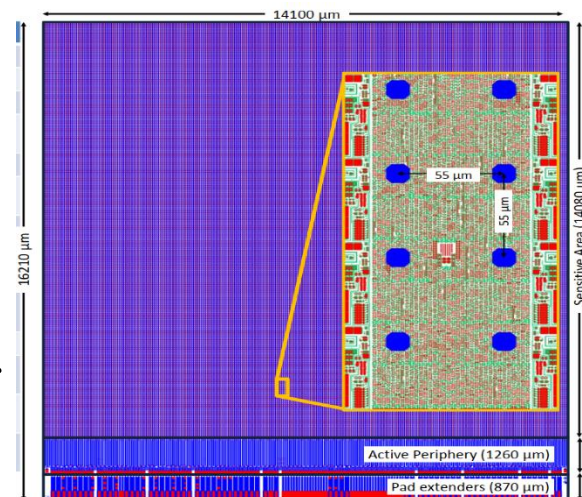
	FE-I3	FE-I4
Year	2003	2010
Process	250 nm	130 nm
Pixel size	50 μm \times 400 μm	50 μm \times 250 μm
Array size	18 \times 160	80 \times 336
Chip size	7.6 mm \times 10.8 mm	20.2 mm \times 18.8 mm
Active area	74%	89%



FE-I4芯片框图

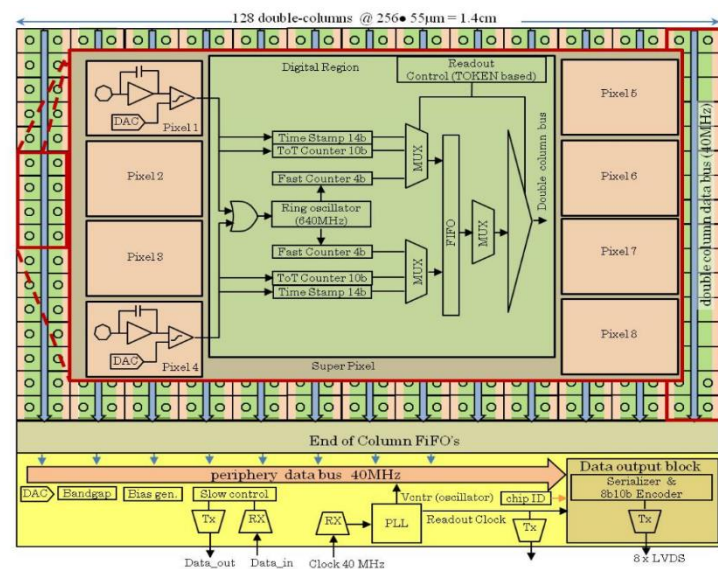
Timepix3

- ▶ 类型: Hybrid
- ▶ 应用: 粒子径迹探测、辐射成像
- ▶ 像素结构: CSA、阈值微调DAC、两级甄别器
- ▶ Super pixel: 由8个像素组成, 额外有ring oscillator
- ▶ 读出数据: 像素坐标、ToA、ToT
- ▶ Trigger-less, 数字带宽5.12 Gbps(8×SLVS)



Timepix3芯片版图

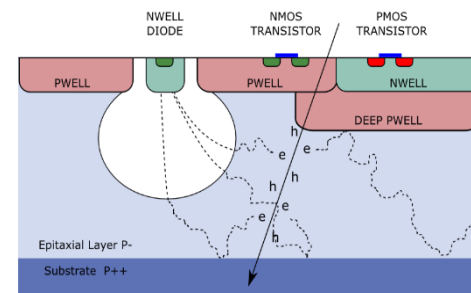
	Timepix3
Process	130 nm
Pixel size	55μm × 55μm
Array size	256 × 256
Chip size	16.2 mm × 14.1 mm
Power	<1 W/cm ²
TID	No



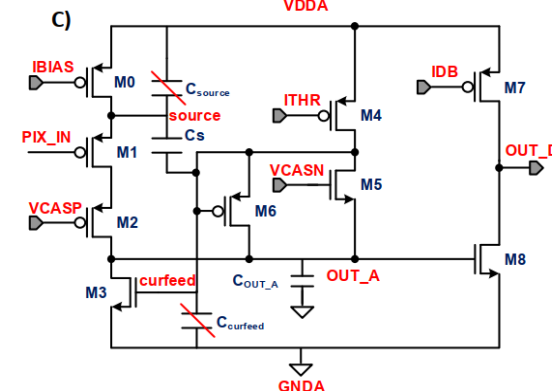
Timepix3 super pixel结构

ALPIDE

- ▶ 类型：MAPS
- ▶ 像素内完成0、1甄别
- ▶ 应用于LHC ALICE ITS
- ▶ 四阱工艺(深P阱、深N阱),可使用完整CMOS电路
- ▶ AERD优先级读出结构

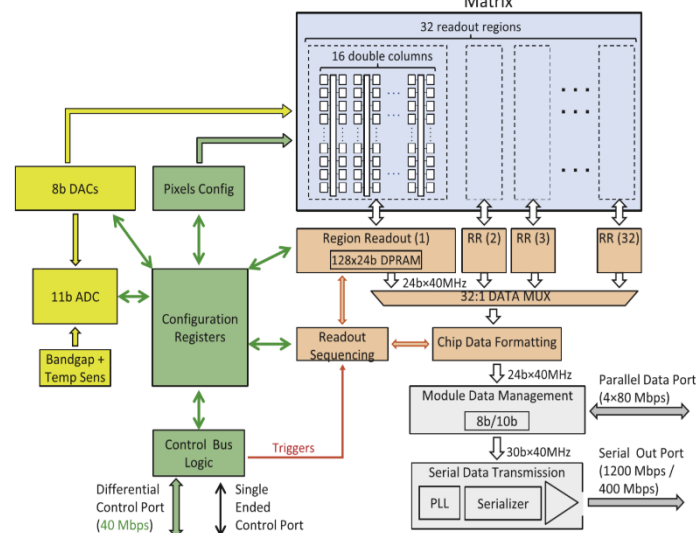


TJ180 nm 工艺截面图



单像素模拟前端电路
Matrix

ALPIDE	
Process	TJ 180 nm
Pixel size	28 $\mu\text{m} \times 28 \mu\text{m}$
Array size	512 \times 1024
Chip size	15 mm \times 30 mm
Power	100 mW/cm ²
TID	2.7 Mrad

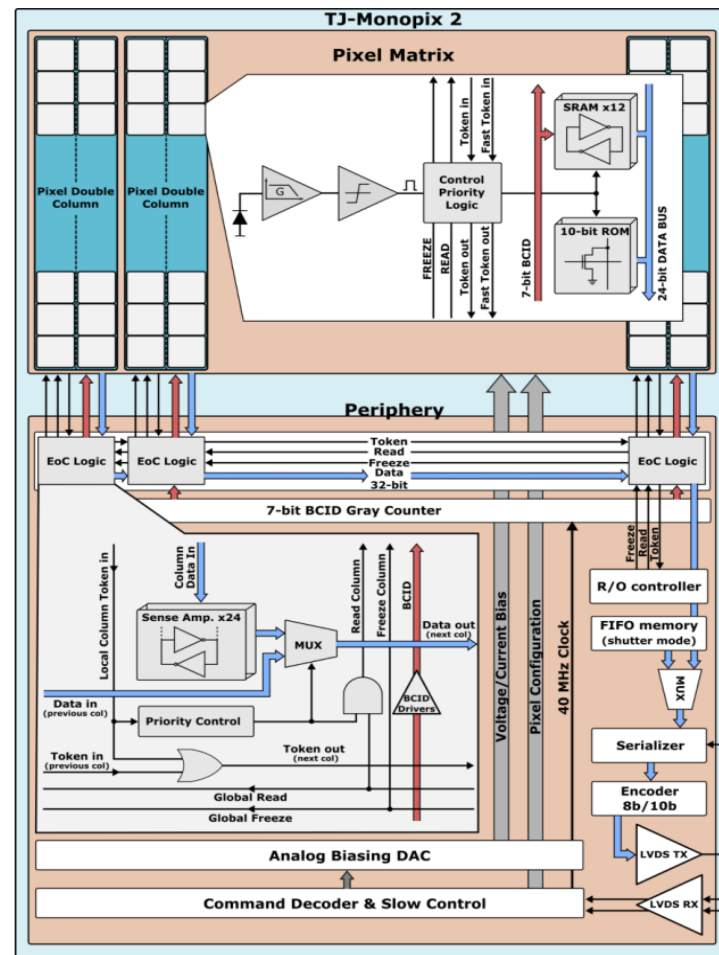


TJ-Monopix

- ▶ 类型：MAPS
- ▶ 电荷(TOT)时间(TOA)测量
- ▶ 应用于HL-LHC ATLAS Inner Tracker
- ▶ 改进型TJ180工艺，全耗尽



TJ-Monopix2芯片 (2020, Q4提交)



TJ-Monopix2芯片结构框图

TJ-Monopix2	
Process	Modified TJ 180 nm
Pixel size	33.04 $\mu\text{m} \times 33.04 \mu\text{m}$
Array size	512 \times 512
Chip size	20 mm \times 20 mm
Power	170 mW/cm ²

CEPC顶点探测器研究 (IHEP)

- ▶ 顶点探测器对芯片设计提出了巨大挑战
- ▶ 三条并行研发路线，开展广泛的国内外合作设计

Physics driven requirements

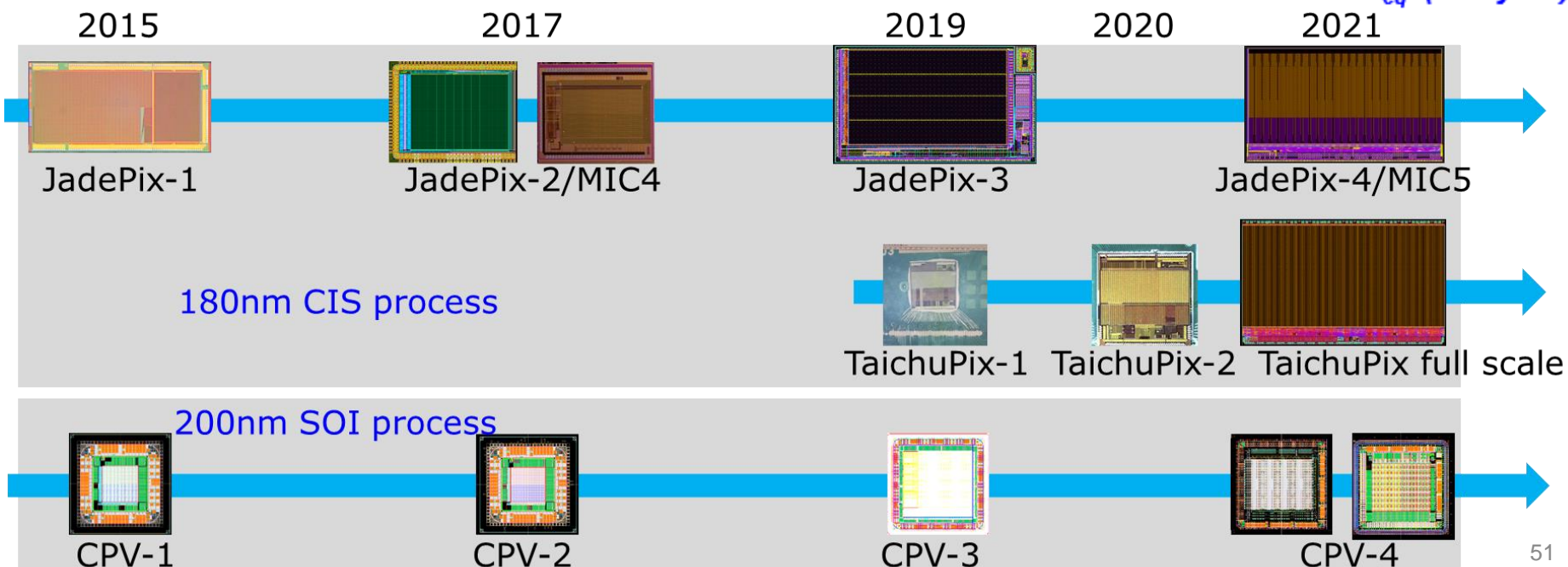
$\sigma_{s.p.}$ **2.8 μm**
 Material budget **0.15% X_0 /layer**
 r of Inner most layer **16 mm**

Running constraints

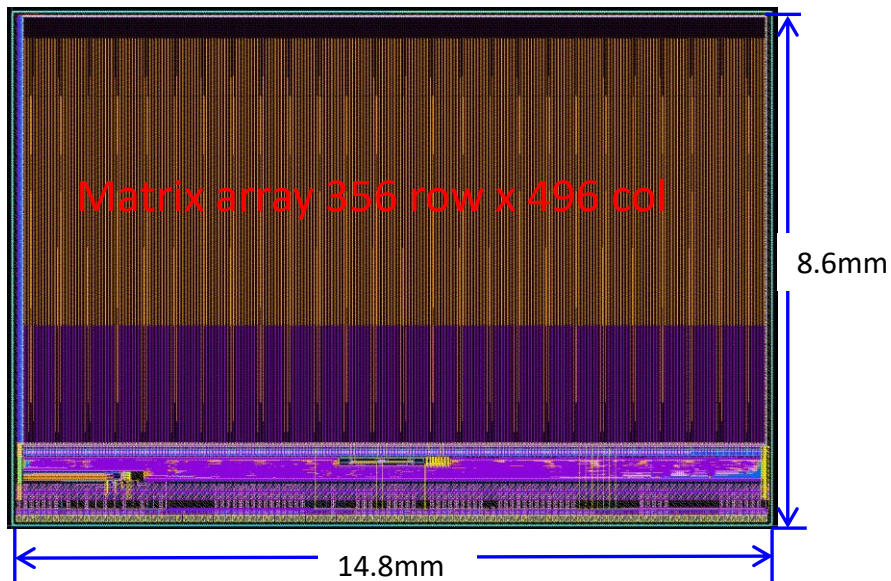
Air cooling
 beam-related background
 radiation damage

Sensor specifications

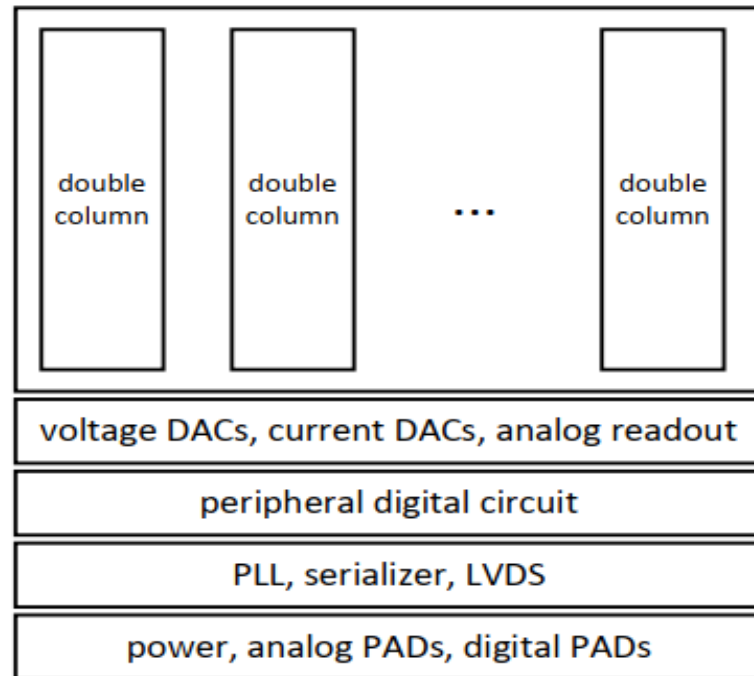
Small pixel **$\sim 16 \mu\text{m}$**
 Thinning to **50 μm**
 low power **50 mW/cm²**
 fast readout **$\sim 1 \mu\text{s}$**
 radiation tolerance
 $\leq 3.4 \text{ Mrad/year}$
 $\leq 6.2 \times 10^{12} n_{eq}/(\text{cm}^2 \text{ year})$



MIC5 (CCNU)



MIC5 layout, 正在测试

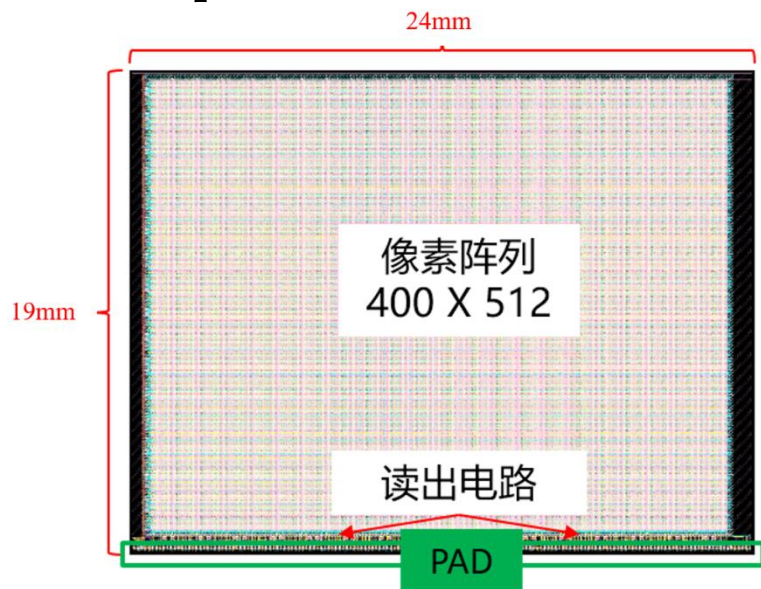


MIC5芯片结构

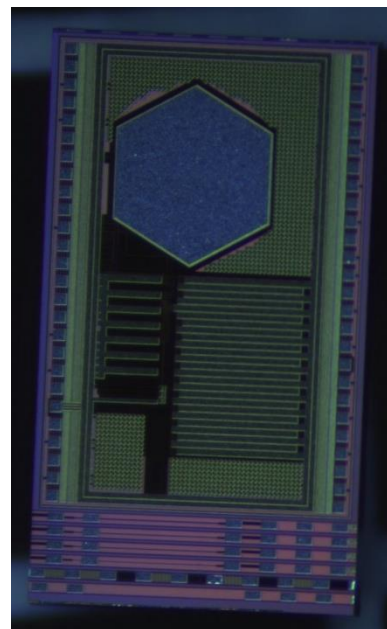
- Designed for CEPC
- 像素大小: $20 \mu\text{m} \times 29 \mu\text{m}$, epi thickness $18 \mu\text{m}$
- 读出可以采用触发模式或非触发模式
- 阵列中采用非零数据压缩技术, 仅被击中像素地址被输出 -> a few μs readout time
- 片上高速时钟模块PLL (400MHz)
- 阵列外围数据压缩以及高速数据传输链路, 输出速率800Mbps

Topmetal系列

Topmetal-M2芯片



Topmetal-S2芯片

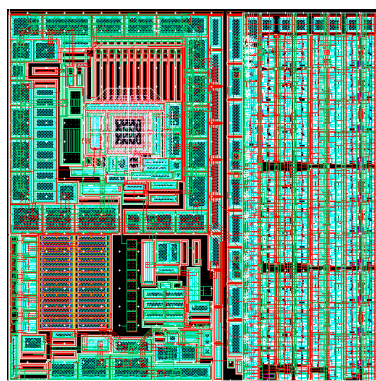
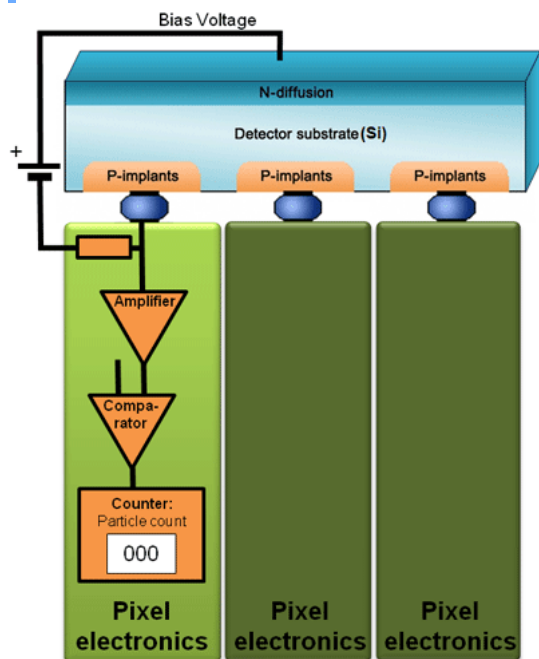


版本C照片

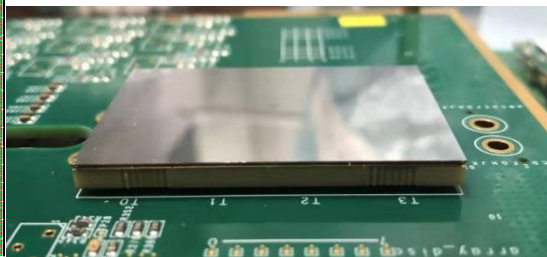
- 为低能X射线偏振观测探测器研制
 - 像素阵列扫描读出
 - 400 x 512像素
 - 45微米像素尺寸
 - 16通道并行读出
 - 具备位置、能量以及时间分辨功能

- 为无中微子双贝塔衰变实验N v DEX研制
 - 芯片阵列读出
- 无放大、离子漂移探测
- 上海宏利（GSMC）130纳米工艺
- 四个测试版本
 - 正在进行测试

高能同步光源硅像素探测器HEPS-BPIX研制



像素读出芯片ASIC



前端模块：传感器+ASIC+倒装焊



整机集成

• 项目设计指标

- 灵敏面积：8cm × 8cm
- 像素尺寸：150 μ m × 150 μ m
- 帧刷新率：>100Hz
- 动态范围：20bit
- 能量范围：8~20keV

- 针对高能同步辐射光源自主研制
- 基于单光子计数模式和混合型像素探测器结构，开展各项关键技术研发

- 自主设计：高帧频、高集成度像素读出芯片
- 联合研发：大阵列、一对多倒装焊工艺
- 联合研发：高灵敏度传感器阵列
- 自主设计：后端电子学、机械、DAQ、整机

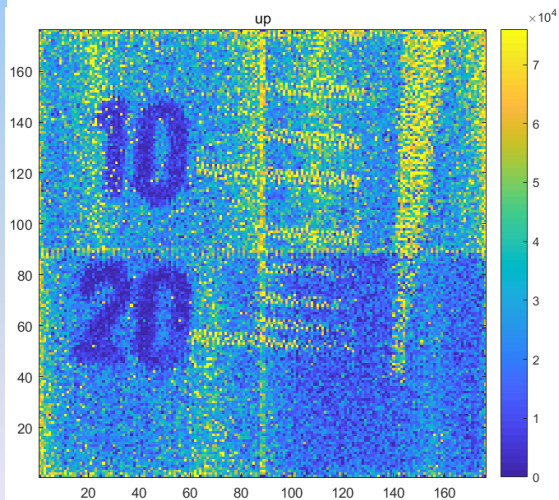
- 主要关键技术均实现了国产化

高能同步光源硅像素探测器HEPS-BPIX研制

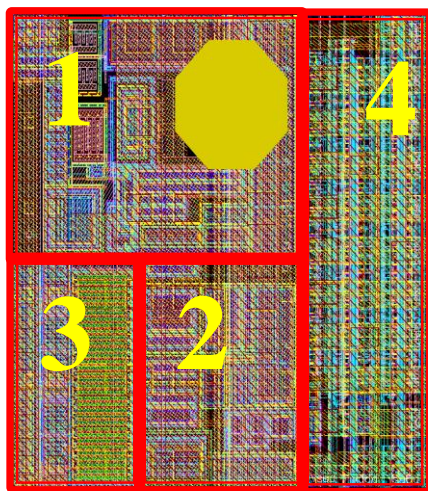


封装后的前端探测模块
灵敏 $1\text{cm} \times 1\text{cm}$

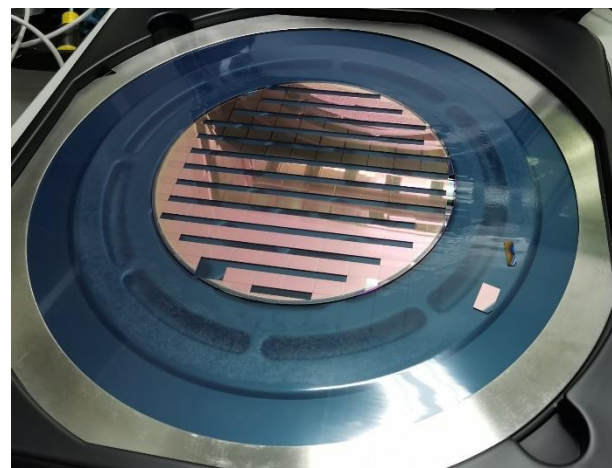
- ▶ 在保持主要性能不变的前提下，采用全定制设计，将像素尺寸由原来的 $150\mu\text{m}$ 缩减至 $55\mu\text{m}$ ，与国际同类产品中最先进的MEDIPIX一致
- ▶ 已列入高能光源HEPS工程序列
- ▶ 通过国家重点研发计划“高性能光源关键实验技术与方法”课题二验收



线对卡X光机成像



像素芯片单元版图
($55\mu\text{m} \times 55\mu\text{m}$)

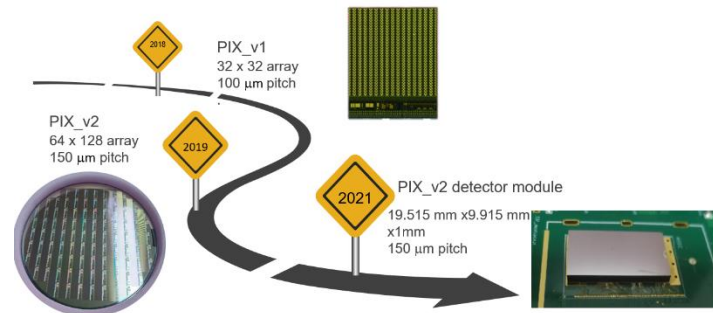


工程批量产晶圆

光子计数型像素芯片(清华)

▶ X射线光子计数型像素芯片

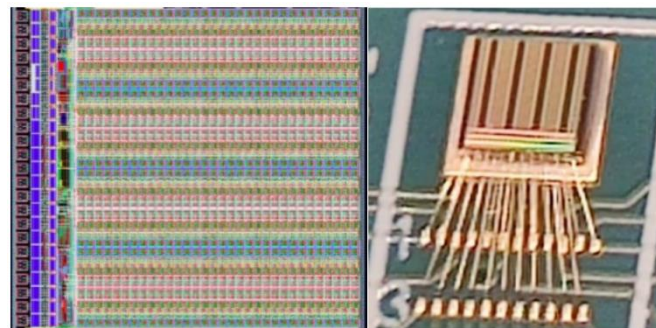
- ◇ 应用于多能谱CT成像
- ◇ 像素电路包括CSA、成型放大器、甄别器、计数器和慢控制寄存器



▶ EMPIX

- ◇ 应用于超快电镜成像的大动态范围像素读出芯片
- ◇ 相关双采样、线性放电DAC
- ◇ 自适应增益调节

	光子计数型像素芯片	EMPIX
Year	2021	2021
Process	180 nm	180 nm
Pixel size	150 μm × 150 μm	150 μm × 150 μm
Array size	64 × 128	32 × 8
Noise	61 e-	563e-(低增益)
Power	65μW/pixel	0.467 mW/channel
Signal range	10 fC	375 fC(high gain) 12.5 pC(low gain)

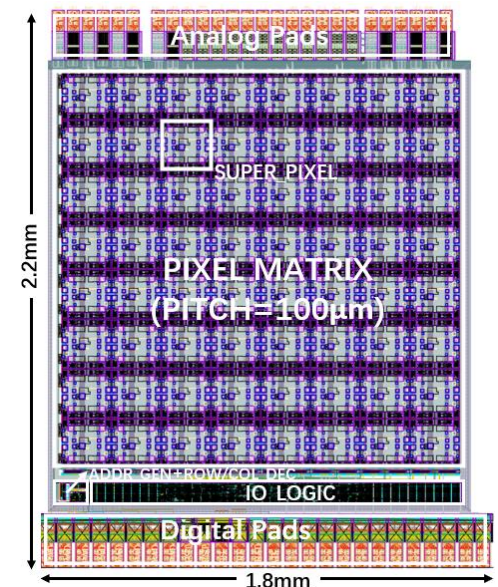
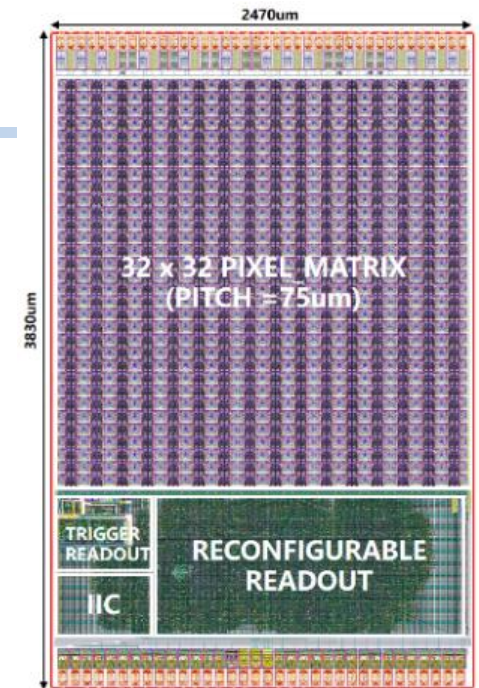


EMPIX芯片

像素型ASIC(西工大)

- ▶ 可重构像素型读出ASIC(SENSPIX2_A)
 - ◇ 多能光子计数
 - ◇ 消除电荷共享效应
 - ◇ 支持全帧读出或数据驱动读出
- ▶ 能量分辨像素型ASIC(SENSPIX2_B)
 - ◇ 采用像素级LDO的超级像素电路结构
 - ◇ 内置模拟滤波成形
 - ◇ 同时能量测量和计数测量

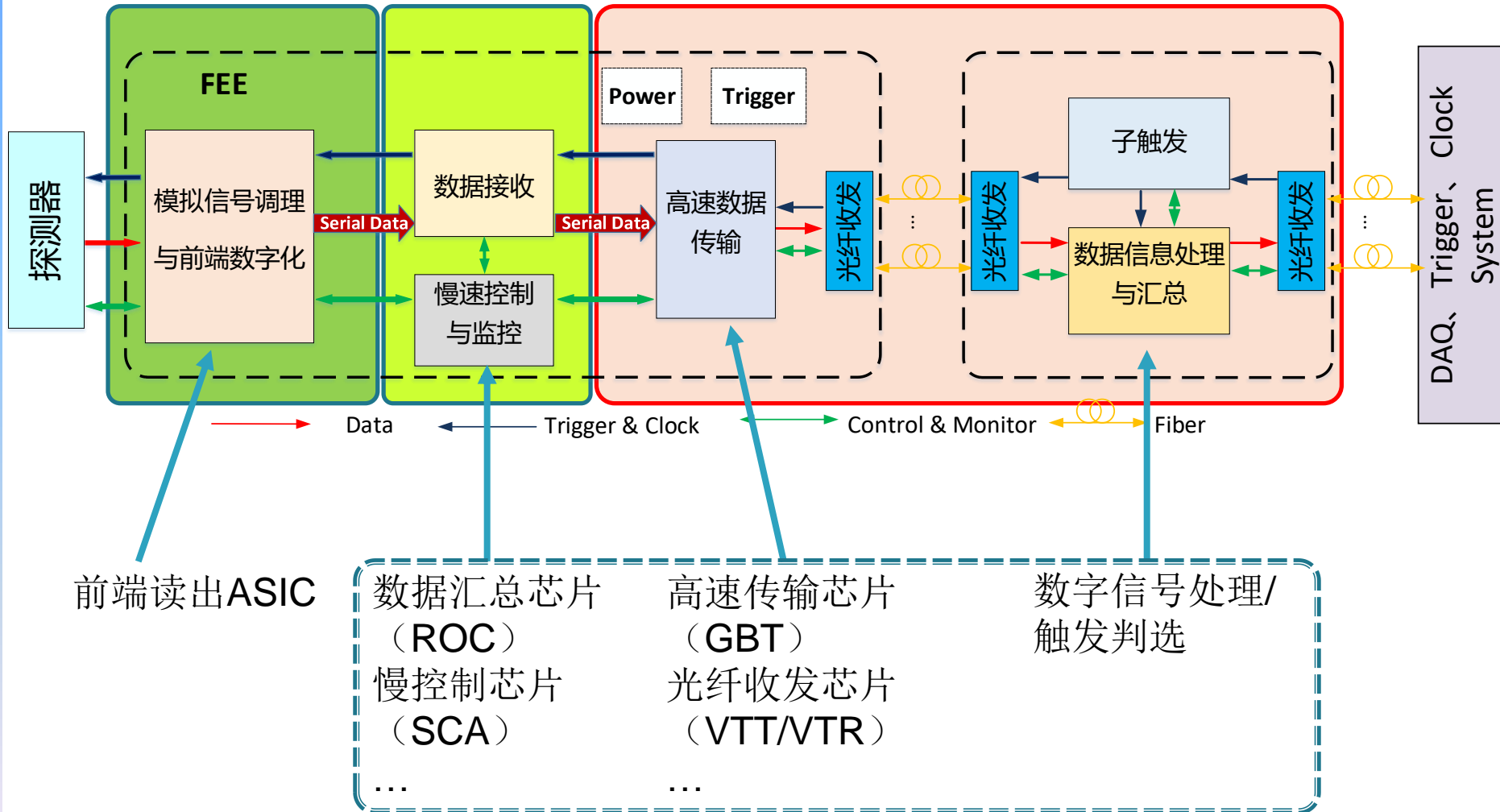
参数	SENSPIX2_A	SENSPIX2_B
年份	2022	2022
工艺	180nm	180nm
阵列规模	32x32	16x16
像素大小	75 μ m	100 μ m
像素电路结构	计数型	计数型+TOT
动态范围	12位	4+8位
输入噪声	90e ⁻ (rms)	< 200e ⁻ (rms)
静态功耗	42 μ W/pixel	40 μ W/pixel
应用	X射线成像	X射线成像高能物理



报告内容

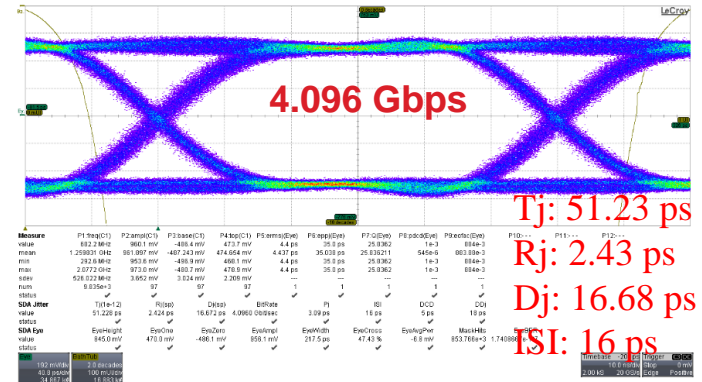
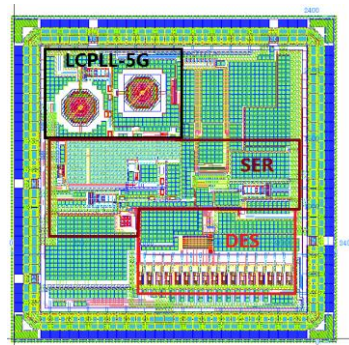
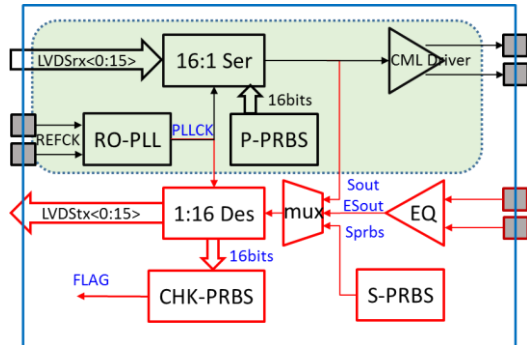
- ▶ 前端读出ASIC
 - ◇ 高精度电荷测量
 - ◇ 高精度时间测量
 - ◇ 高速波形数字化
 - ◇ 硅像素探测器读出
- ▶ 数据汇总与传输ASIC
 - ◇ 高速接口电路
 - ◇ 数据汇总
 - ◇ 光信号收发

读出电子学系统



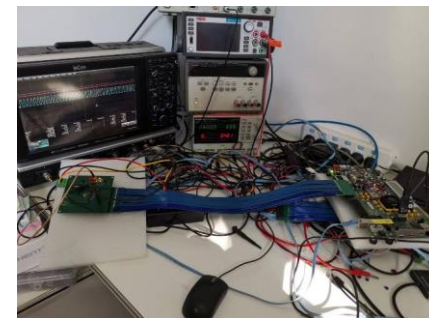
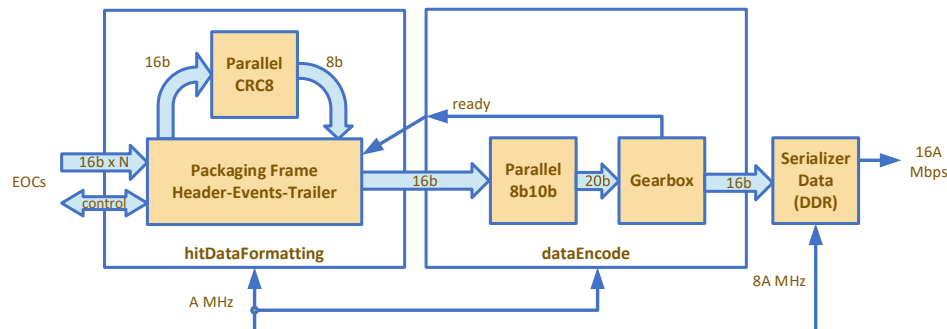
高速串行接口——IHEP

- 硅像素读出芯片因其大阵列、高密度的特点，单芯片数据带宽可达百Mbps~数Gbps；同时靠近对撞点，需考虑抗辐照电路的设计
- 抗辐照的高速时钟模块
 - 针对不同项目需求，IHEP研发了抗辐照的SERDES高速时钟产生电路



- 高速串行接口电路

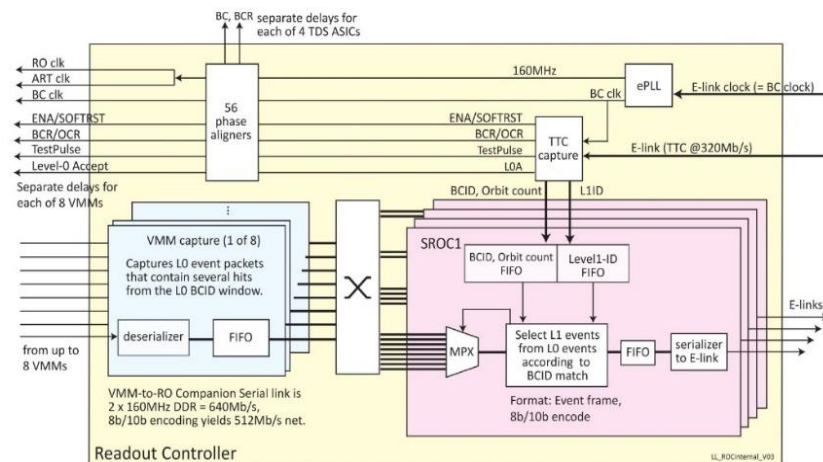
- IHEP研发了片上高速串行接口协议，实现了Gbps量级的链路互联



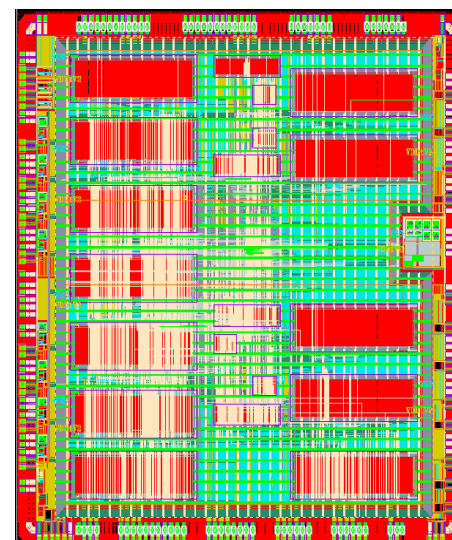
数据汇总ASIC

▶ VMM-ROC (Readout Controller)

- ◇ 应用于ATLAS NSW升级
- ◇ 130 nm CMOS
- ◇ 通道数：8
- ◇ 向VMM、TDS、ART提供时钟
- ◇ L1触发匹配
- ◇ 串行数据发送
 - ◇ 640/320/160/80 Mbps



VMM ROC结构框图

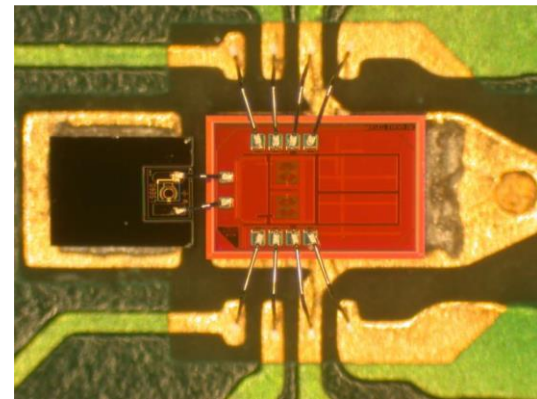
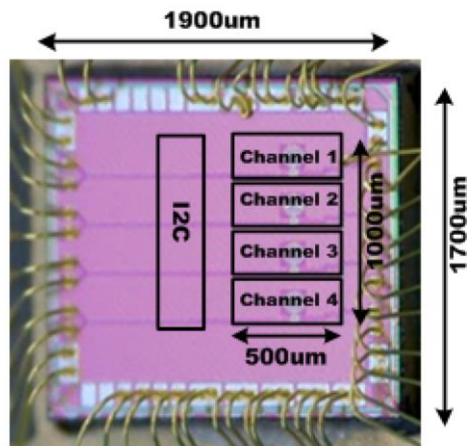


USTC ROC版图

▶ USTC-ROC

- ◇ 汇总前端ASIC芯片的数据，配置并监控ASIC状态
- ◇ 130 nm CMOS
- ◇ 通道数：8
- ◇ 触发匹配
- ◇ 串行数据率：400 Mbps
- ◇ 面积：5 mm × 5 mm

高速汇总及光纤传输ASIC



▶ 第二代GBTx芯片（LpGBT）

- ◇ 65 nm CMOS
- ◇ Downlink: 2.56 Gbps
- ◇ Uplink: 10.24 Gbps(最高)
- ◇ 低功耗: 750 mW
- ◇ 辐照加固: 200 Mrad
SEU robust

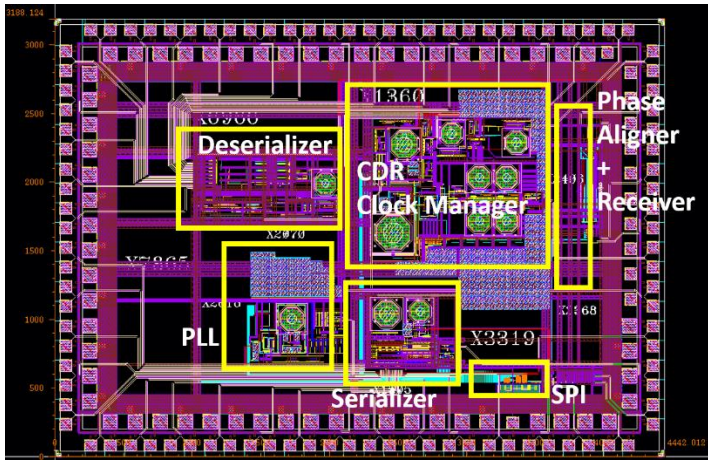
▶ 第二代GBLD芯片（LDQ10）

- ◇ 65 nm CMOS
- ◇ 4 x 10 Gbps 四通道
阵列式VCSEL激光器
驱动

▶ GBTIA芯片

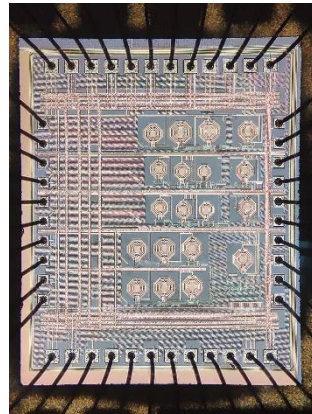
- ◇ 130 nm CMOS
- ◇ 5 Gbps 单通道跨导
放大芯片

国内高速传输及光纤收发ASIC

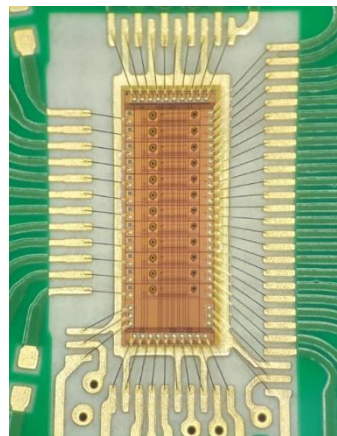


BDTIC芯片（类似IpGBT功能的数据接口芯片）

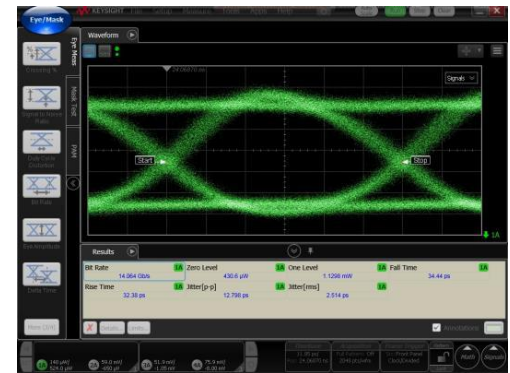
- SMIC 中芯国际55nm
- Uplink: 10.24 Gbps
- Downlink: 2.56Gbps
- 5.12 GHz 锁相环PLL(phase lock loop)
- 160M~1.28Gbps 自动相位对齐
Phase Aligner



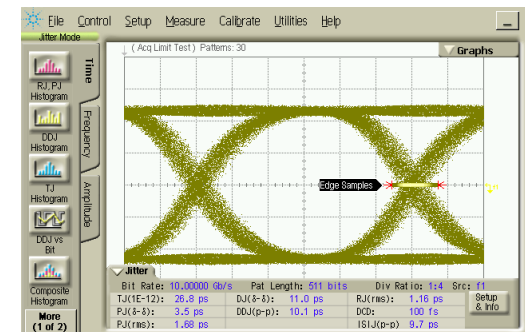
阵列式14 Gbps/ch
激光器驱动芯片
SMIC 55nm



阵列式10 Gbps/ch
TIA跨导放大芯片
SMIC 55nm



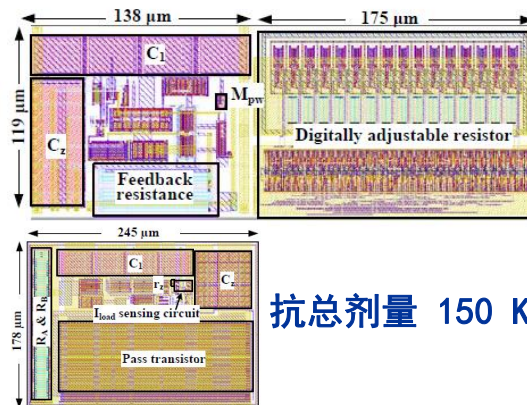
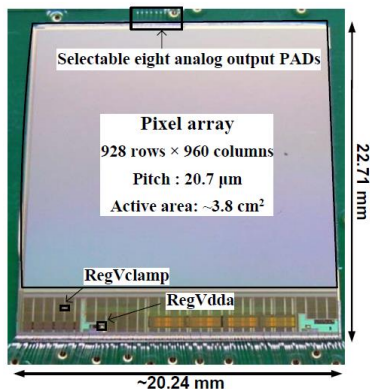
激光器驱动芯片14 Gbps光
眼图



跨导放大芯片10 Gbps眼图

抗辐照低压供电芯片

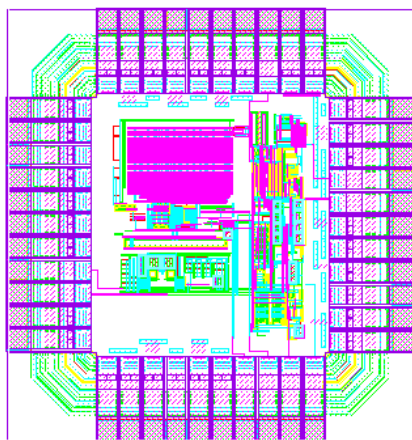
应用于高能粒子探测的CMOS像素传感器LDO



抗总剂量 150 Krad

Performance parameters	RegVclamp	RegVdda
Chip area(mm^2)	0.0389	0.044
I_{max} (mA)	0.19	200
Dropout voltage(V)	0.5	0.3
PSR(dB)	52 @10kHz 38 @1MHz	26 @1MHz
I_q (mA)	0.677	0.147 @0mA 0.314 @200mA
Current efficiency @ I_{max}	48.1%	99.84 %
Output noise(nV_{RMS}/\sqrt{Hz})	222 @100Hz 74.8 @1kHz	340 @1kHz 65 @100kHz

抗辐射同步整流DC-DC转换器



性能参数	设计规格
输入电压	3-7V
基准电压	0.795V
开关频率	500 kHz (固定) 1 MHz (max)
抗单粒子闪烁SEL	> 85 MeV cm ² /mg (LET)
抗总剂量电离效应TID	> 100 krad(Si)

总结

- ▶ 专用集成电路（ASIC）芯片是构成电子学系统的关键组件，一直以来是核电子学领域的重要研究方向。
- ▶ 此领域ASIC发展方向：
 - ◇ 更好的性能
 - 更高精度
 - 更高事例率 ...
 - ◇ 更高集成
 - 更全面的功能
 - 全数字化（数字化前移）
 - 更高集成度 ...
 - ◇ 不断提升的数据传输和处理能力
 - ...
- ▶ 国内ASIC研究呈加速发展趋势，并有系列芯片开始在实际的大型科学实验和工程中应用。

谢谢!