



前端自动增益脉冲放大电路设计



报告人：邓云起



导师：杨苹



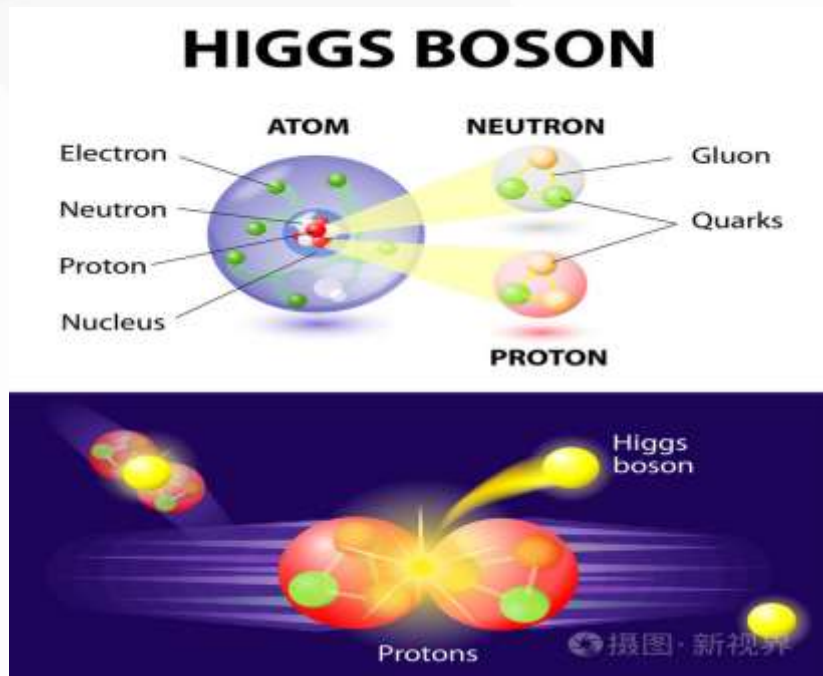


目录

Contents

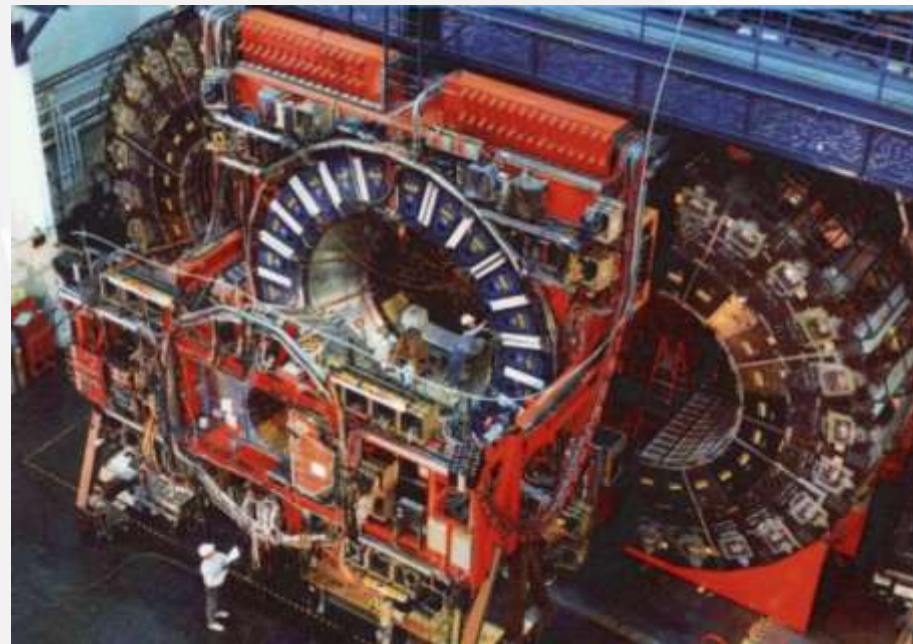
- 1 研究背景
- 2 研究现状
- 3 系统结构
- 4 总结与展望





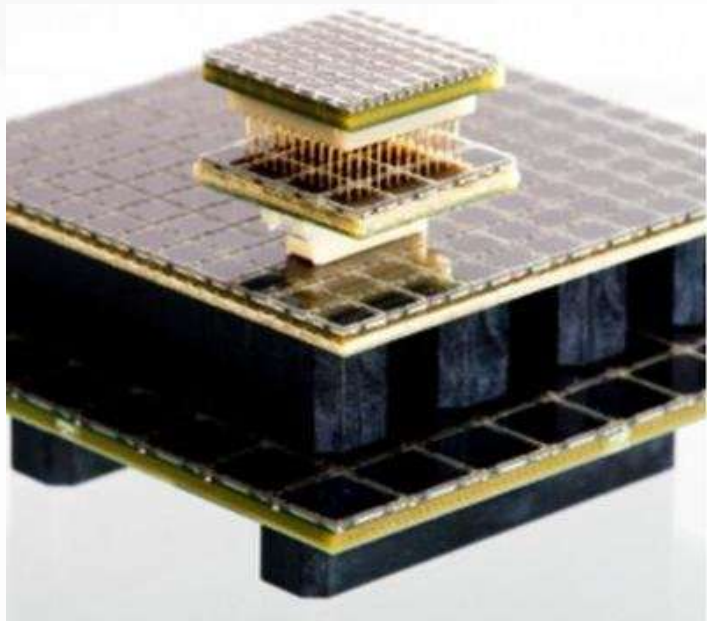
希格斯玻色子

- 2014年CERN宣布发现了 希格斯玻色子
- 希格斯玻色子对人类探索空间有着重大意义



强子量能器

- 为测量希格斯玻色子，要求能量分辨率为 $50\%/\sqrt{E(GeV)}$ 且有3%-4%的jet能量分辨率
- PMT能量分辨率差，空间分辨率差
- 高事件率堆积无法分辨相邻事例



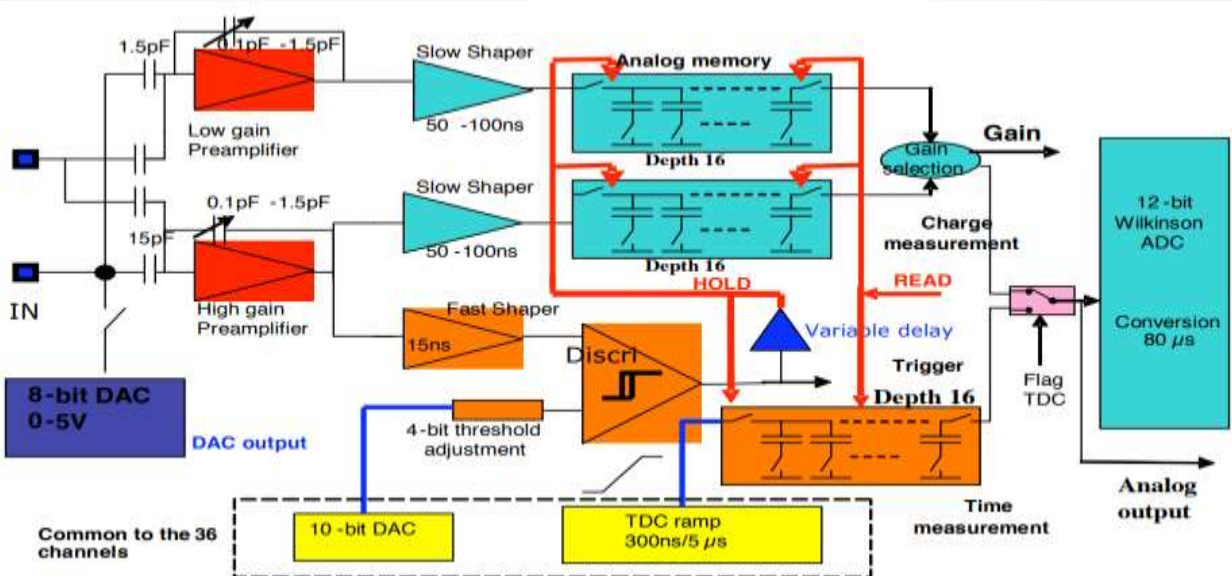
SiPM (硅光电倍增管)

- SiPM体积小, 易于集成
- 高增益 (Gain>106dB)
- 低工作电压 ($27.5 \pm 0.4V$)
- 高时间分辨率 (单光子响应时间<70ps)
- 磁场不敏感
- SiPM代替了PMT成为强子探测器的光电转化材料

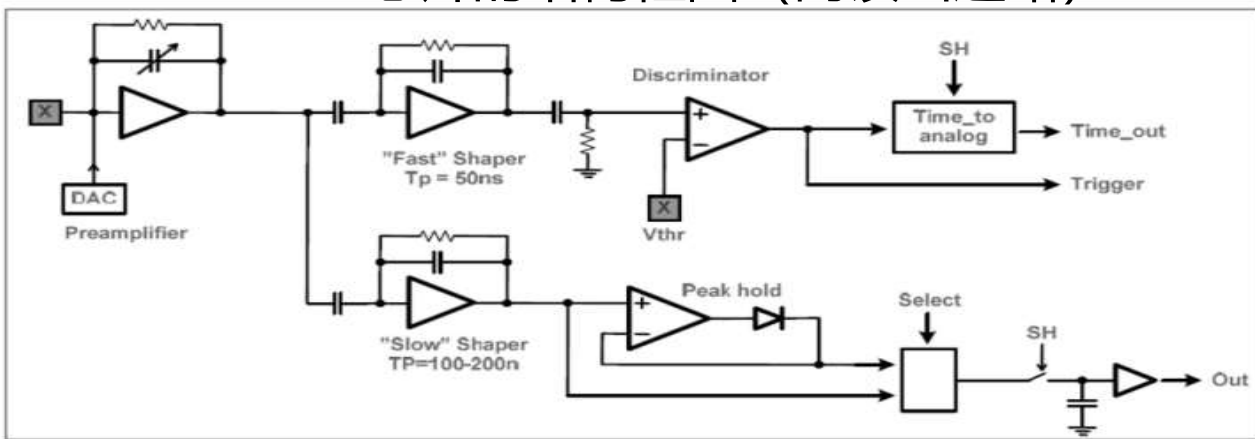
	SiPM	PMT
增益	高	高
工作电压	30V以下	1-3kV
探测效率	30%-40%	25%-40%
温度敏感性	低	低
上升时间	快	快
成本	低	高
读出方式	简单	复杂
磁场兼容性	√	×
小型化	√	×
稳定性	√	×



典型结构



SPIROC芯片的结构框图 (两读出通路)



VATA64芯片的结构框图 (外部可变电容)

- 该芯片内有高低两个增益档位
- 采用电容比例放大
- 后续由开关电容电路储存送入ADC中测量
- 由快通道读出时间信息

- 该芯片由外部可变电容实现多增益档位
- 前端为电荷灵敏型前放
- 后续有峰值保持电路和开关电容电路
- 由快通道读出时间信息



SiPM读出芯片对比



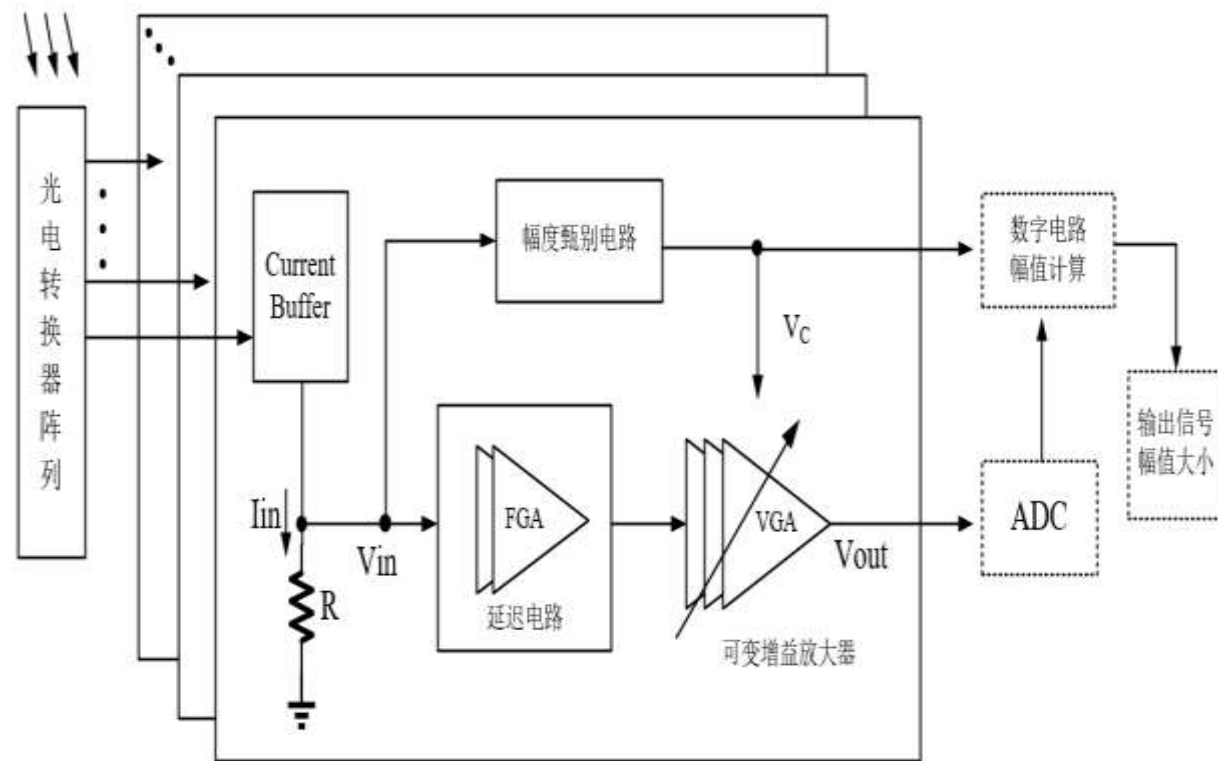
发表单位	芯片	工艺	通道数	ADC	功耗/通道	动态范围	噪声	抖动	应用
CERN	NINO	CMOS 0.25um	8	×	30mW	200pC	1fC	20ps	ALICE TOF
OMEGA	SPIROC	SiGe 0.35um	36	√	5mW	200pC	5-10fC	100ps	ILC HCAL
OMEGA	MAROC2	SiGe 0.35um	64	√	20mW	80pC	1fC	120ps	ATLAS lumi
Ideas	VATA64- HDR16	CMOS 0.35um	64	×	16mW	12pC	1fC	160ps	×
清华大学	EXYT	CMOS 0.18um	64	×	<5mW	1500pC	50fC	120ps	PET
中科院高能 物理研究所	CITIROC	SiGe 0.35um	32	×	2mW	300pC	×	×	Labr3
西北工业大 学	SENSRO C2	CMOS 0.35um	8+1	×	2.4mW	112pC	×	×	X射线



提出的结构：片上自动增益调节覆盖大动态范围



- 信号周期为 $1\mu\text{s}$ ，脉宽为 10ns
- 信号到达的时间不确定，幅度不确定
- $3\text{cm}\times 3\text{cm}$ 的SiPM需要约5M个读出通道
- 片外调节增益方式不适用（每次信号幅度不确定）
- 为了减小单个通路的面积与功耗，提出了一种片上自动增益调节覆盖大动态范围的读出方法（已申请发明专利）



自动增益脉冲放大电路框图

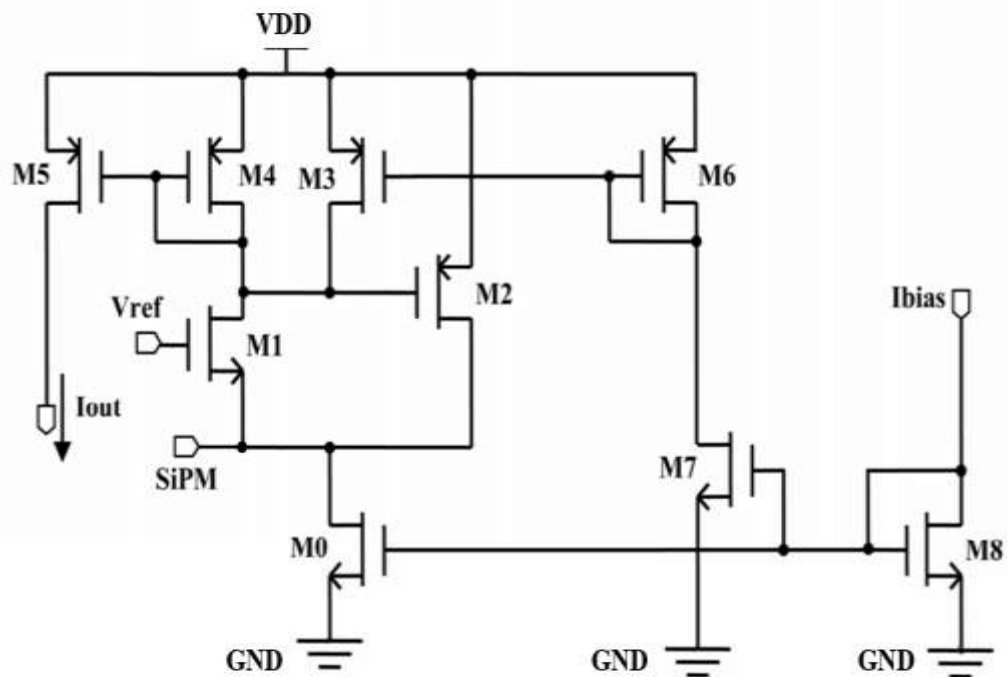
参数	设计指标
增益动态范围	$>20\text{dB}$
非线性误差	$<5\%$
覆盖的输入动态范围	$160\text{fC}\sim 160\text{pC}$
功耗	$<20\text{mA}$



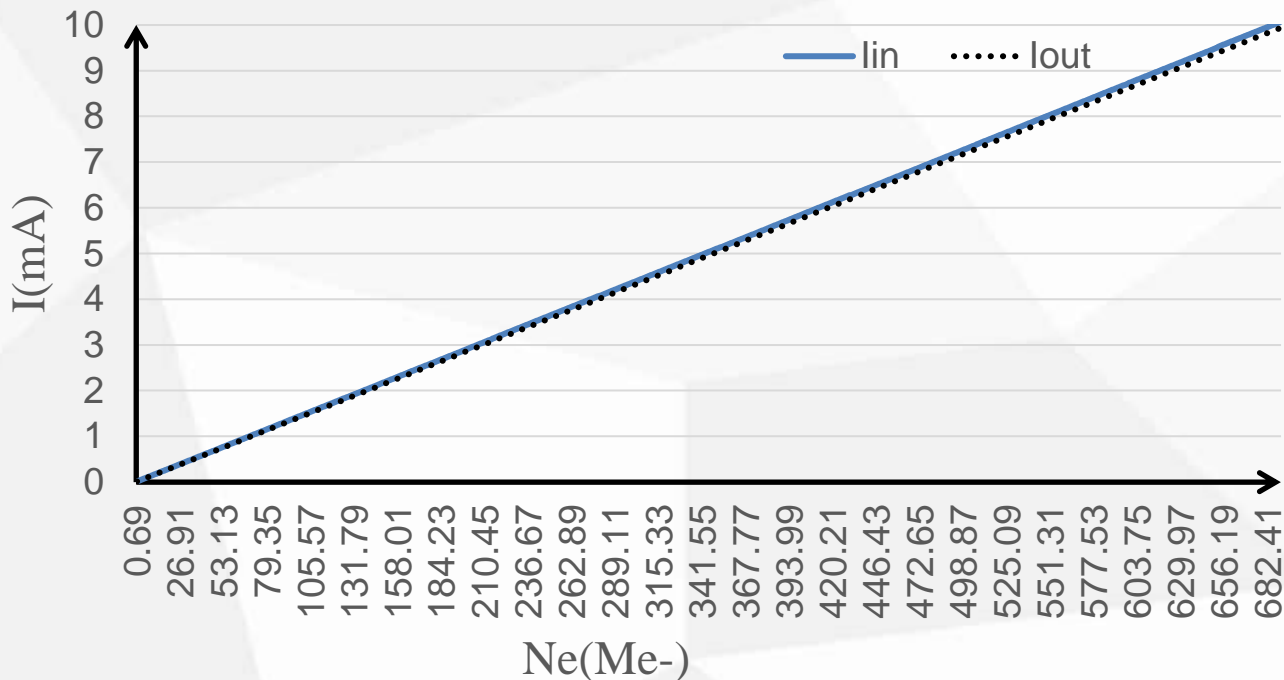
Current Buffer



- 电路由共栅级管M1输入
- M4和M5组成电流镜复制电流
- M2构M1负反馈，提高了电路的频响特性且降低了输入阻抗

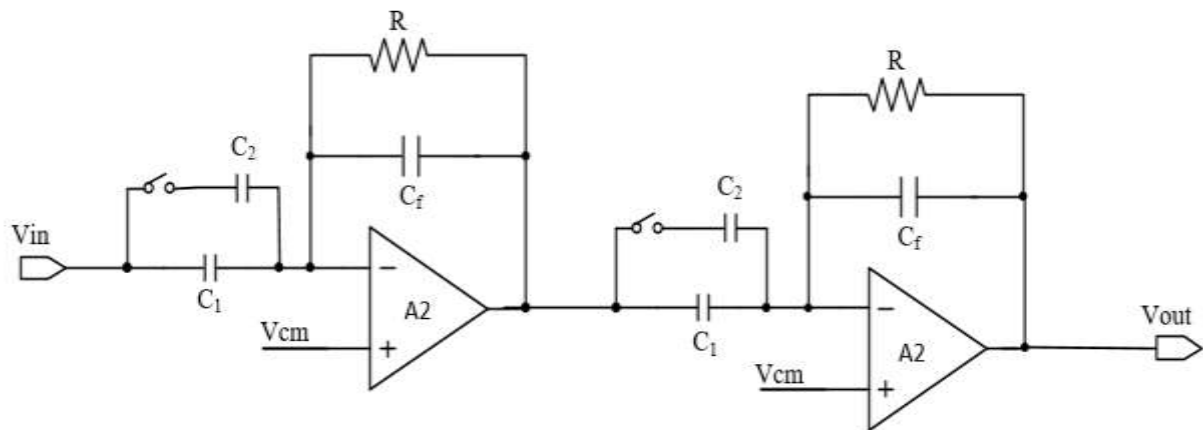


Current Buffer结构



Current Buffer仿真结果

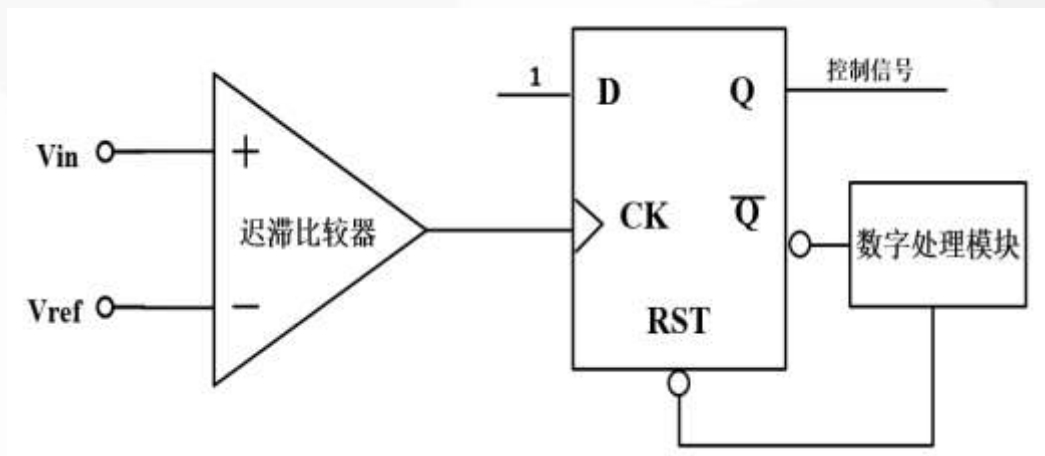
输入阻抗	17Ω
输入动态范围	10μA-10mA
功耗	830 μA
电源电压	3.3V



可变增益电路结构
主运放性能

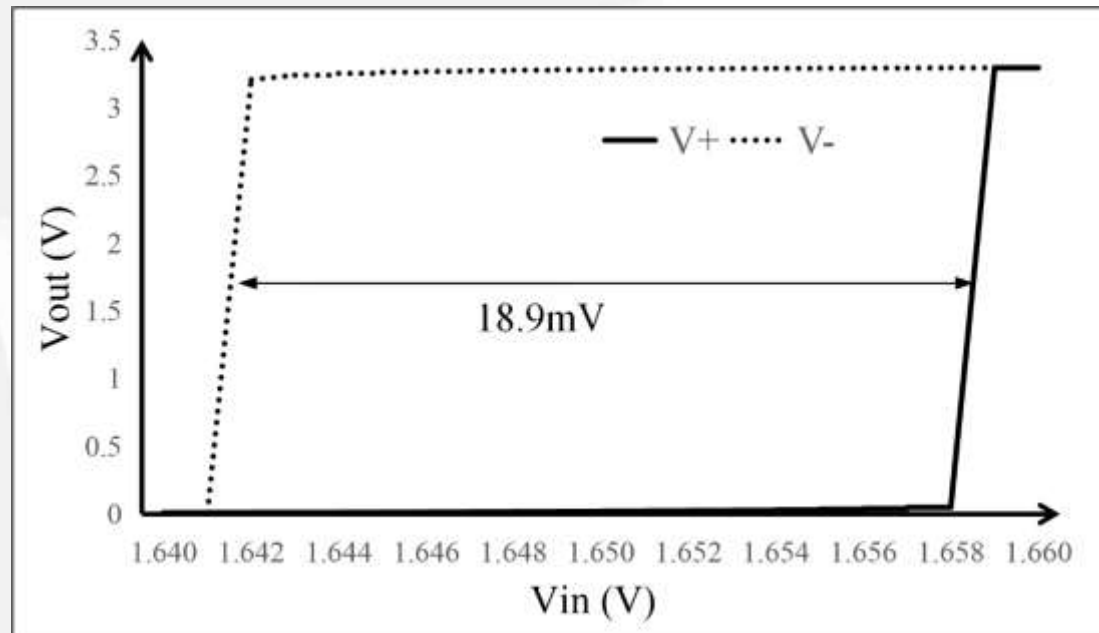
- 采用固定增益放大实现延迟，该延迟时间大于比较器的甄别时间。
- 不同输入电容实现两种增益档位选择
- 两档可变增益分别为26dB与0dB，实现1000倍动态范围
- 默认增益档位设置为26dB

参数	符号	测量值	单位
直流开环增益	A_v	91.11	dB
增益带宽积	GBW	612.5	MHz
相位裕度	PM	62.9	°
转换速率	SR	357	V/ μ s
静态功耗	I_{ss}	4.3	mA
输入失调电压	V_{os}	0.28	mV
共模抑制比	CMRR	77	dB
电源电压抑制比	PSRR	72	dB



信号甄别电路

- 输出控制信号Q，控制可变增益放大器的档位选择
- 参考电压设置为16pC电荷输入的输入电压幅值
- 电路采用迟滞比较器，避免噪声误翻
- 迟滞窗口为18.9mV
- 压摆率为8500V/ μ s

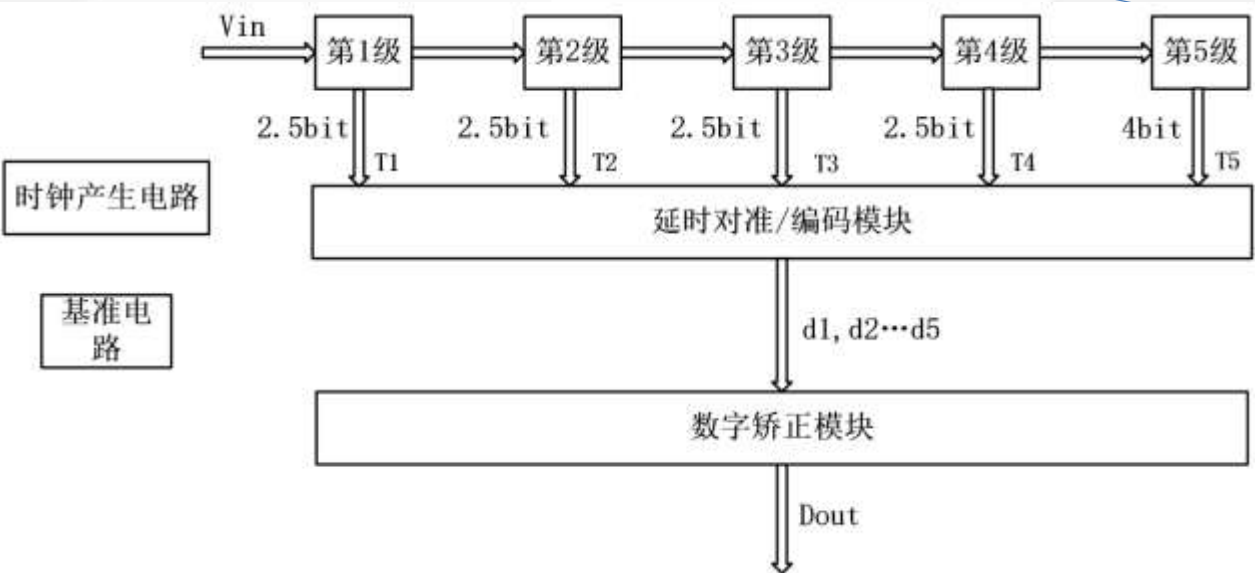


迟滞比较器的仿真结果

性能参数	仿真结果
迟滞范围	18.9mV
上升传输时延	2.35ns
下降传输时延	3.40ns
正压摆率	8050V/ μ s
负压摆率	8500V/ μ s
系统失调电压	0.29mV

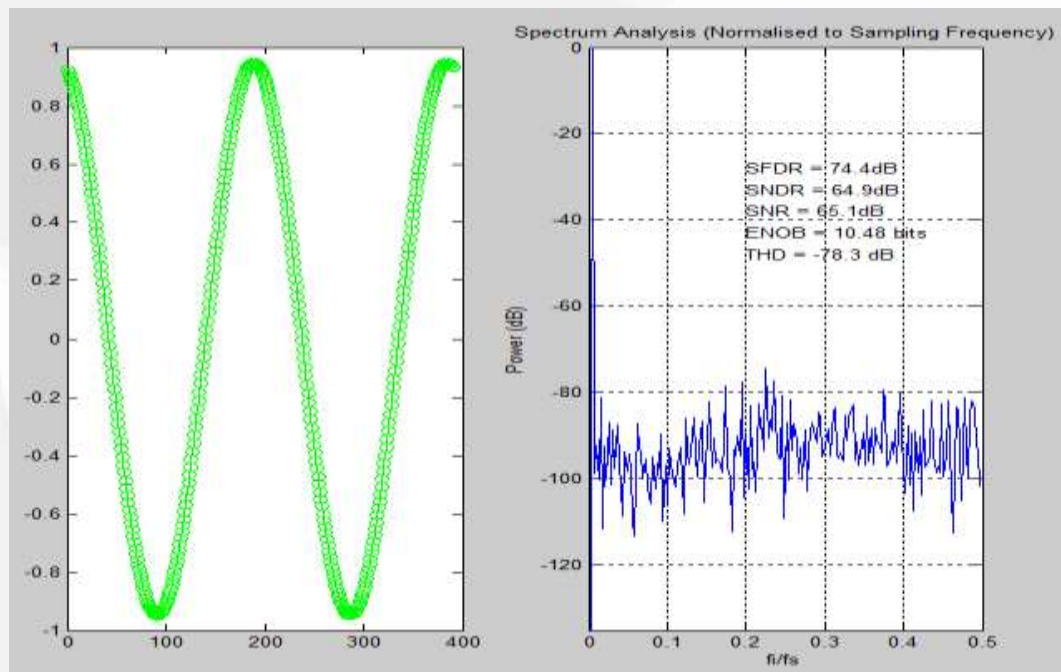


模数转换器 (Pipeline ADC)



Pipeline ADC结构框图

- 采样率40MHz
- 信号由4级2.5bit的Pipeline级构成，最后由一个4bit的flash ADC，共组成14bit码字，有2bit冗余位
- 2bit冗余位实现数字校正

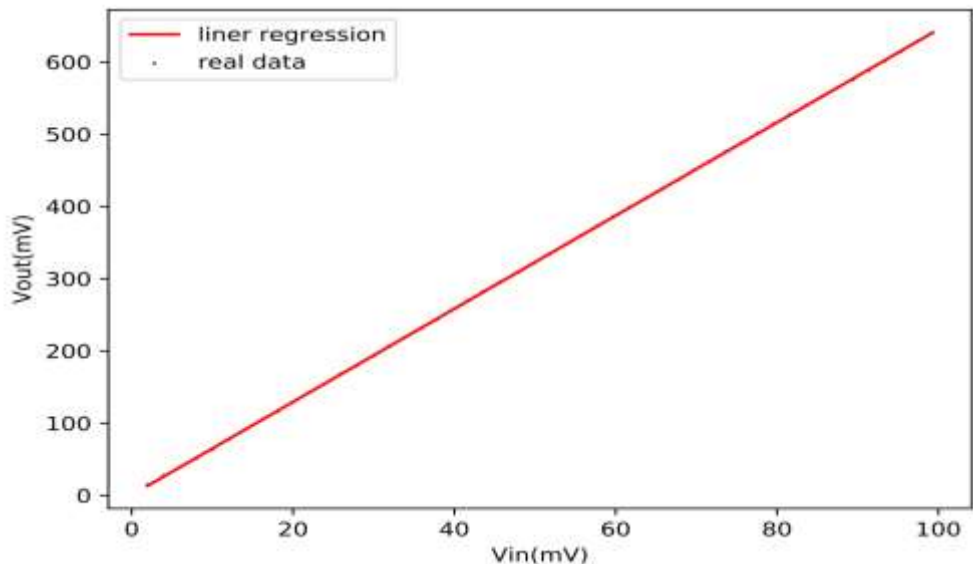


ADC的后仿真结果

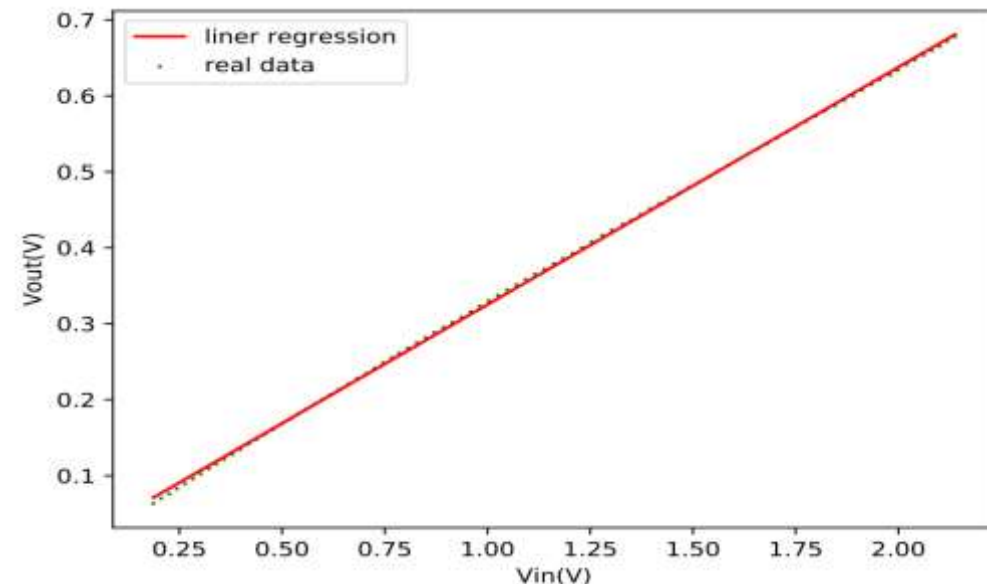
性能参数	仿真结果
SNR	65.1dB
SNDR	64.9dB
SFDR	74.4dB
THD	78.3dB
ENOB	10.48bit
功耗	50mW



整体仿真结果



高增益档位输入与输出曲线



低增益档位输入与输出曲线

整体电路仿真结果

参数指标	仿真结果
增益动态范围	-6.04 dB ~19.86dB
-3dB带宽@最大增益	48MHz
高增益档位非线性误差	0.32%
低增益档位非线性误差	0.96%
输入动态范围	160fC~160pC
信噪比@160fC	9.02
功耗	18.38mA



- **该芯片作为新方案尝试的一个初版，目前已在GSMC130工艺上进行流片，正在等待芯片回来测试验证。**
- **由于是新方案的初版，后续还有可优化的方面：**
 1. **减小功耗，主要功耗是由于要处理10ns脉宽的信号，前端放大和延迟级消耗了不少功耗。**
 2. **已设计一款12位的Pipeline ADC，目前已流片完成正在测试，TDC已经设计了一款环形游标TDC，包含dII校正，精度为20ps，动态范围为1 μ s，目前在等待流片。**
 3. **后续可以增加多个增益通道，提升测量精度。**



THANKS!