



单片HVCMOS硅径迹探测器 读出芯片

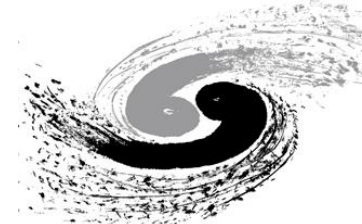
报告人：谢坤好

NED2023

2023.8.10

1

项目背景

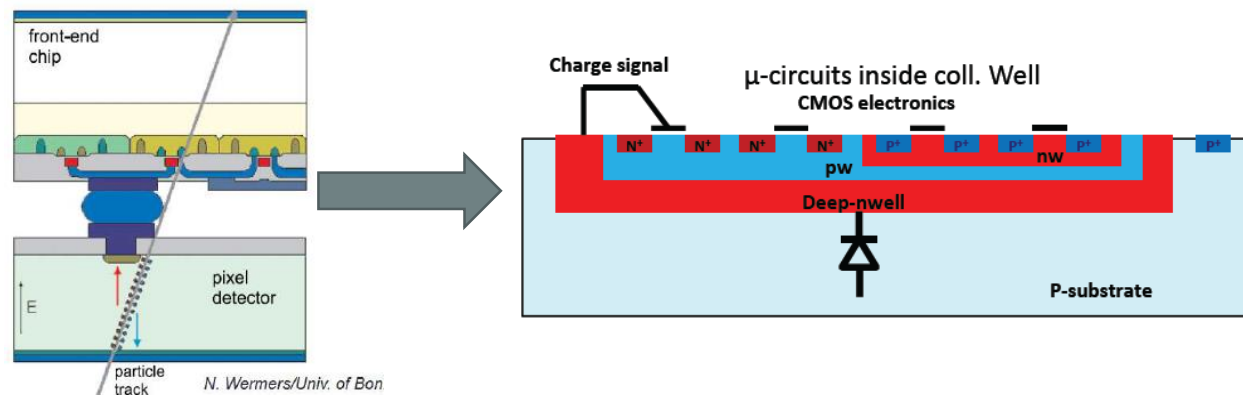
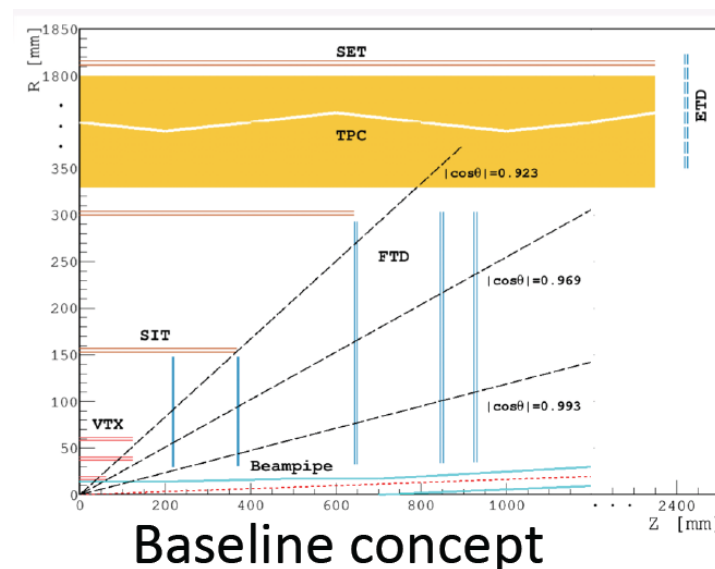


◆ CEPC 硅径迹探测器

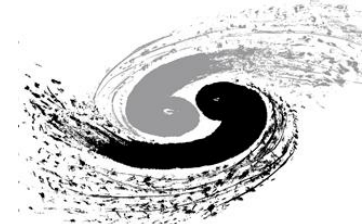
- ✓ 大面积灵敏区 → 低成本
- ✓ 低物质质量 → 低功耗
- ✓ 高位置分辨率 → 低噪声

◆ 单片式硅径迹探测器

- ✓ 相比于混合型探测器
- ✓ 基于商用工艺
- ✓ 不需要复杂的组装工艺
- ✓ 集成度高，像素可以做得更小



HVCMOS

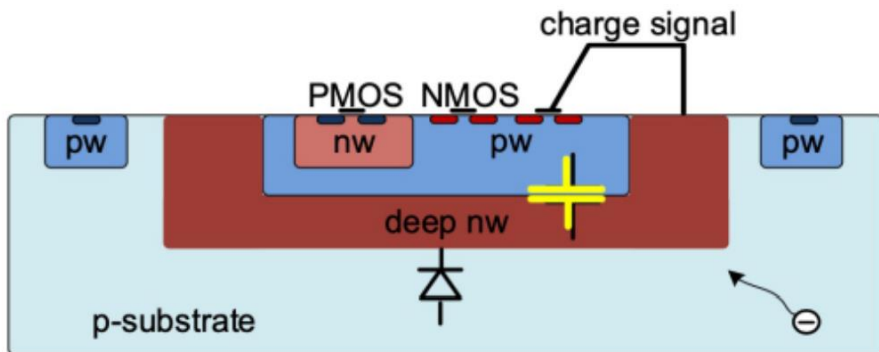
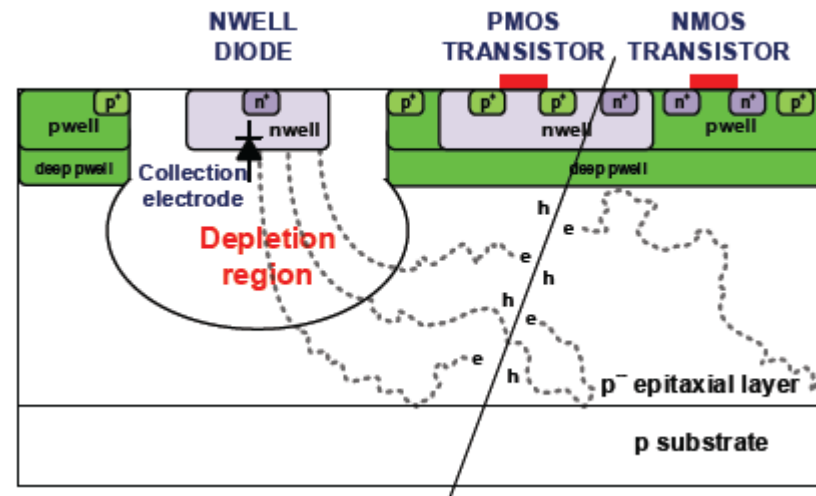


与标准CMOS工艺相比

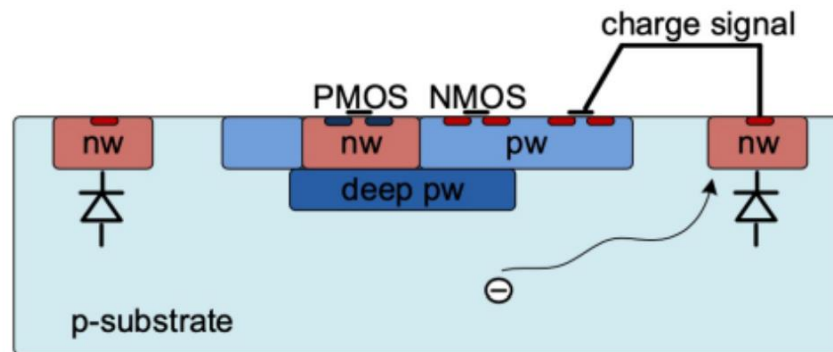
- ✓ deep n-well 作为电荷收集极；
- ✓ 粒子击中产生的电离电荷主要以 漂移 的方式收集。

与HRCMOS小电极设计相比

- ✓ 电荷漂移距离短，收集速度快；
- ✓ 寄生电容引入较高的噪声和功耗，较适合于外层径迹探测

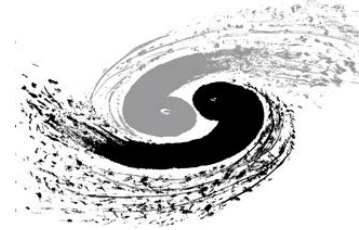


High Voltage CMOS



CMOS with small electrode

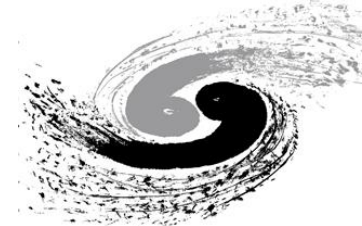
国产工艺尝试



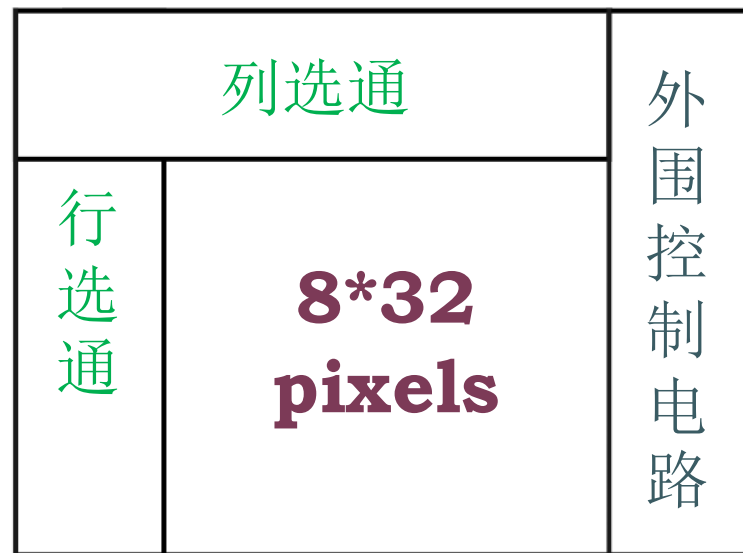
- ◆ 高能物理领域的现有HVCMOS芯片主要工艺
 - ✓ AMS 180nm
 - ✓ LFoundry 150nm

- ◆ 国产工艺尝试
 - ✓ 华力55nm设计尝试;
 - ✓ SMIC55nm标准cmos;
 - ✓ SMIC55nm HVCMOS;
(提供1K和2K两种高阻衬底,
即将提交MPW流片)

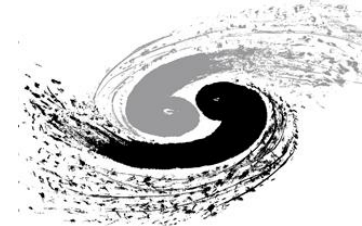
MPW芯片框架



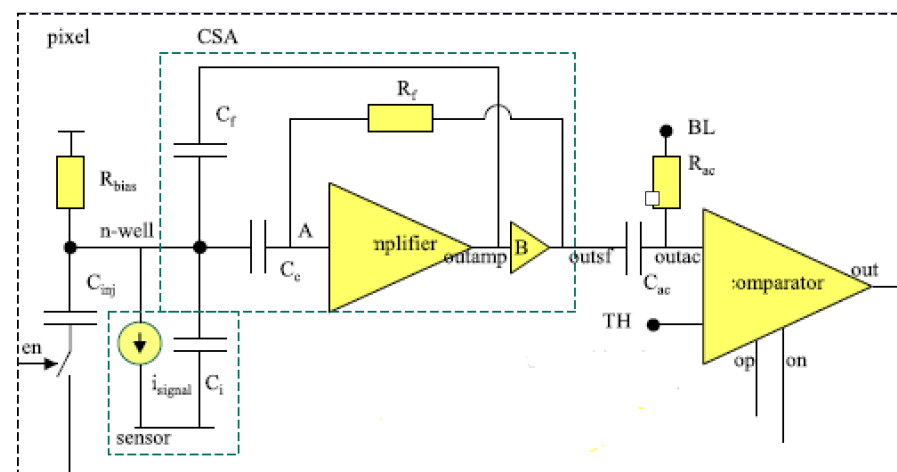
- ◆ 传感器：6种几何结构
- ◆ 电路：
 - ✓ 阵列规模：**8*32** pixels;
 - ✓ 像素级电路：电荷灵敏前置放大器（**CSA**）+ 阈值甄别器（**comparator**）；
 - ✓ 控制电路：**行列选通阵列控制像素开关**；
 - ✓ 外围电路：基准电路，数模转换电路；
 - ✓ 监测电路：多个buffer；



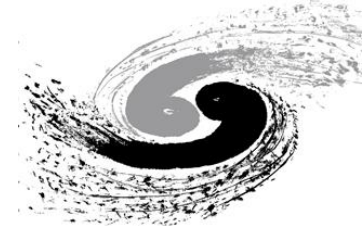
像素整体电路



- ✓ 不同电路模块间交流耦合，直流电位互不干扰；
- ✓ DNW通过大电阻上拉偏置在接近1.2V电位；
- ✓ 同时，该电阻可避免基线堆积；
- ✓ 阈值甄别器也通过大电阻上拉至合适电位。



阈值甄别器



✓ 考虑特殊工艺+前放的灵敏程度，尽量避免**kickback**

noise:

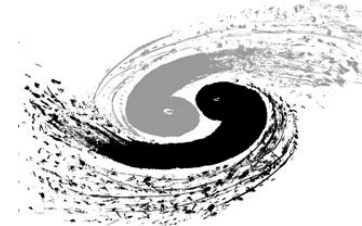
——全部阈值甄别器置于同一个阱中；

——每级运放需增益小，速度快：响应速度约6ns；

——数字电源与模拟电源分开；

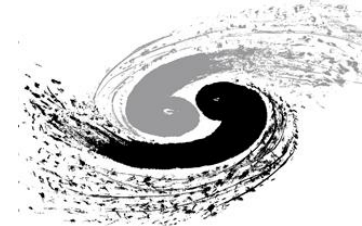
——与此同时，功耗尽量小：约6uW；

外围pA量级电流产生

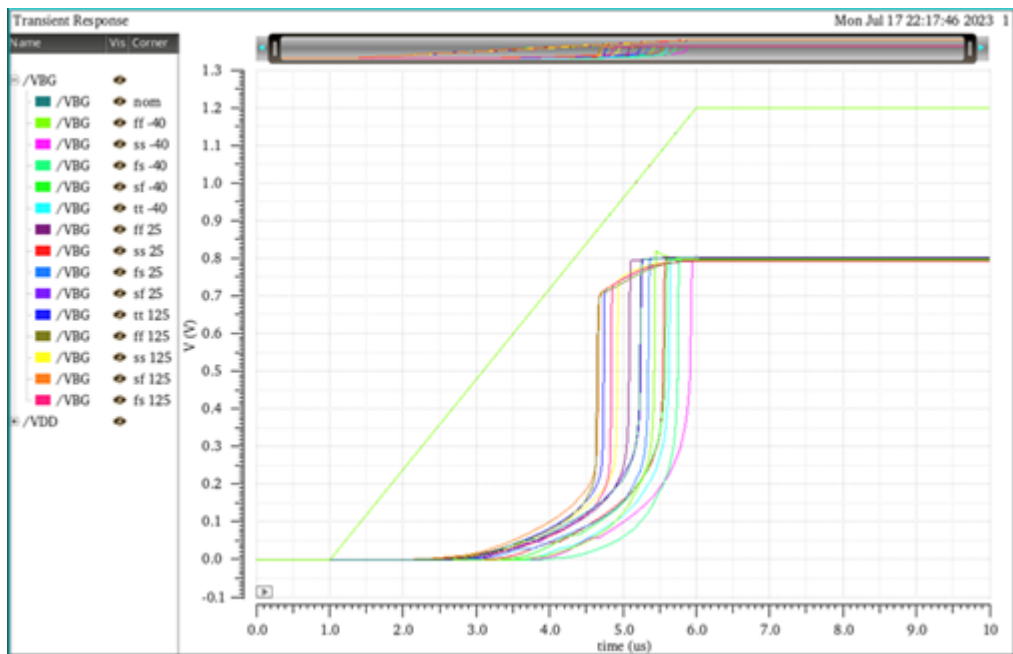


- ✓ 相对稳定的电流源从其他模块产生并引入；
- ✓ 将电流镜晶体管隔离电源干扰；
- ✓ 电流源的微小干扰耦合至像素尽量减小；
- ✓ 0-80°C扫描，可产生60pA-90pA电流；
- ✓ Corner仿真亦可承受；
- ✓ 关键是需保证即便微小电流也能较为精准复制；

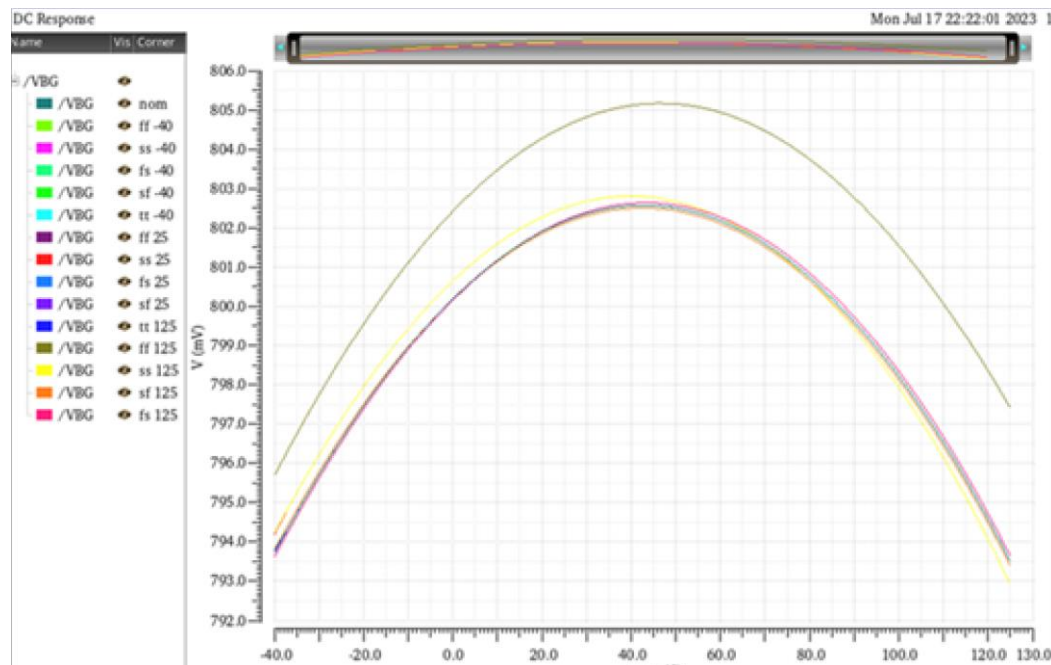
基准电路



- ✓ 低压带隙电路;
- ✓ 稳定产生约800mV电压;
- ✓ 上电快速;
- ✓ 版图上需注意电阻匹配, 运放输入管的匹配。

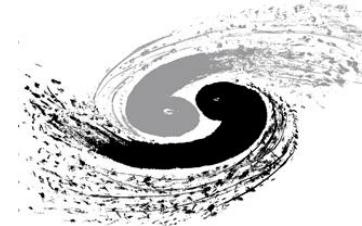


上电仿真

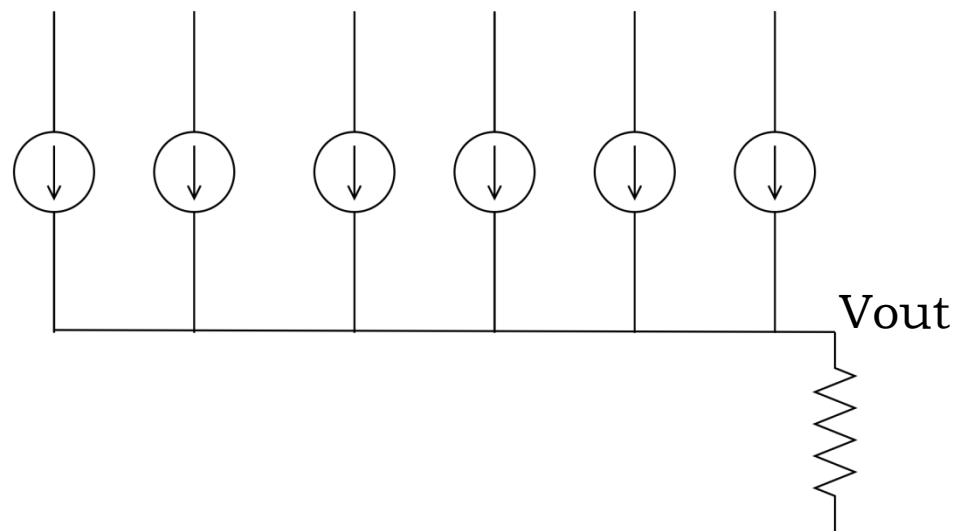


温度扫描

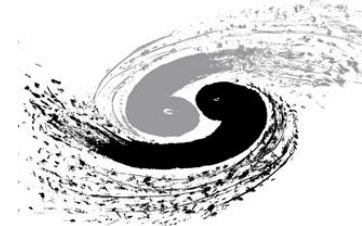
数模转换器



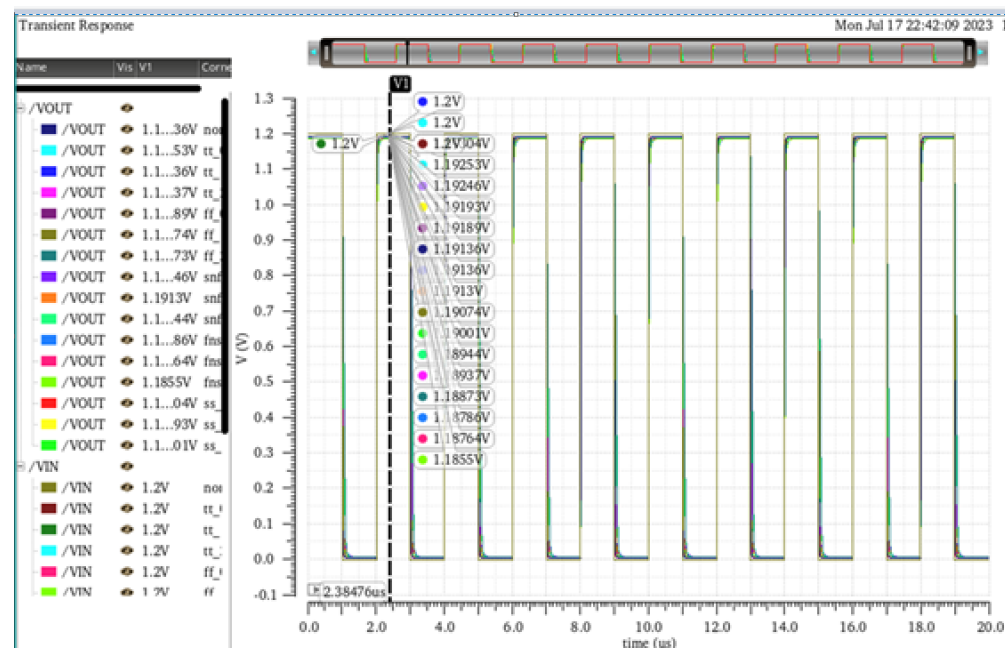
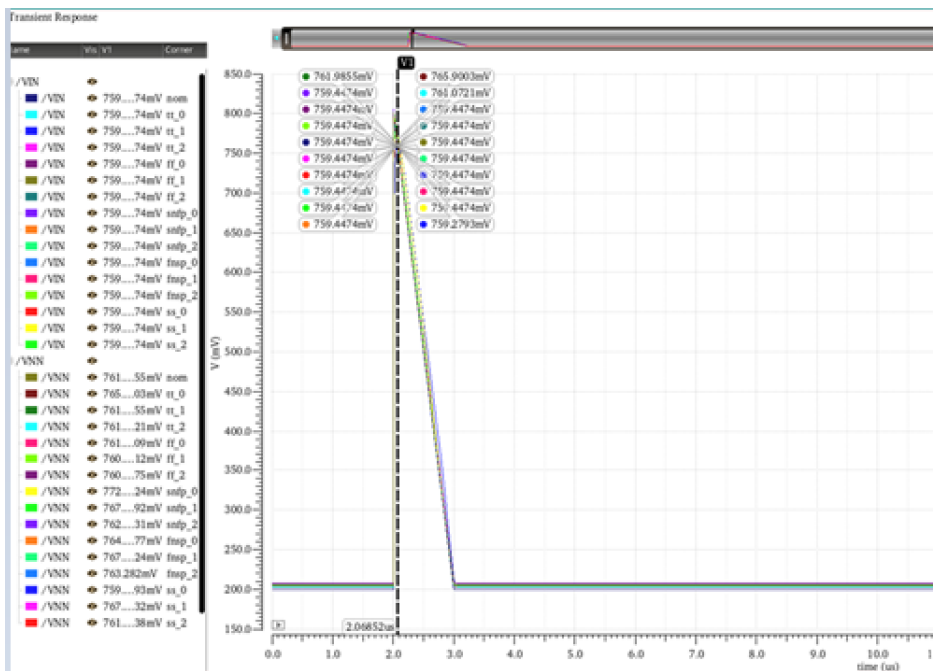
- ✓ 6bits的数模转换器;
- ✓ 约0~800mV的可调节电压范围;
- ✓ 长距离走线可能会引入不同电流源之间响应速度和精度问题;
- ✓ 版图上需注意匹配!
- ✓ 失配引入的效应需考虑周全。



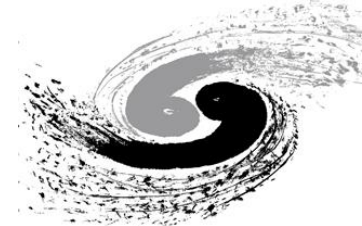
监测电路



- ✓ 多个buffer;
- ✓ 需满足较大的压摆率来跟随信号输入信号的快速变化;
- ✓ 考虑功耗、面积不能占芯片太大部分;
- ✓ 版图上匹配!



总结



- ✓ 基于HVCMOS工艺的单片探测器适用于CEPC外层径迹探测器；
- ✓ 采用国产工艺探索了像素电路设计；
- ✓ 初步完成了像素电路设计并将提交MPW流片；
- ✓ 进一步完成设计和相关测试工作。



感谢聆听 ☺