

NvDEx 实验数据读出链路的设计和验证

Thursday, 10 August 2023 16:38 (12 minutes)

NvDEx 是一个利用高压 SeF₆ 气体时间投影室 (Time Projection Chamber, TPC) 寻找 82Se 的无中微子双贝塔衰变的实验。前端电子学测量无雪崩放大的情况下漂移到端盖的离子电荷。端盖的读出平面约由 15000 个传感器组成。电子学如何有效地从所有传感器读取数据至关重要。本文主要介绍数据读出链路数字部分的设计和验证。用于验证的原型系统包含前端小型数字传感器阵列、数据聚合模块和后端数据获取系统。

后端数据获取 (DAQ) 系统基于 PCIe 架构, 主要硬件为支持 24 路双向光纤通信的 PCIe 板卡, 从板卡到服务器的数据吞吐量可达约 180 Gbps。该卡支持 28Gbps 光链路传输, 但采用较慢的 QSFP 模块就可满足 NvDEx 实验需求。前端数字阵列模块包含 20 个单元, 用于验证芯片间数据互传以及与数据聚合模块的双向低速通信 (40 ~ 50 Mbps)。数据聚合模块将放置在读出平面边缘, 目的是实现低速链路到高速链路的双向转换, 减少外连电缆的数量, 将有助于降低电子学的放射性本底。该模块上的高速收发芯片低速端连接数字芯片阵列边沿的 I/O, 其高速端则与后端 DAQ 系统进行双向通信。基于以上电路模块, 我们对双向数据链路进行了验证和评估。对于下行链路, PCIe 固件将来自服务器的命令编码后发送到数据聚合模块解码, 最终命令转发到数字传感器阵列的边沿数字 I/O。对于上行链路, 编码数据通过数字 I/O 链路传输, 最终被收发器汇总并进行 8B10B 编码。数据发送到 DAQ 板卡后被解码并最终发送到服务器。

Primary authors: 郎, 磊 (华中师范大学); CHEN, Kai (Central China Normal University); LIANG, Tianyu (Central China Normal University); ZHU, dou (Central China Normal University); XIAO, le (Central China Normal University); SONG, xinyue (Central China Normal University); HE, ziyi (Central China Normal University); YU, zongyang (Central China Normal University)

Presenter: 郎, 磊 (华中师范大学)

Session Classification: 第二分会场 (RBS4)

Track Classification: 核电子学及其应用的研究成果