

大面积超薄硅像素探测器原型机的研究

Thursday, 10 August 2023 16:26 (12 minutes)

基于 CMOS (互补金属氧化物半导体) 的硅像素探测器近年来在高能对撞物理实验中发展迅速, 成为顶点探测和径迹探测的主要技术方案。在对 BESIII 漂移室内室的升级研究工作中, 一种新的方案是采用芯片拼接技术方案, 研制晶圆尺度的 CMOS 像素传感器, 并进行打磨减薄到可卷曲的厚度 ($\sim 50 \mu\text{m}$), 从而开展圆筒形自支撑结构的硅径迹探测器原型机的研究。该方案不仅具有传统 CMOS 像素探测器的优势, 即高空间分辨、优异的抗辐照能力, 还具有极低的物质质量和较低的灵敏区功耗。

原型探测器设计为两层 $50 \mu\text{m}$ 厚的高精度硅像素探测器, 芯片内半径分别为 35mm 和 48mm, 长 100mm, 两层芯片之间由 PMI 泡沫作为隔离和辅助支撑。在芯片架构上, 为了提高读出速度, 采用长方形像素设计。一组基本像素阵列由 92 行、600 列个长方形像素构成, 42 组该阵列和外围电子学等拼接成单个晶圆级芯片, 芯片长宽均为 11cm; 而外围电子学设置在芯片两端的灵敏区以外, 可简化探测器的冷却系统, 使得探测器的物质质量降低到每层平均约 $0.12\% X_0$ 。此外, 针对原型探测器研制的工艺方法, 如大面积超薄芯片卷曲、打线卷曲顺序、引线键合参数优化、芯片卷曲后性能研究等问题, 开展了相关研究。首先, 通过有限元仿真分析及优化工装设计, 实现了芯片卷曲后边缘处偏移量小于 $\pm 100 \mu\text{m}$; 通过反复实验比较, 确定了先卷曲后打线的方法; 通过优化超声和键合力, 使得打线键合平均拉力大于 8.5g, 确保芯片卷曲后打线的稳定性和可靠性; 最后, 我们将使用 CMOS 功能芯片进行卷曲测试, 对比研究芯片卷曲前后的性能。

通过以上研究, 验证了基于芯片拼接技术的大面积圆筒探测器原型机研发的工艺流程, 为后续研究的顺利进行奠定了基础, 同时还将为未来高性能顶点径迹探测器的研发提供技术储备。

Primary author: 金, 梁程龙 (核探测与核电子学国家重点实验室, 中国科学院高能物理研究所, 南华大学)

Co-authors: DONG, Mingyi (IHEP); 王, 萌 (山东大学); 周, 扬 (Institute of High Energy Physics); WU, Linghui (IHEP); ZHANG, Liang (Shandong University, CHINA); WANG, Chenxu (Harbin Institute of Technology); DONG, Jianing (山东大学); 王, 安庆 (山东大学)

Presenter: 金, 梁程龙 (核探测与核电子学国家重点实验室, 中国科学院高能物理研究所, 南华大学)

Session Classification: 第一分会场 (RAS4)

Track Classification: 核探测器及其应用的研究成果