

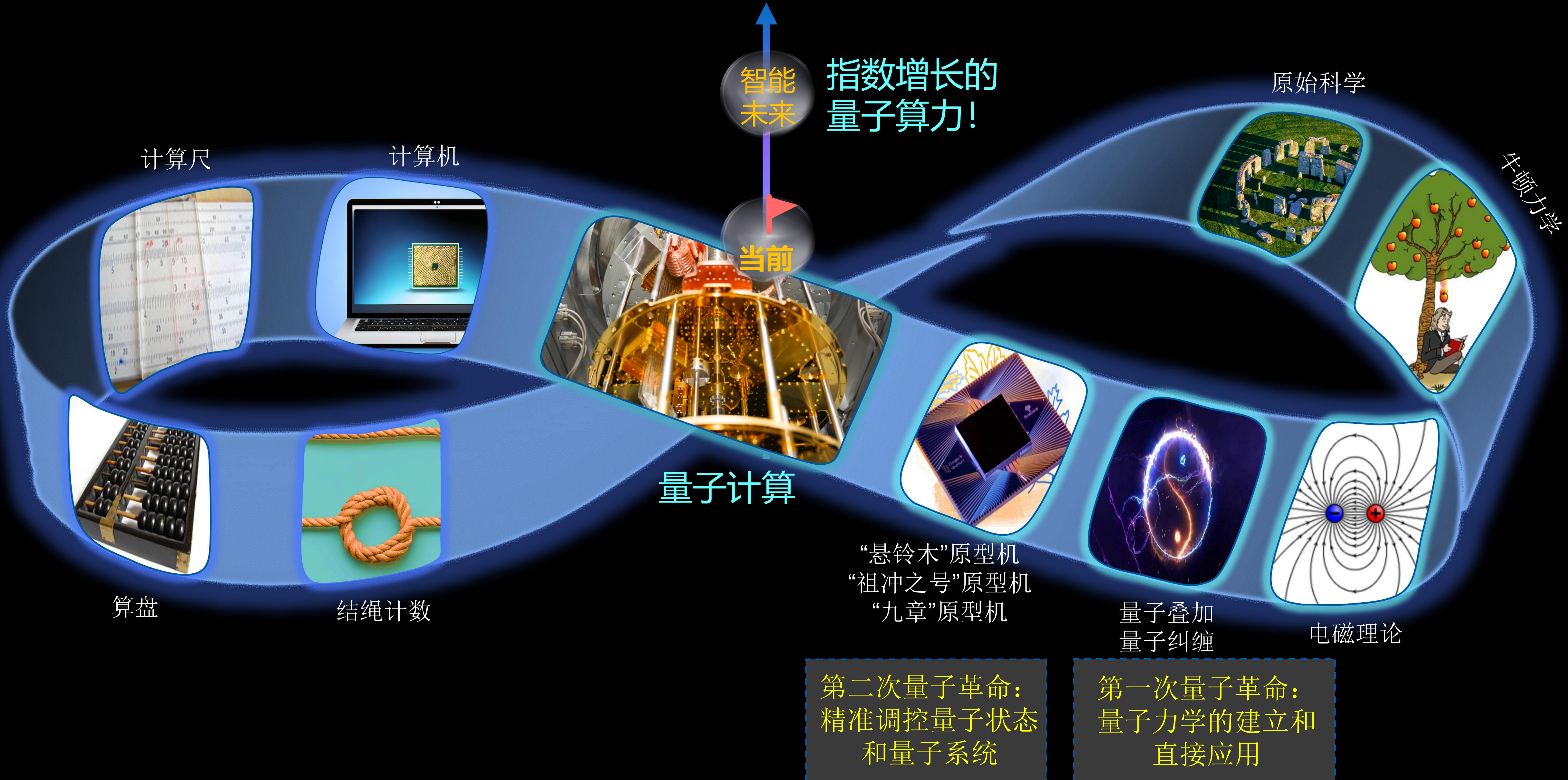
百度量子硬件平台

王宇轩

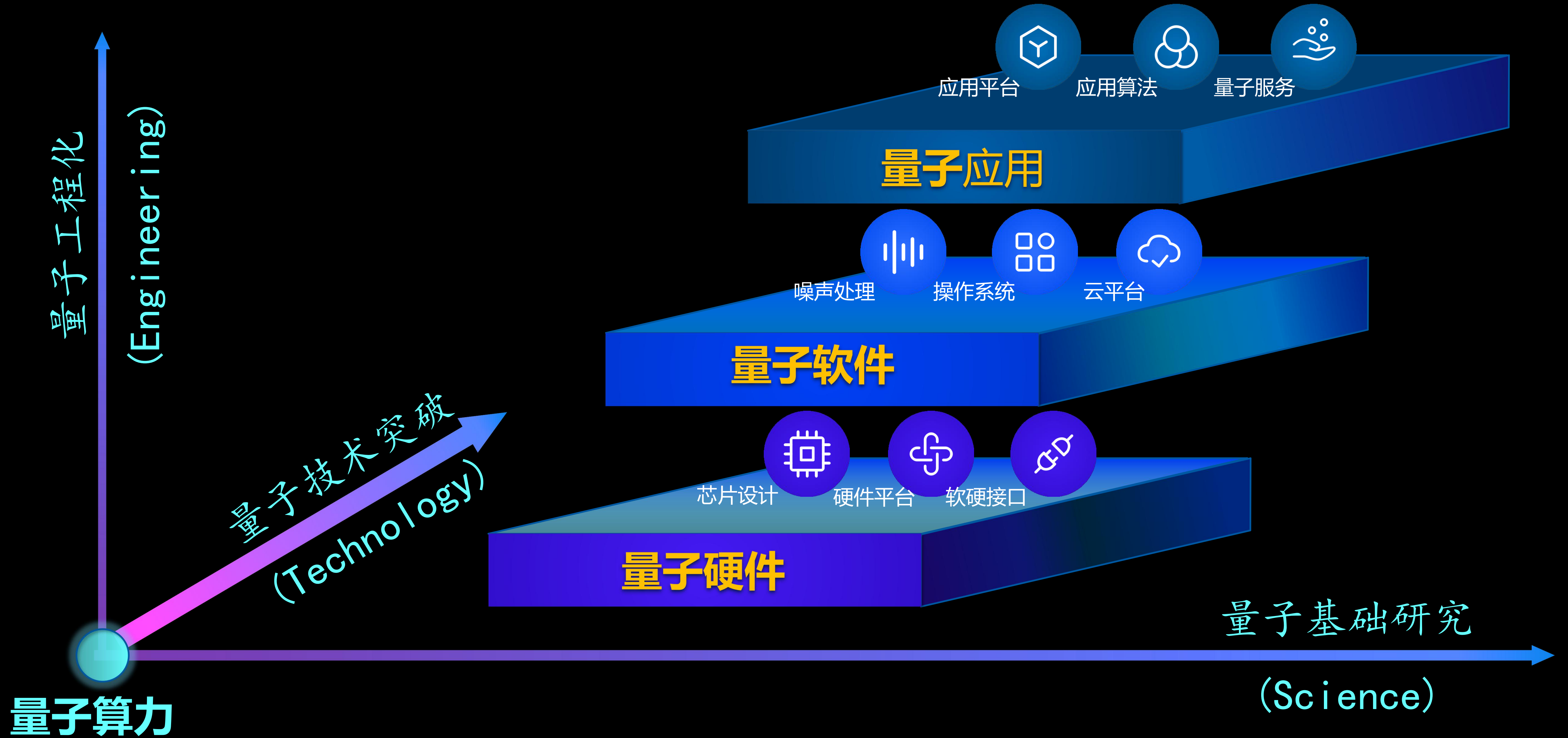
百度量子计算研究所

2023年8月12日

什么是量子计算?



量子计算机研发为什么挑战大？



百度超导量子计算机 乾始

Baidu 百度



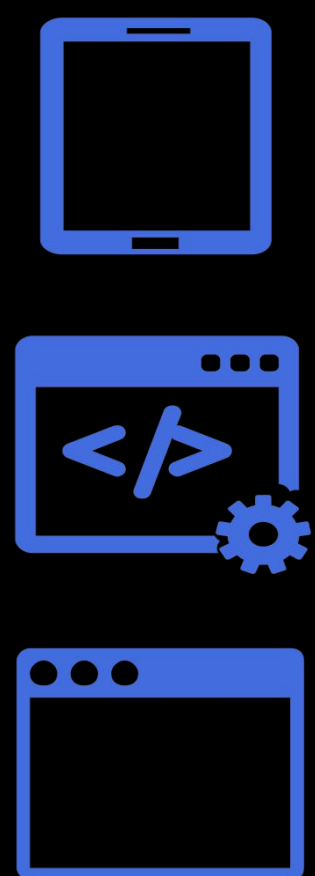
QUANTUM CREATE 2022

量见未来

量子开发者大会

百度超导量子计算机“乾始”全景图

飞桨 Quantum



应用

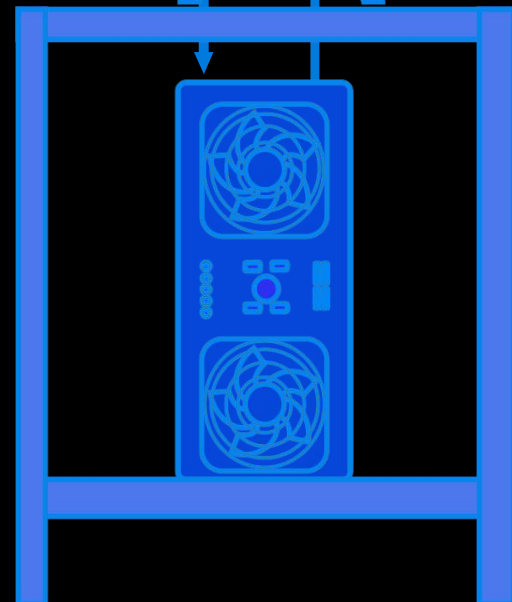


量易伏

软件

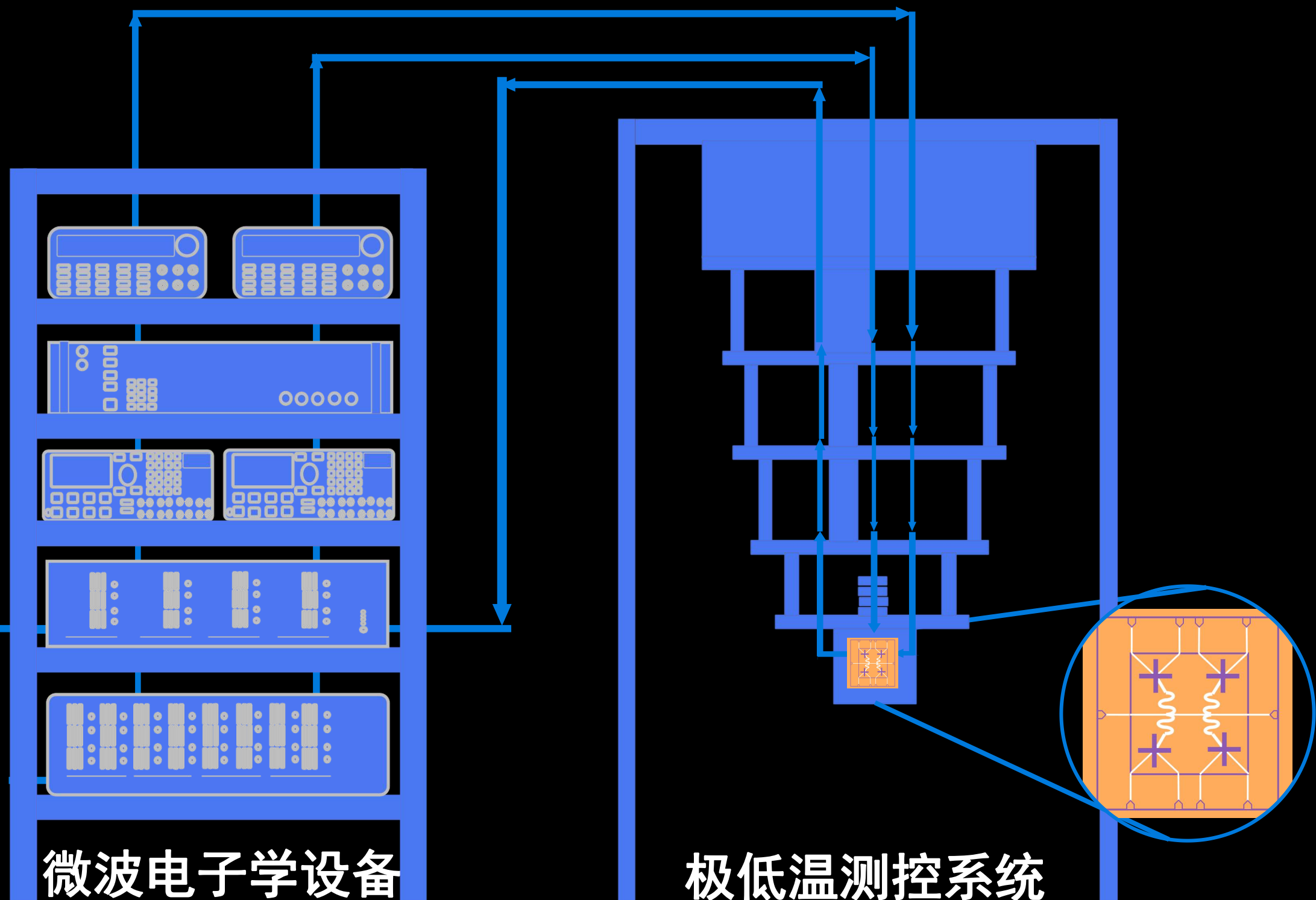


量脉

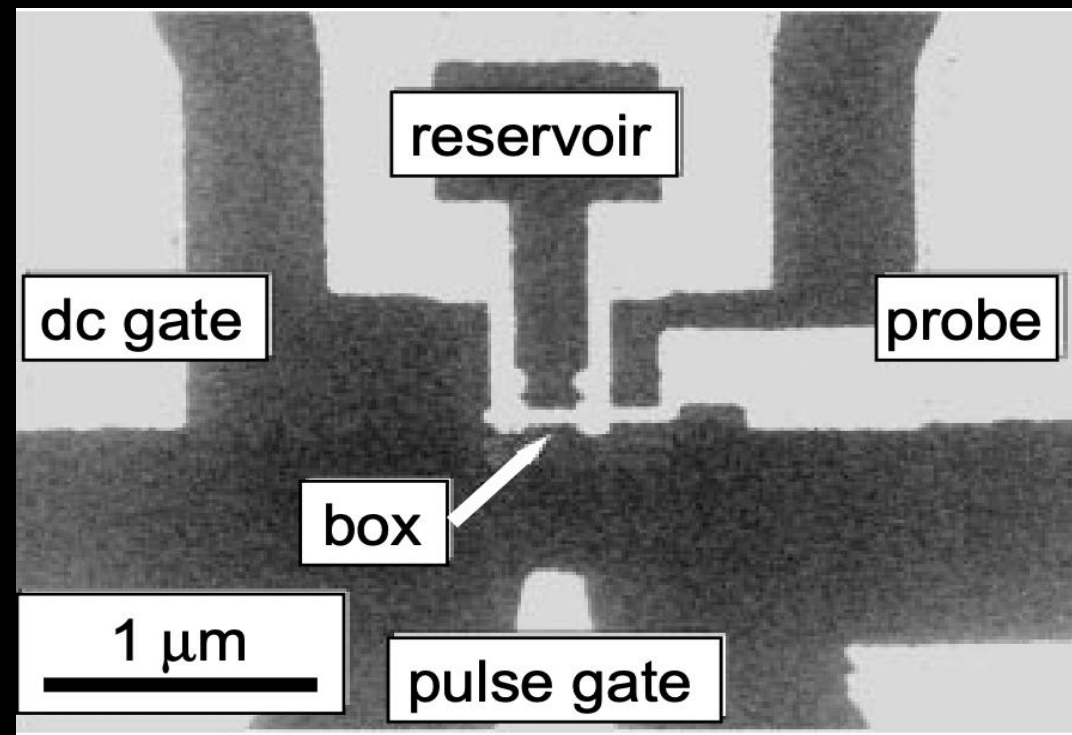


微波电子学设备

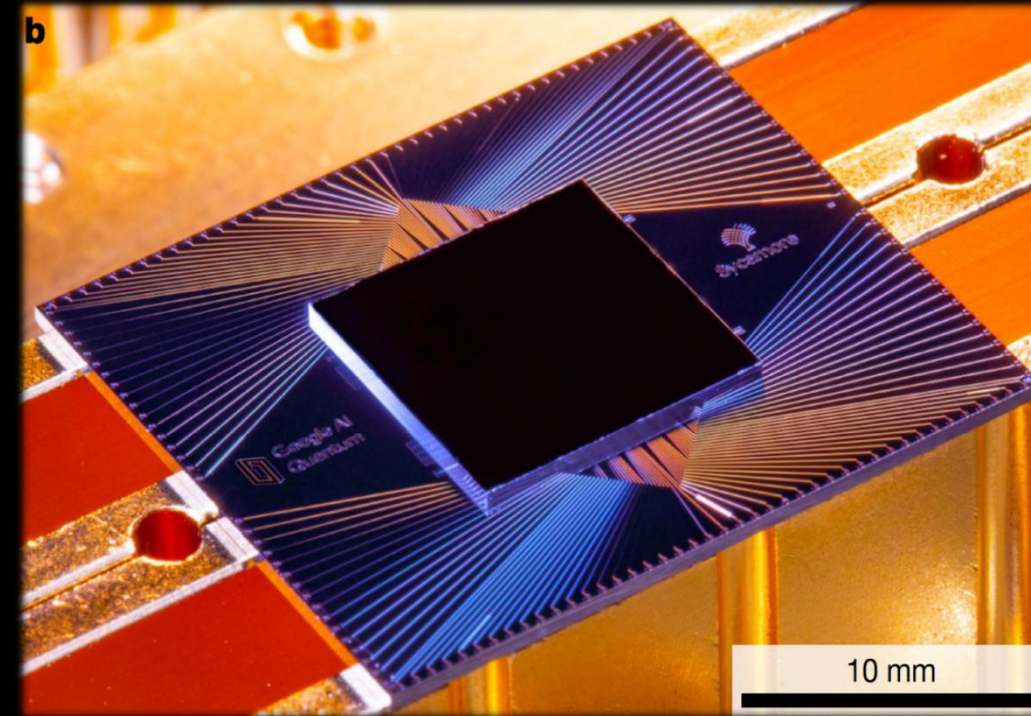
硬件



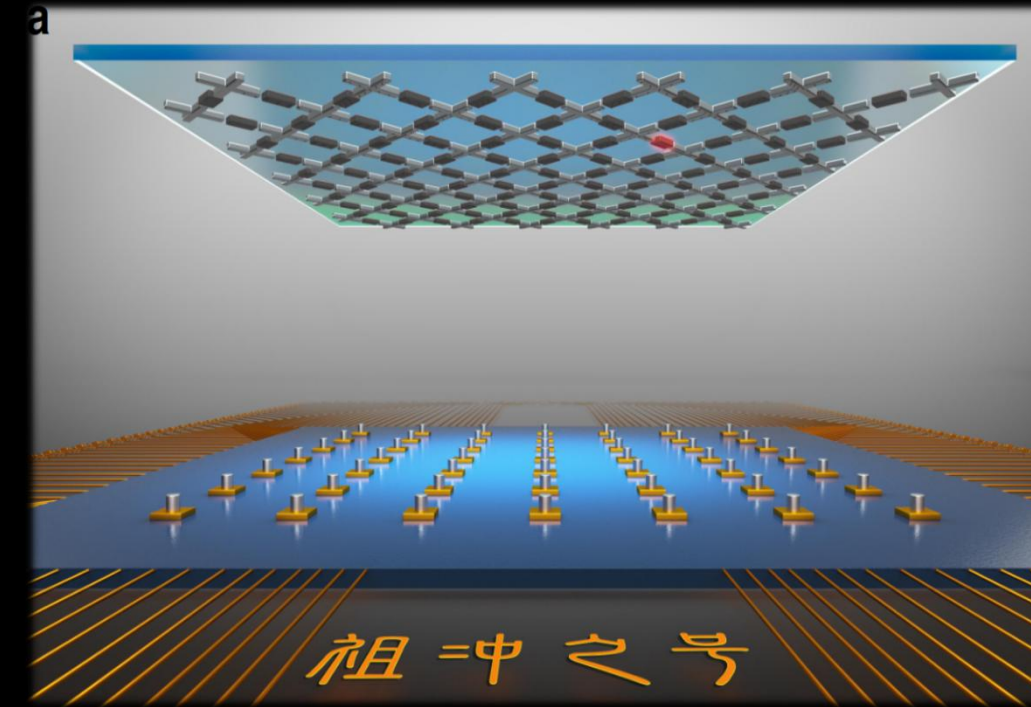
超导量子芯片发展现状



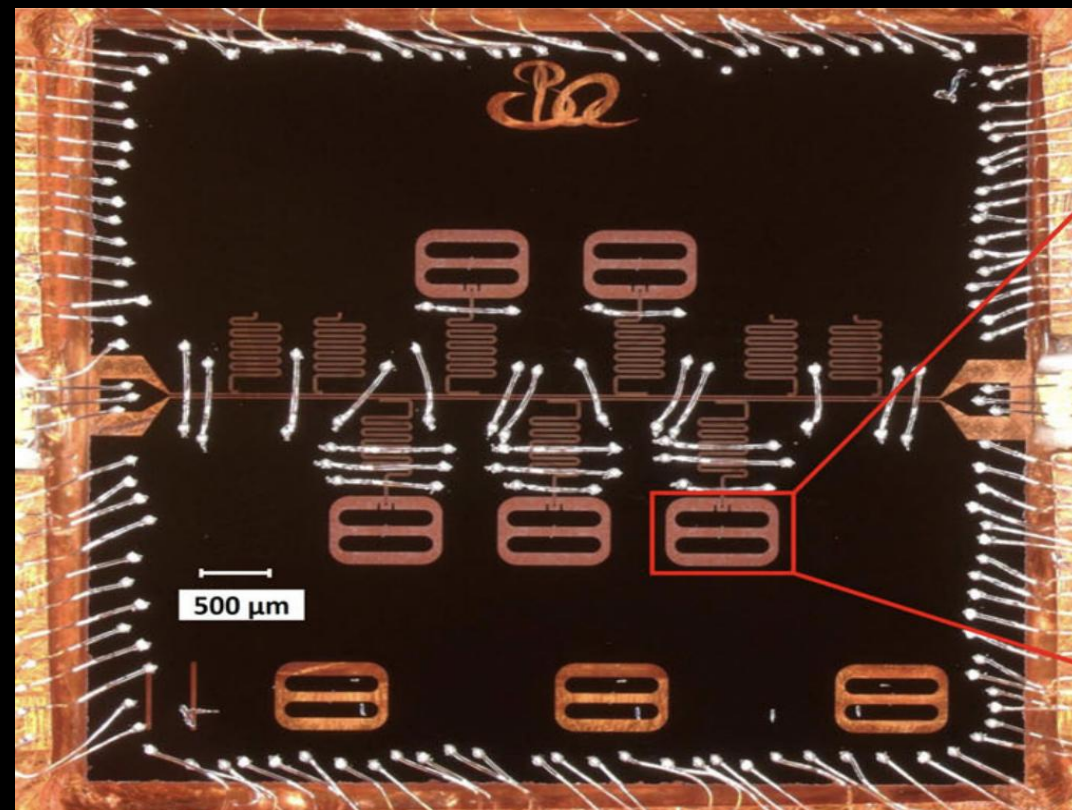
1999, 首个超导量子比特
Nature 398, 786 (1999)



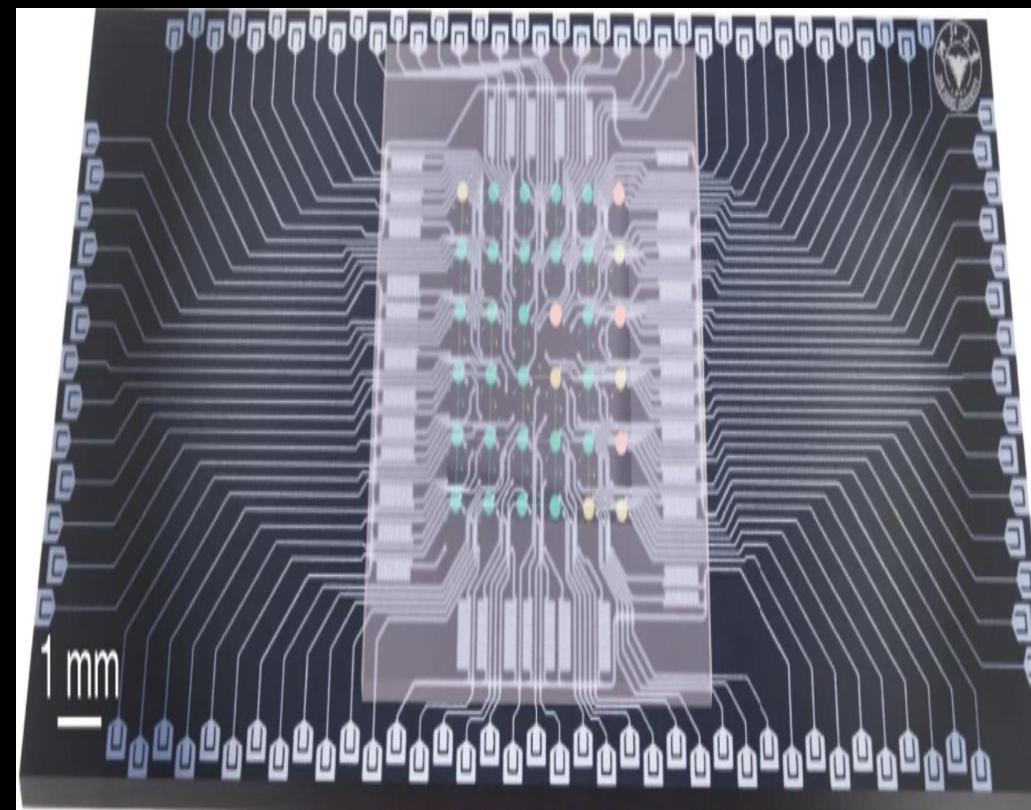
2019, 悬铃木, 53 比特
Nature 574, 505 (2019)



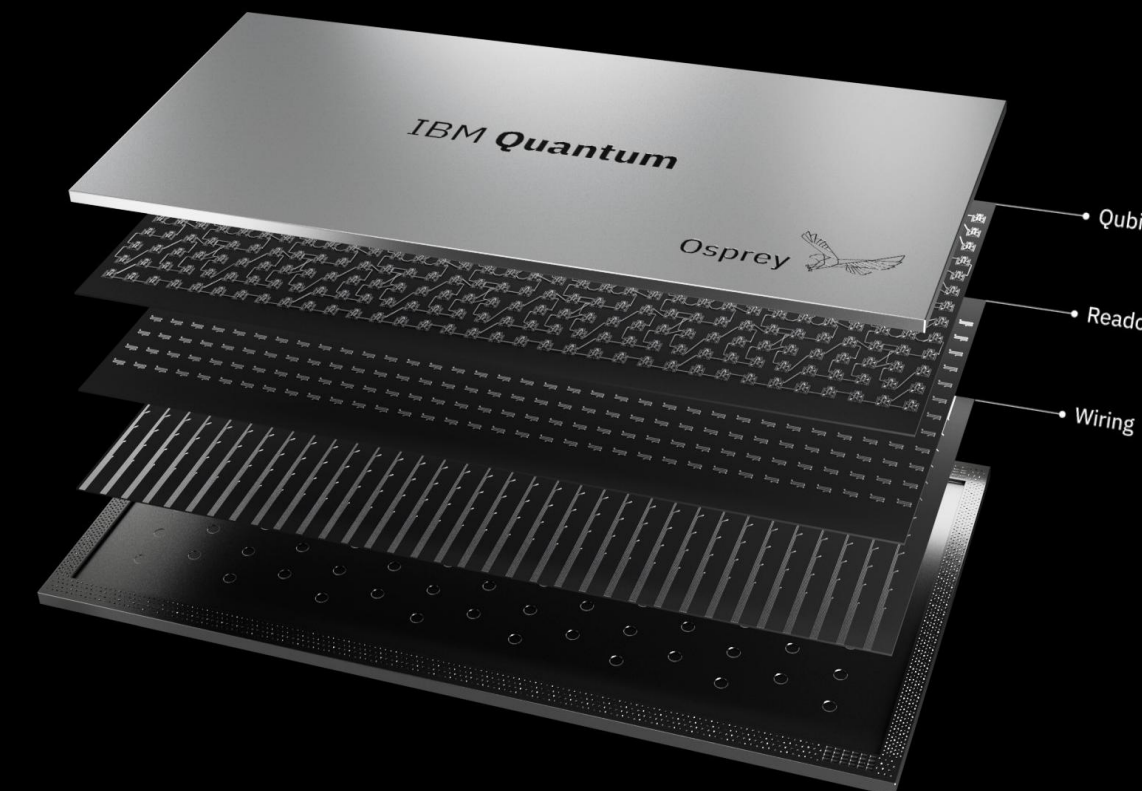
2021, 祖冲之号 2.1, 66 比特
Science, 67, 240 (2022)



2022 500-微秒 量子比特
npj Quantum Information 8, 3(2022)



2022 天目一号, 36 比特
Nature 607, 468 (2022)

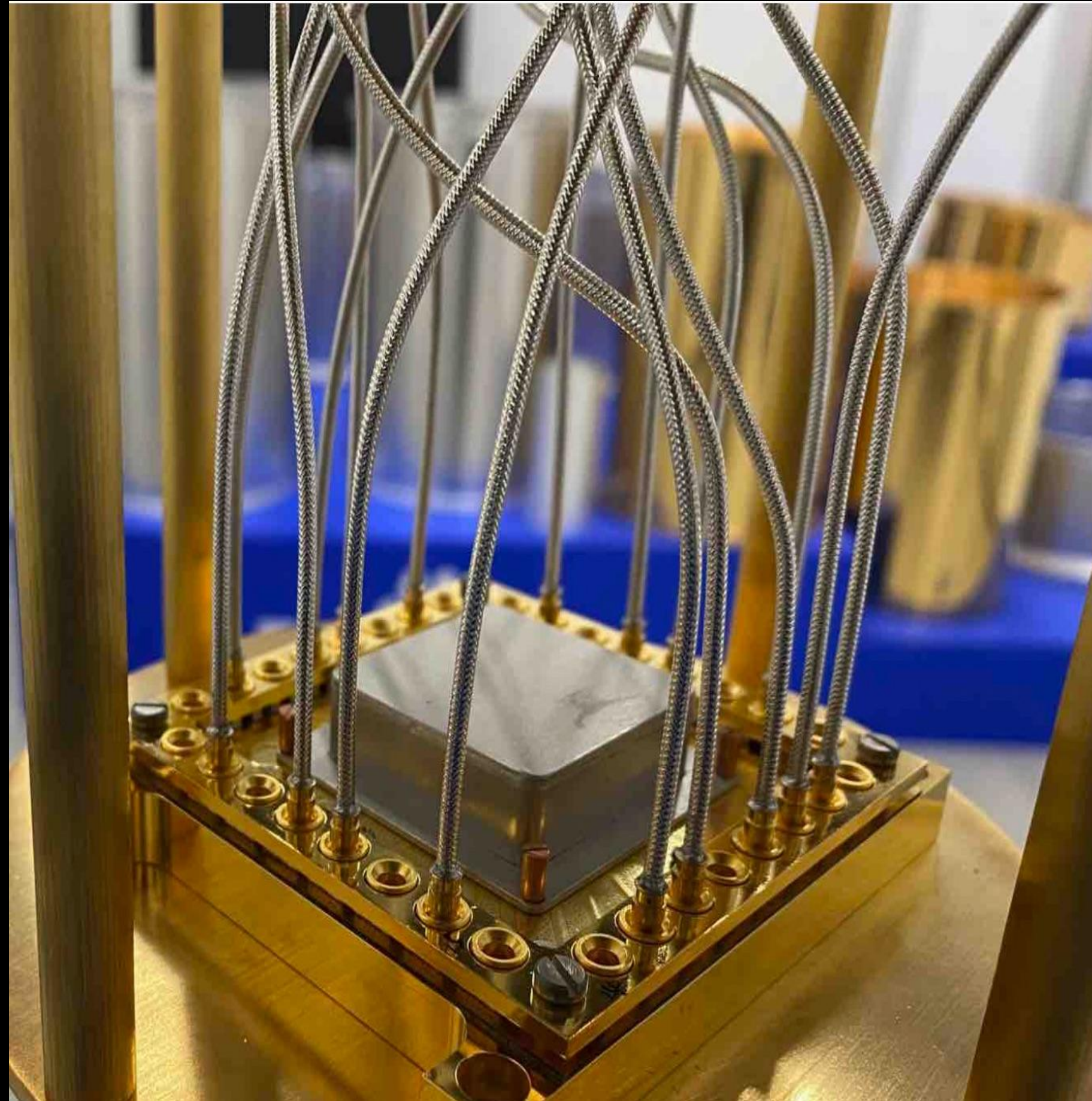


2022 Osprey, 433 比特
IBM Quantum

- ☑ Google
- ☑ IBM
- ☑ 中科大
- ☑ 浙大
- ☑ 北京量子院
- ☑ 物理所
- ☑ 南大
- ☑ 清华
- ☑ 南科大
- ☑ MIT
- ☑ Princeton
- ☑ ETH
- ☑ RIKEN
- ☑ Delft
- ☑ Saclay
- ☑ ...

人类正在迈入百比特含噪量子计算时代

超导量子芯片长什么样子？



一枚封装好的超导量子芯片



超导量子芯片的工作环境

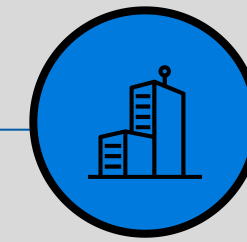
如何研发一款超导量子芯片？



背景知识



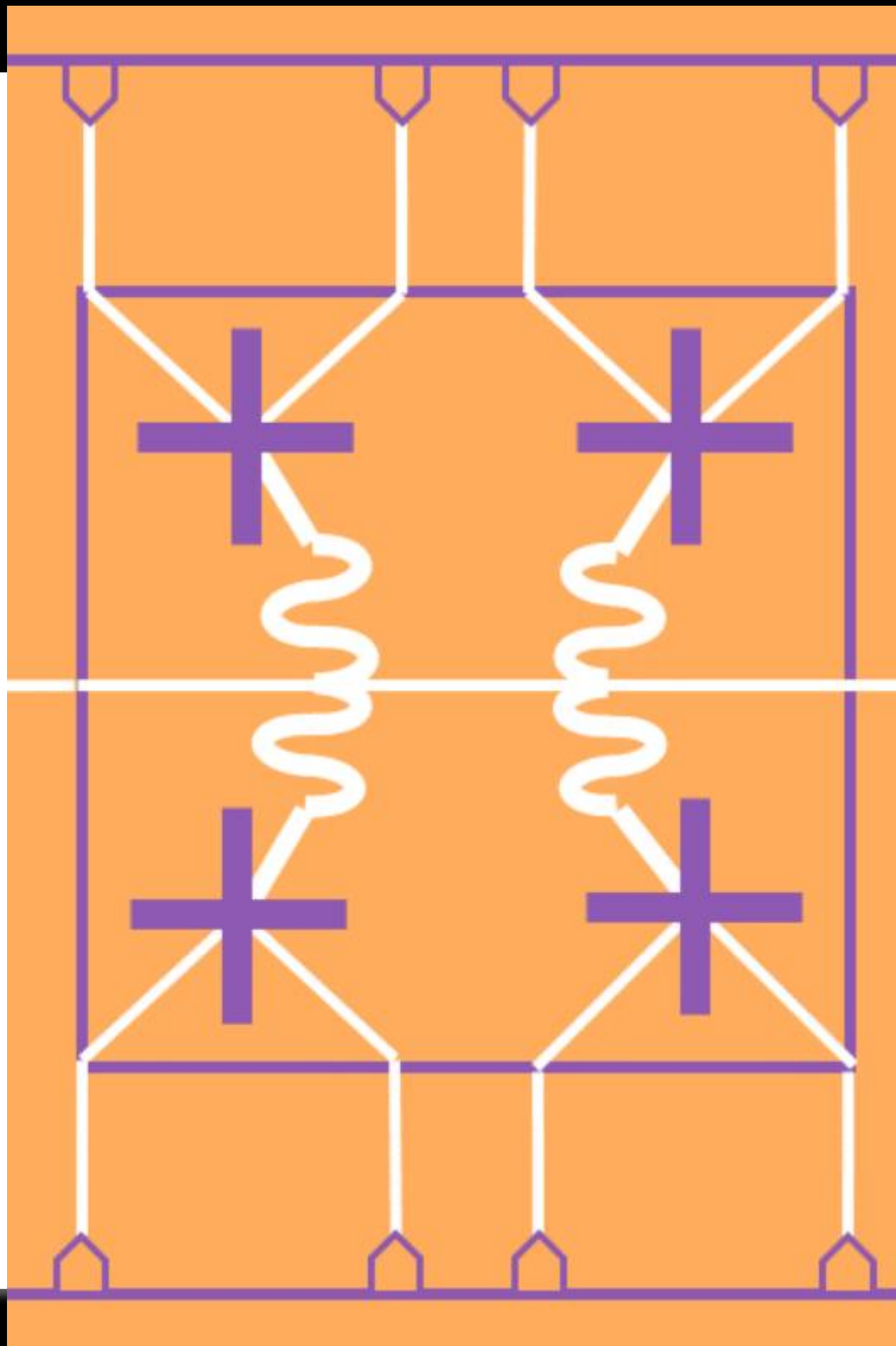
核心技术



研发进展

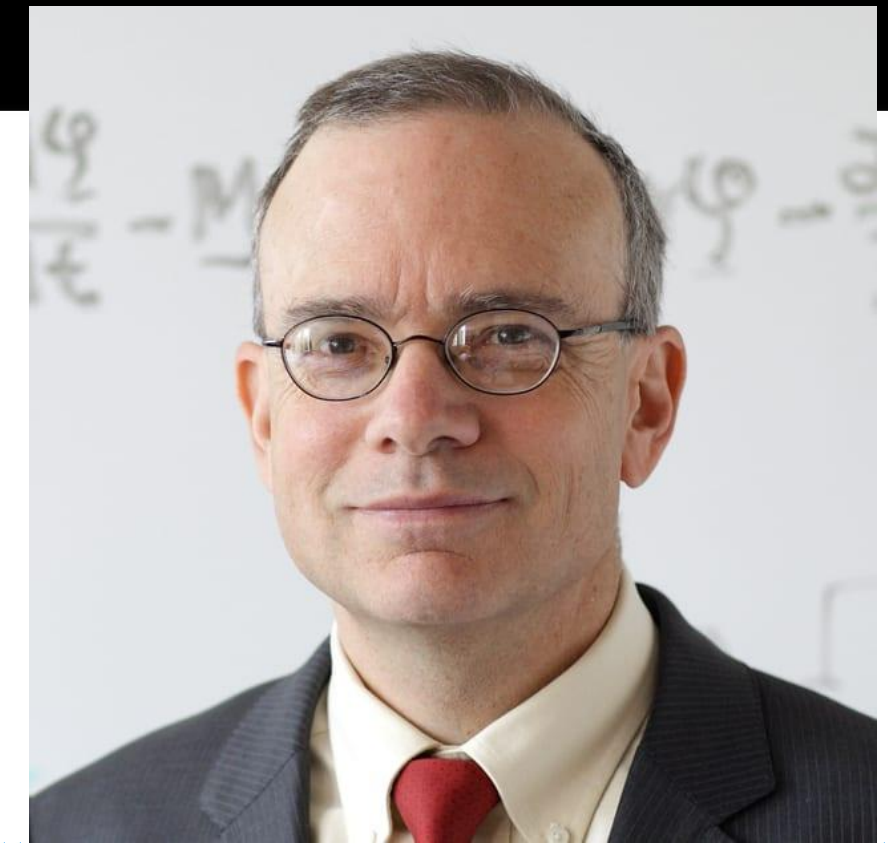
超导量子芯片简介

超导量子芯片版图卡通图



- **量子比特:** 编码量子信息
- **读取腔:** 间接测量
- **控制线:** 控制量子比特
- **读取线:** 读取量子比特
- **引脚:** 连接微波电子学设备

DiVincenzo's Criteria



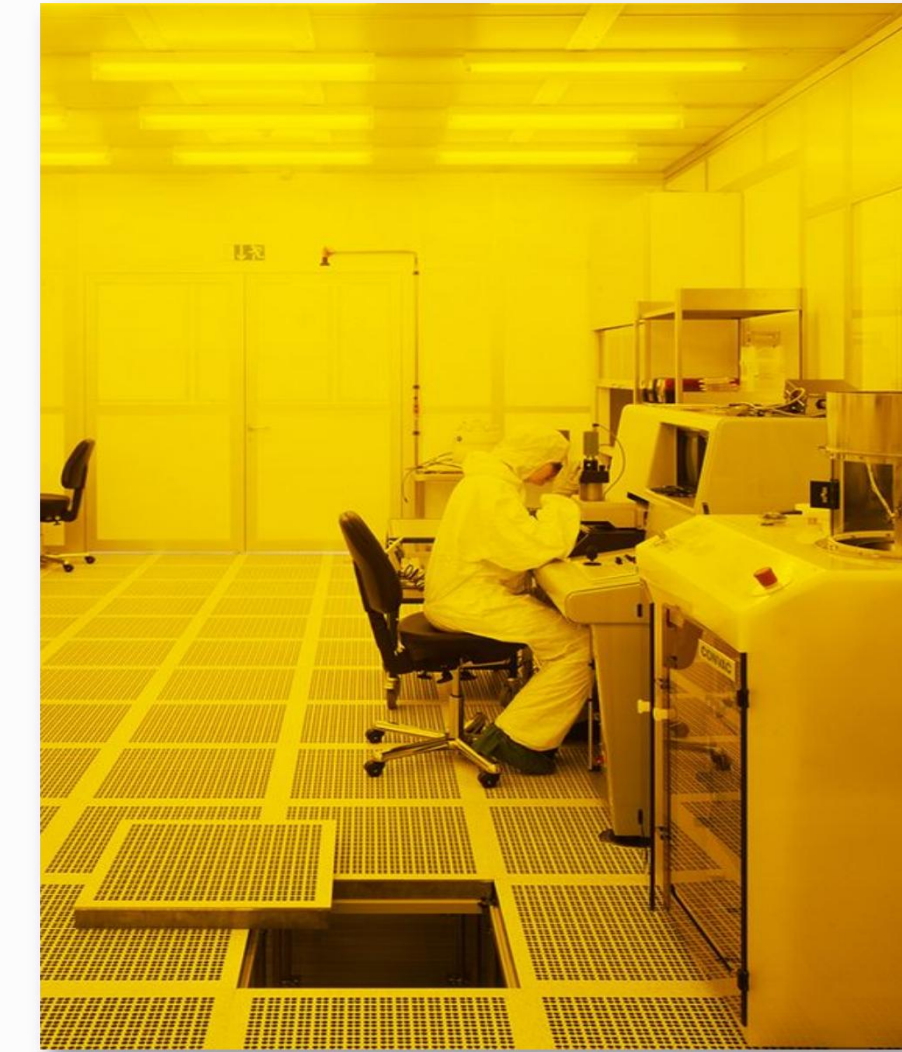
- ✓ 能够良好表征量子比特的可扩展物理平台
- ✓ 能很好地将量子态初始化到初态
- ✓ 相对较长的相干时间
- ✓ 拥有一套通用量子门操作
- ✓ 具有特定量子比特的测量能力

超导量子芯片的制备（流片）

所有制备都在洁净间内进行，洁净室内是晶圆厂的中心部分！



千级洁净间*
(比空气干净 1,000 倍)



百级洁净间*（光刻区）
(比空气干净 10,000 倍!)

* 百级、千级、万级：单位立方英尺空气含直径大于 $0.5 \mu\text{m}$ 尘埃粒数。

[1] <https://stiusa.com/cleanroom-class-1000iso-class-6/>

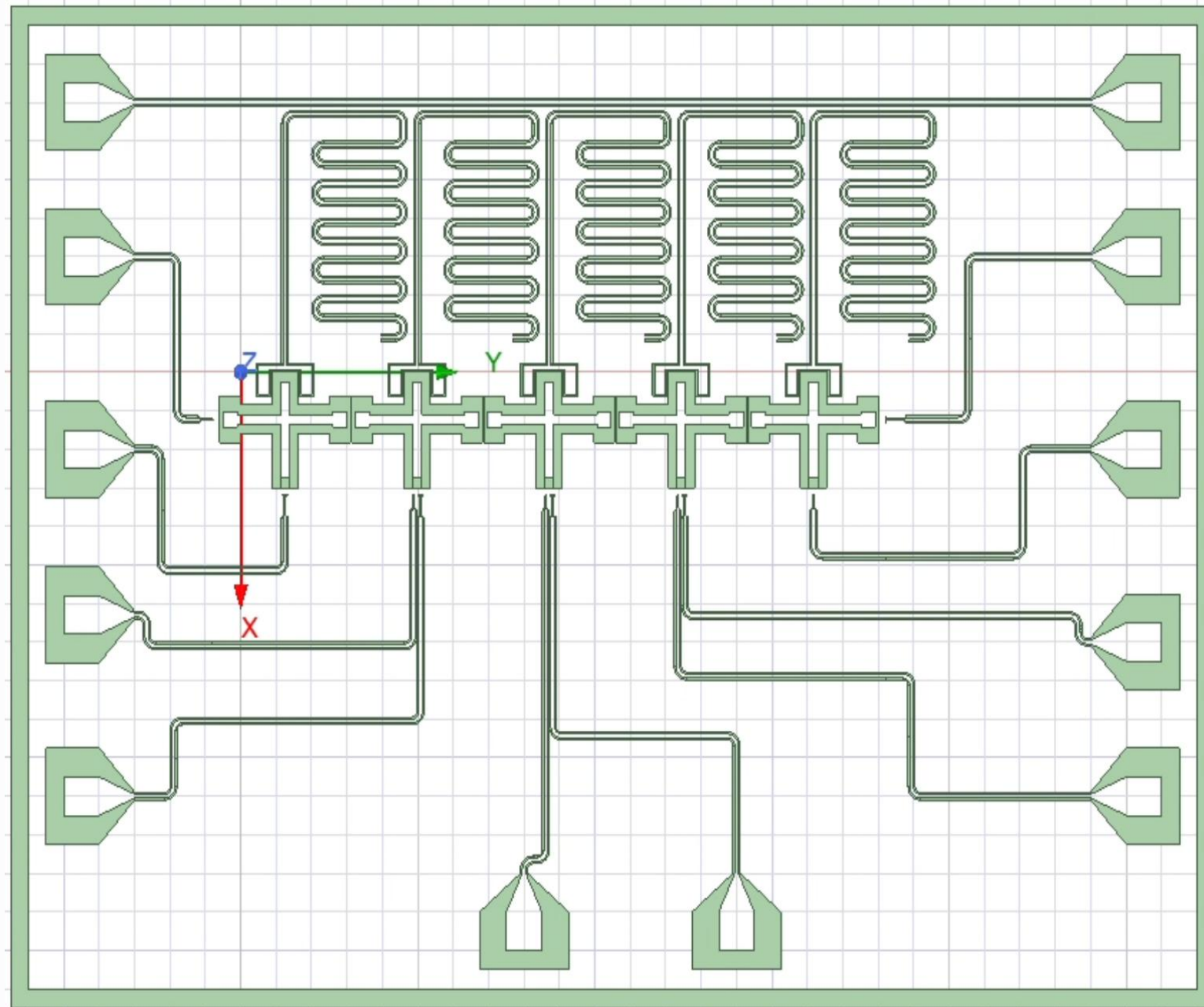
[2] <https://www.portafab.com/what-is-a-cleanroom.html>

[3] <https://mpoweruser.com/intel-to-spend-20-billion-on-chip-plants-in-arizona/>

超导量子芯片的制备（流片）主要流程

芯片主要结构

- ① 平面结构
- ② 约瑟夫森结（超导芯片核心）



芯片制备流程

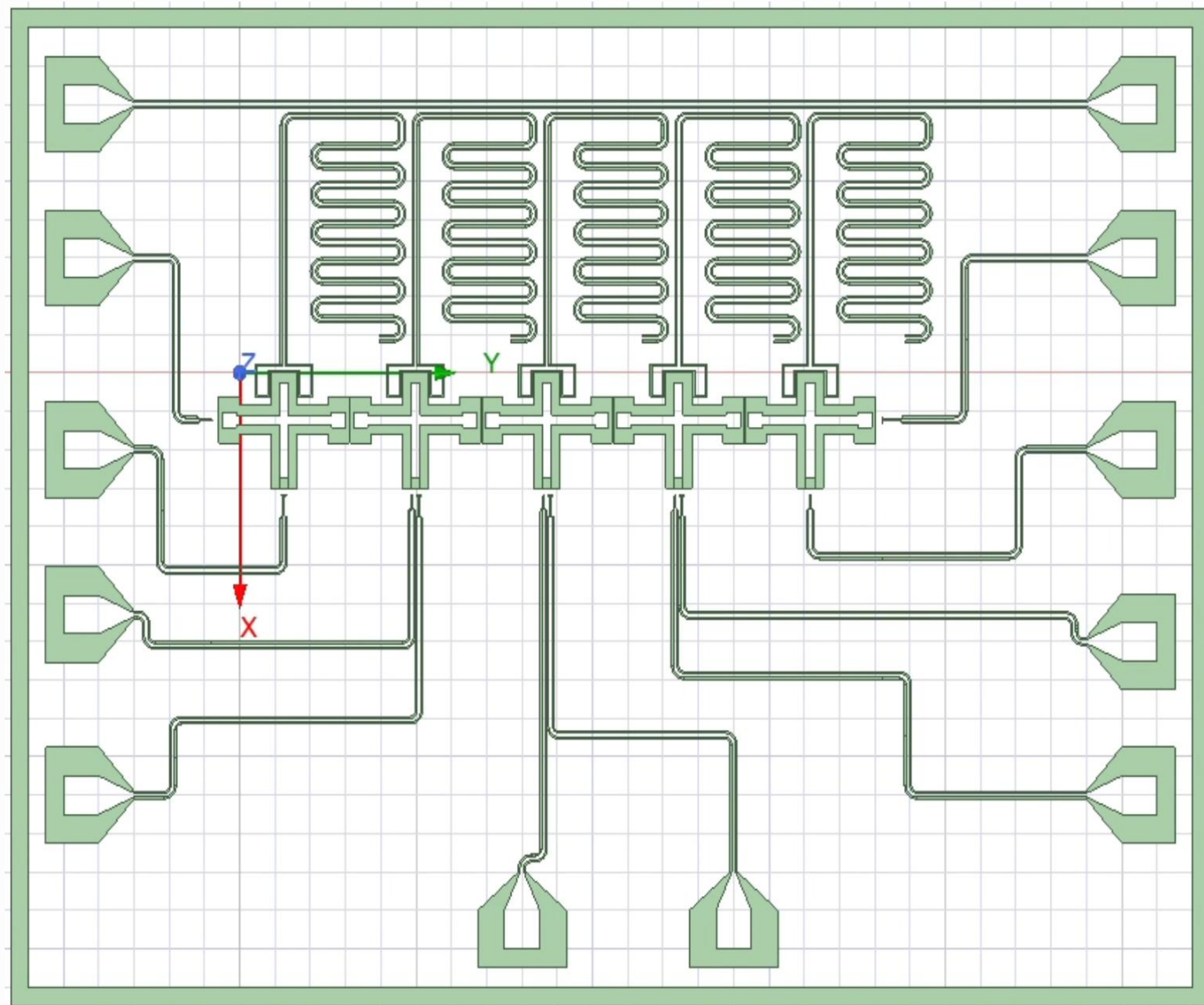
- ① 衬底和超导材料
- ② 制备超导薄膜
- ③ 实现平面结构
- ④ 制备约瑟夫森结
- ⑤ 制备其他部分
- ⑥ 划片、封装与测试

5 比特量子芯片版图

超导量子芯片的制备（流片）主要流程

芯片主要结构

- ① 平面结构
- ② 约瑟夫森结（超导芯片核心）



芯片制备流程

- ① 衬底和超导材料
- ② 制备超导薄膜
- ③ 实现平面结构
- ④ 制备约瑟夫森结
- ⑤ 制备其他部分
- ⑥ 划片、封装与测试

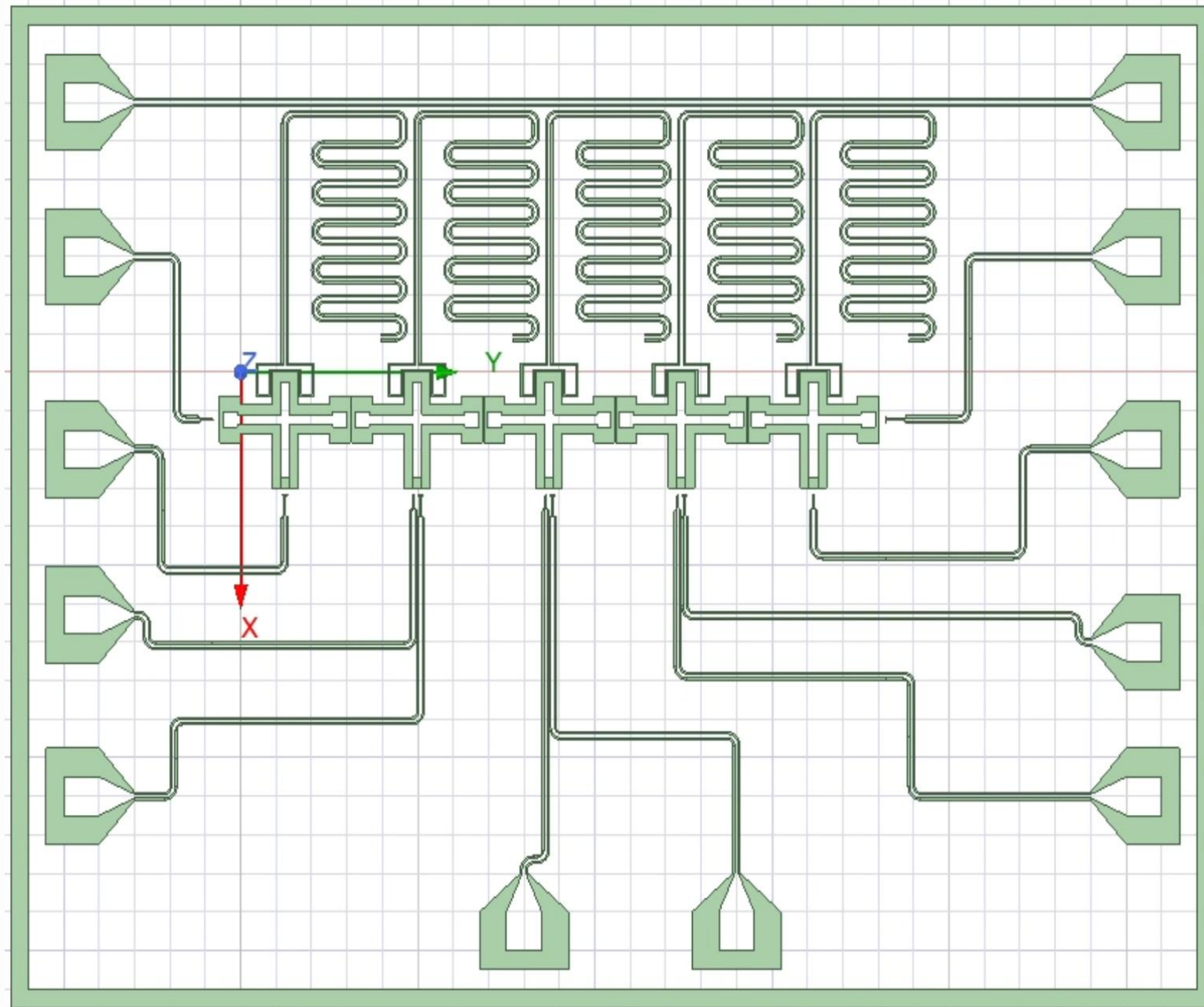


晶圆

超导量子芯片的制备（流片）主要流程

芯片主要结构

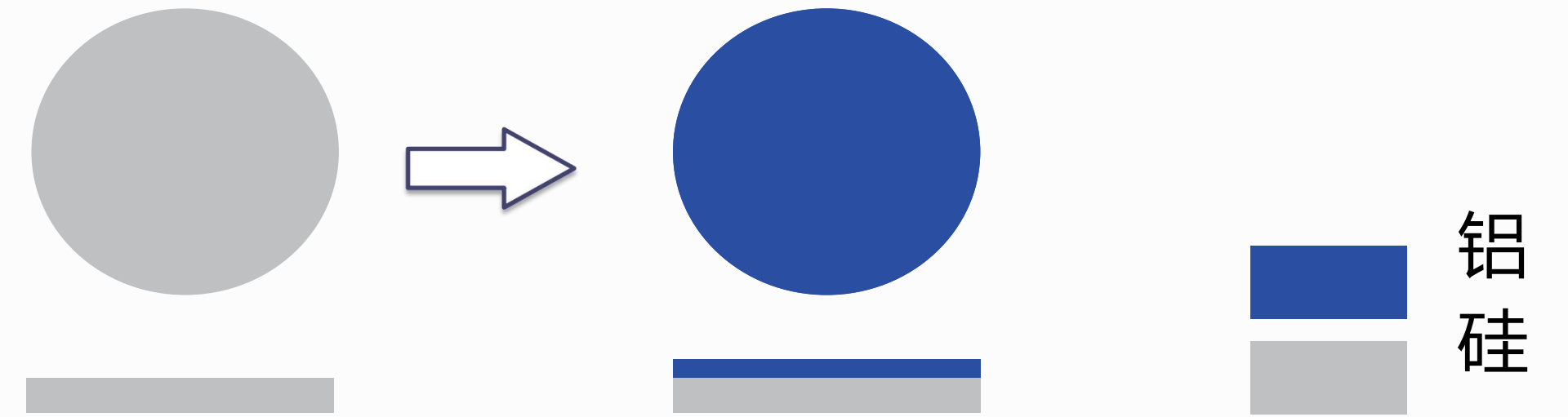
- ① 平面结构
- ② 约瑟夫森结（超导芯片核心）



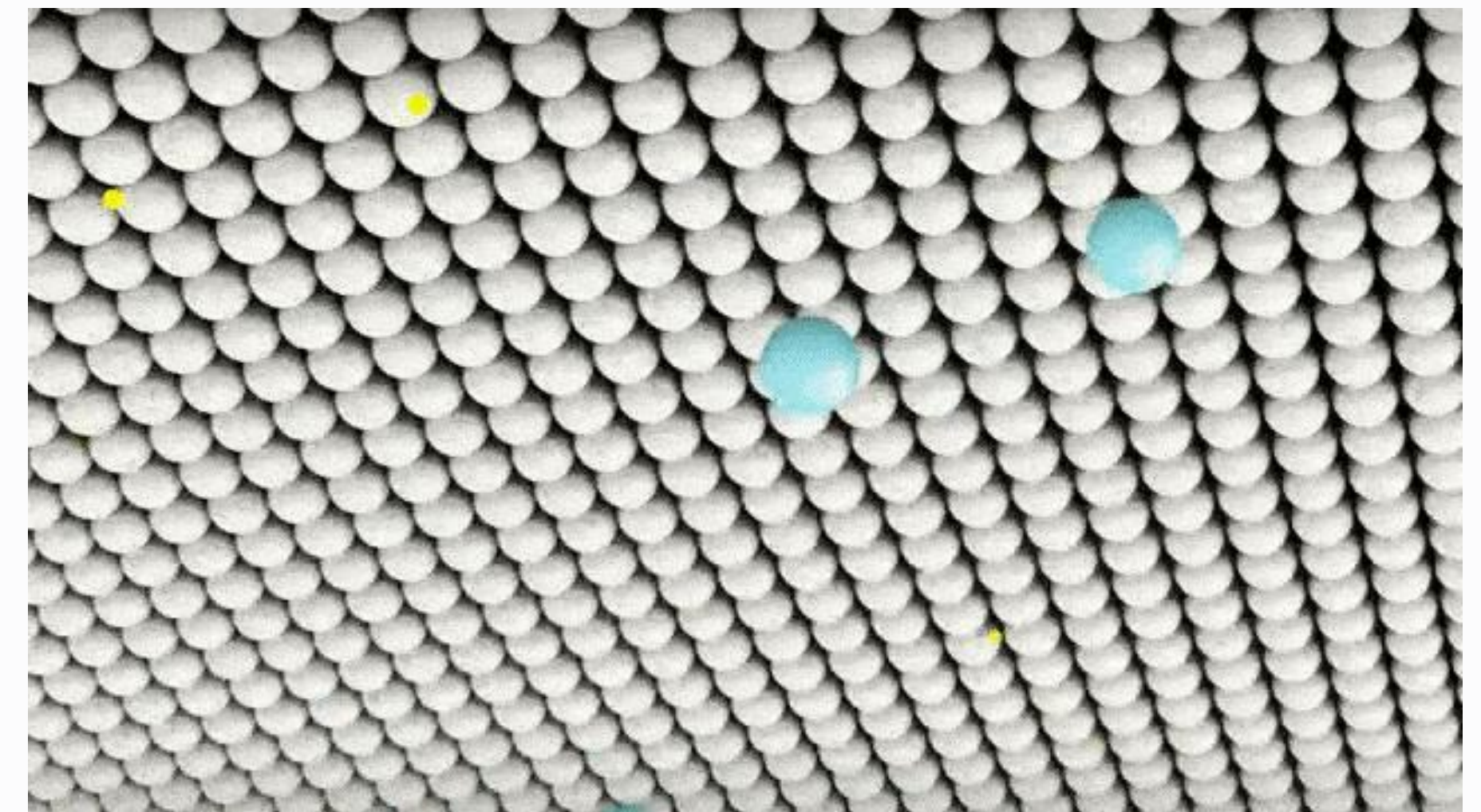
芯片制备流程

- ① 衬底和超导材料
- ② 制备超导薄膜
- ③ 实现平面结构
- ④ 制备约瑟夫森结
- ⑤ 制备其他部分
- ⑥ 划片、封装与测试

5 比特量子芯片版图



薄膜制备示意图

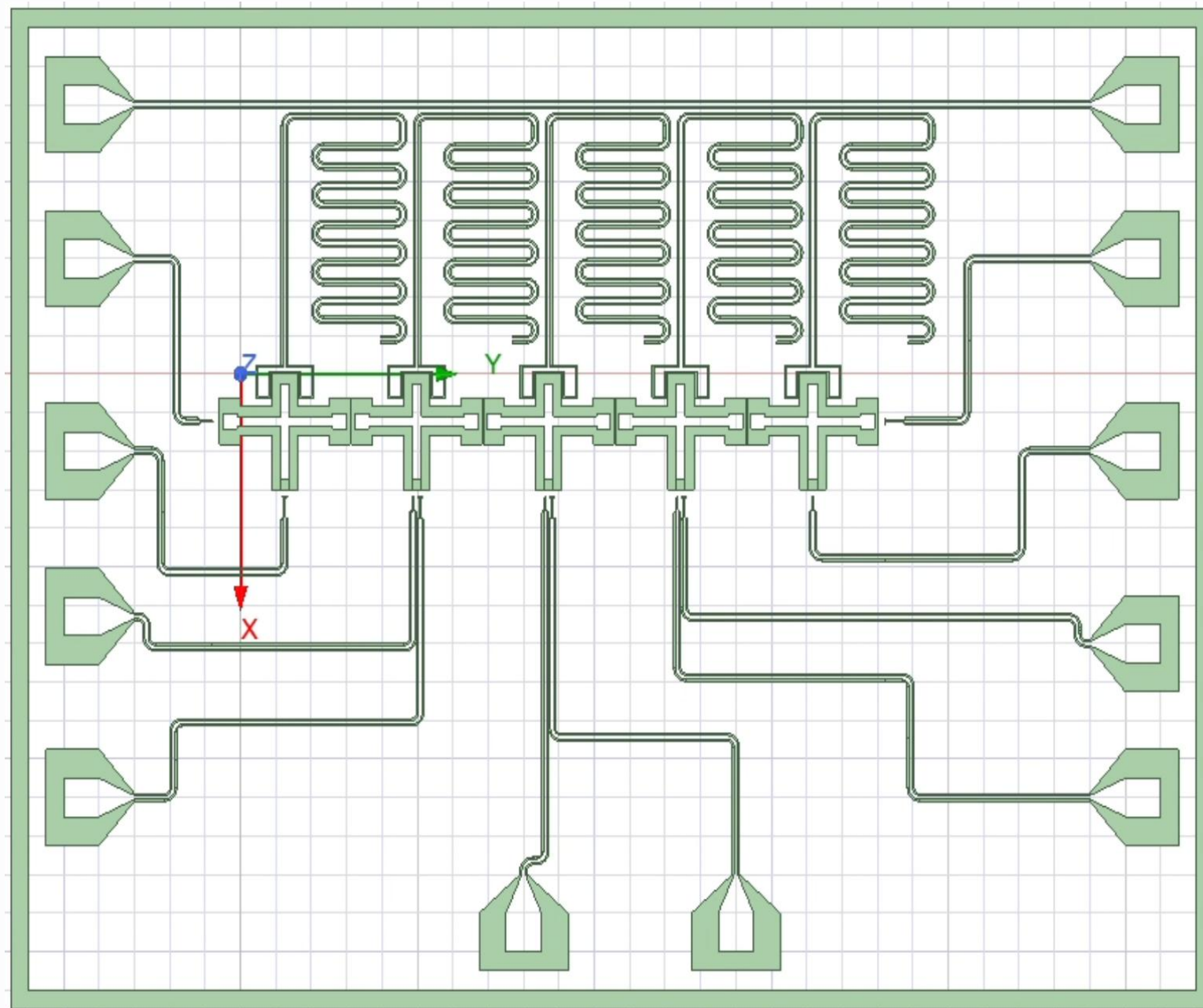


物理气相沉积 (Physical Vapor Deposition) 示意图

超导量子芯片的制备（流片）主要流程

芯片主要结构

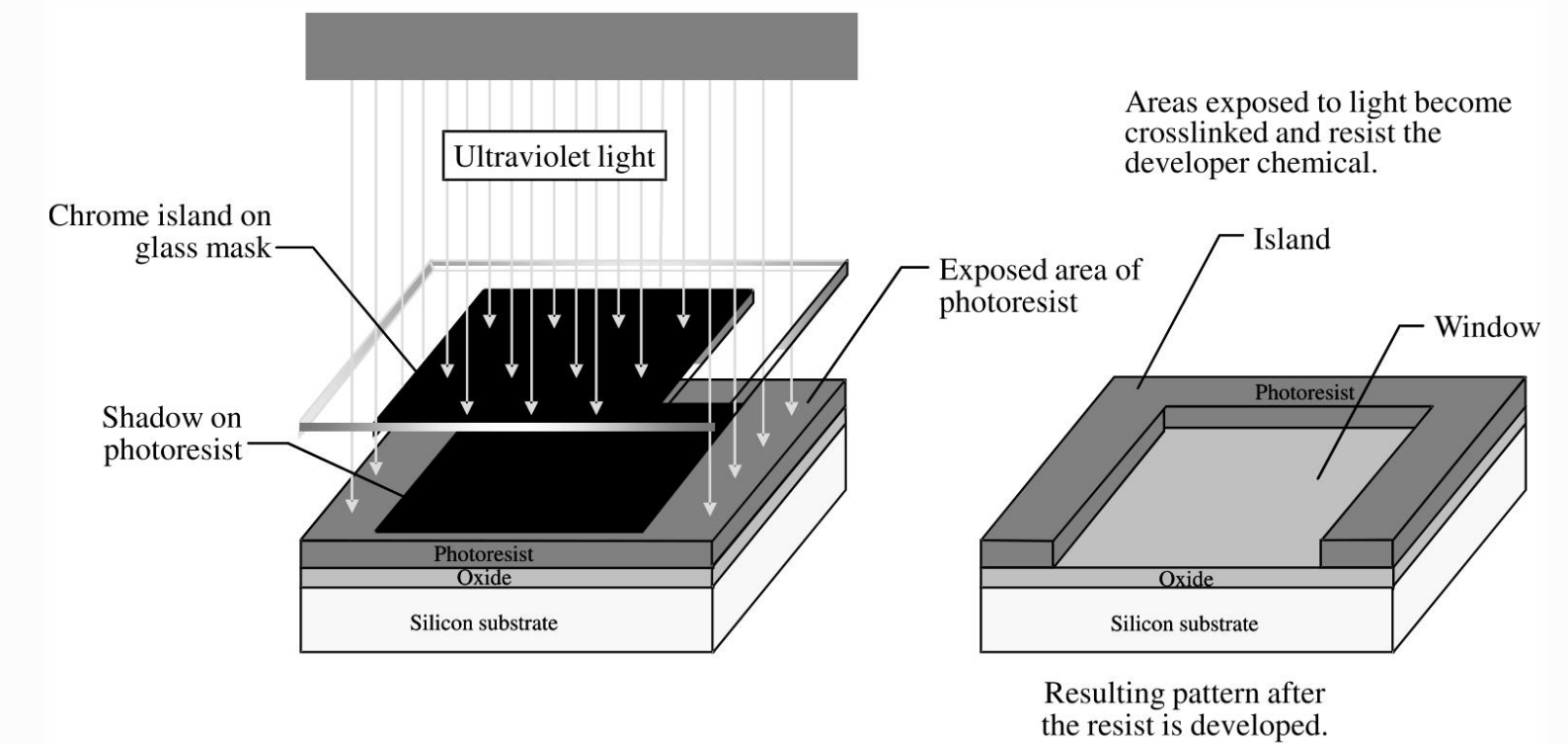
- ① 平面结构
- ② 约瑟夫森结（超导芯片核心）



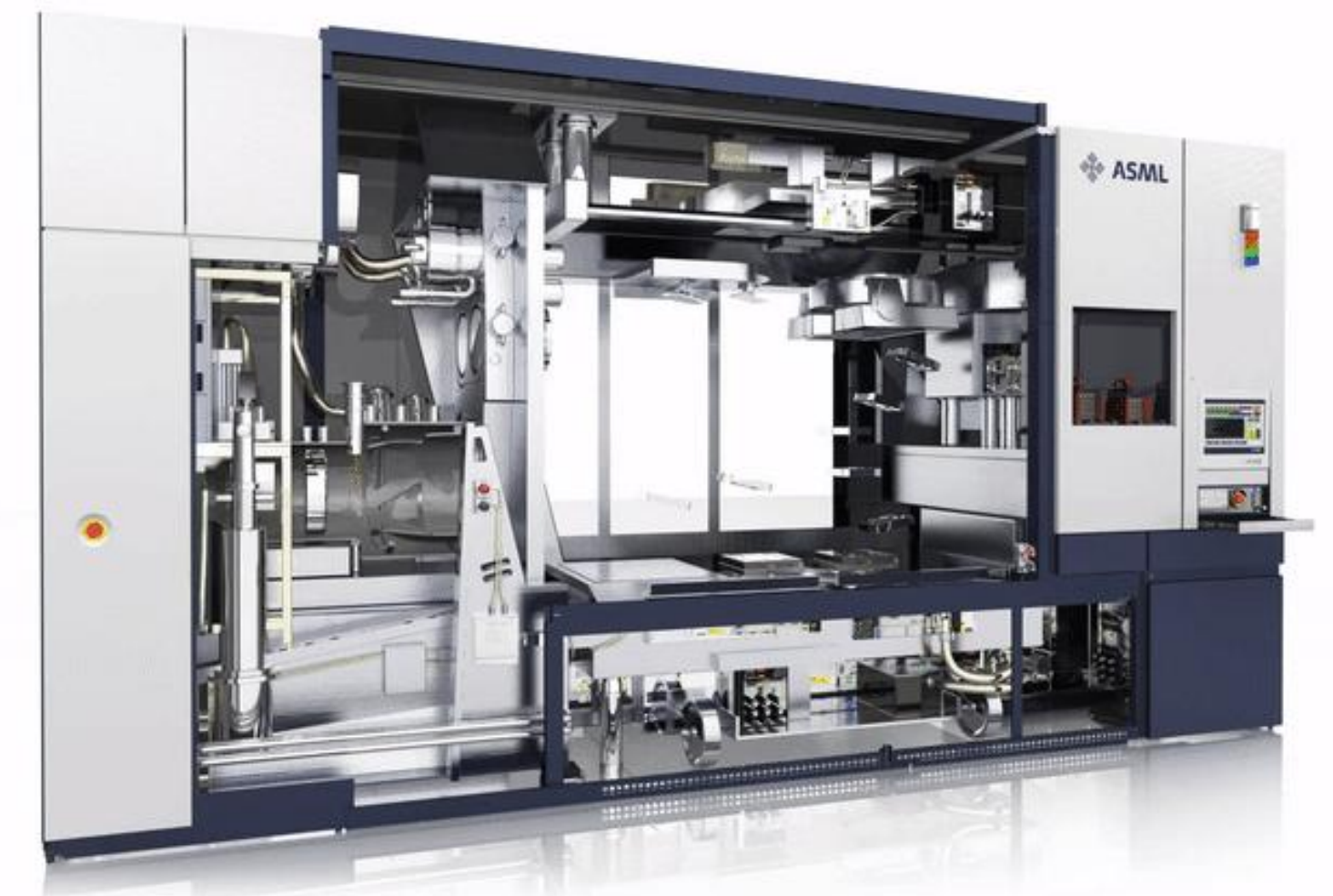
5 比特量子芯片版图

芯片制备流程

- ① 衬底和超导材料
- ② 制备超导薄膜
- ③ 实现平面结构
- ④ 制备约瑟夫森结
- ⑤ 制备其他部分
- ⑥ 划片、封装与测试



芯片版图形状 → 特定平面结构

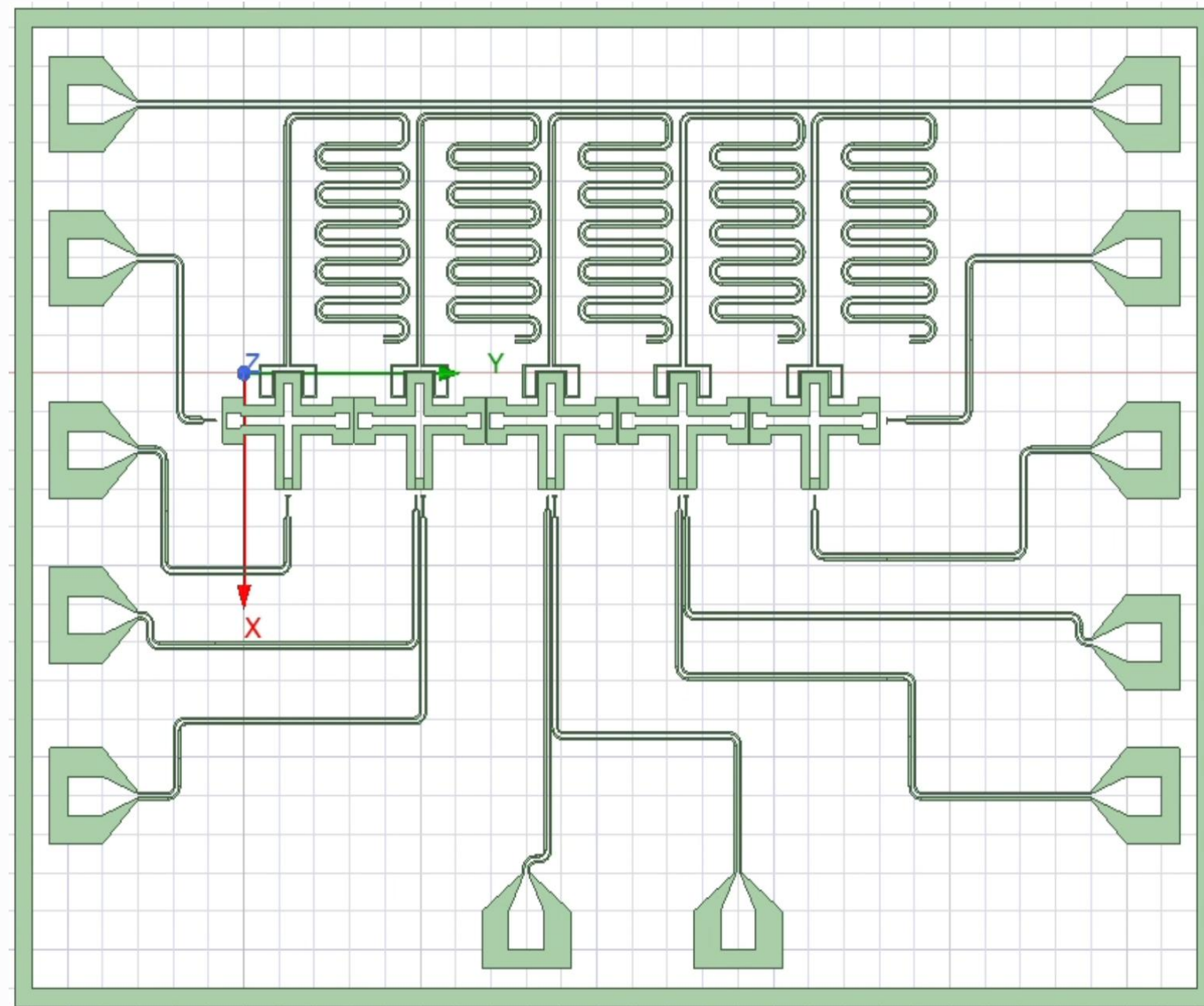


光刻机曝光

超导量子芯片的制备（流片）主要流程

芯片主要结构

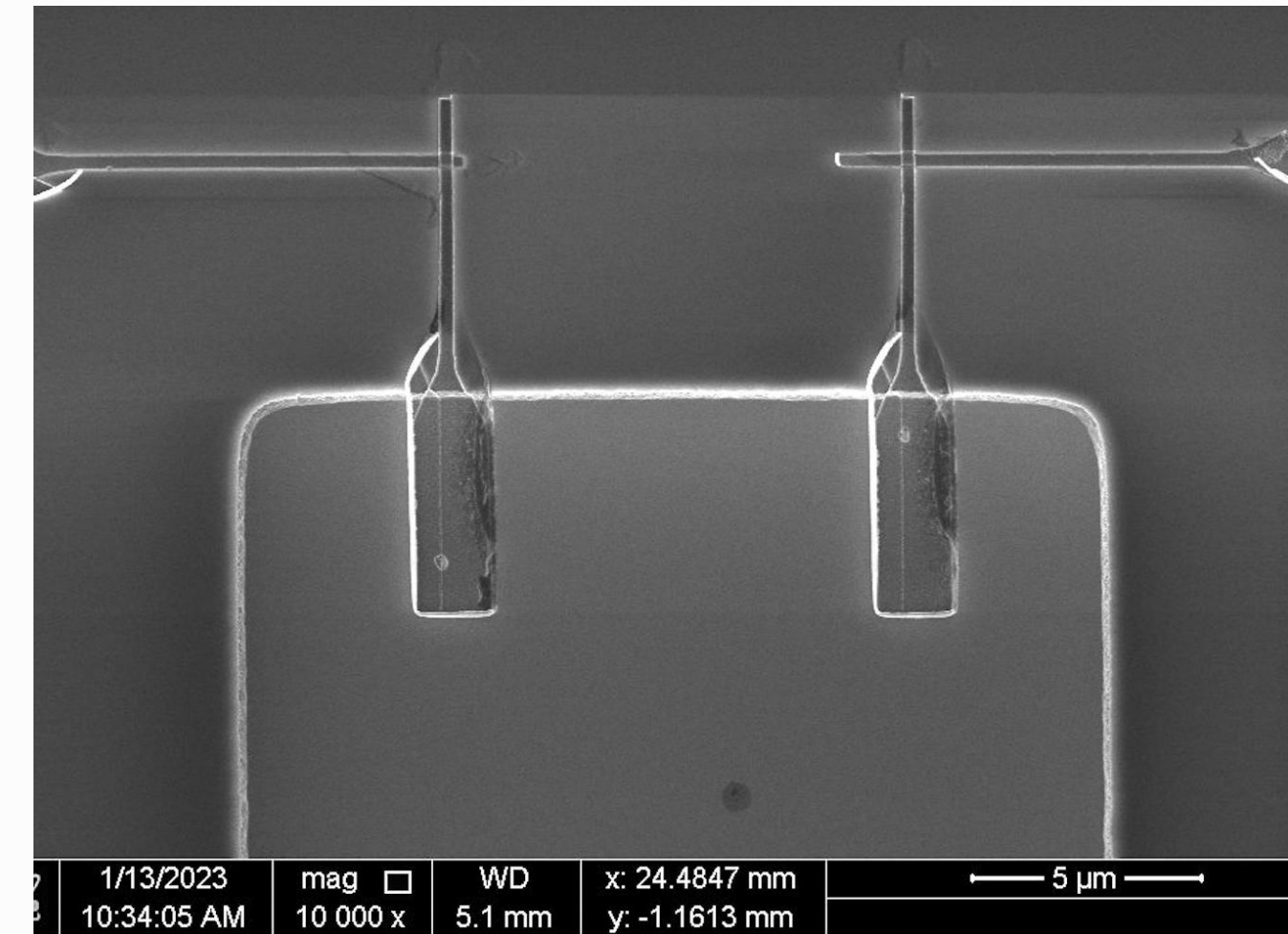
- ① 平面结构
- ② 约瑟夫森结（超导芯片核心）



5 比特量子芯片版图

芯片制备流程

- ① 衬底和超导材料
- ② 制备超导薄膜
- ③ 实现平面结构
- ④ 制备约瑟夫森结
- ⑤ 制备其他部分
- ⑥ 划片、封装与测试



近期制备完成的约瑟夫森结

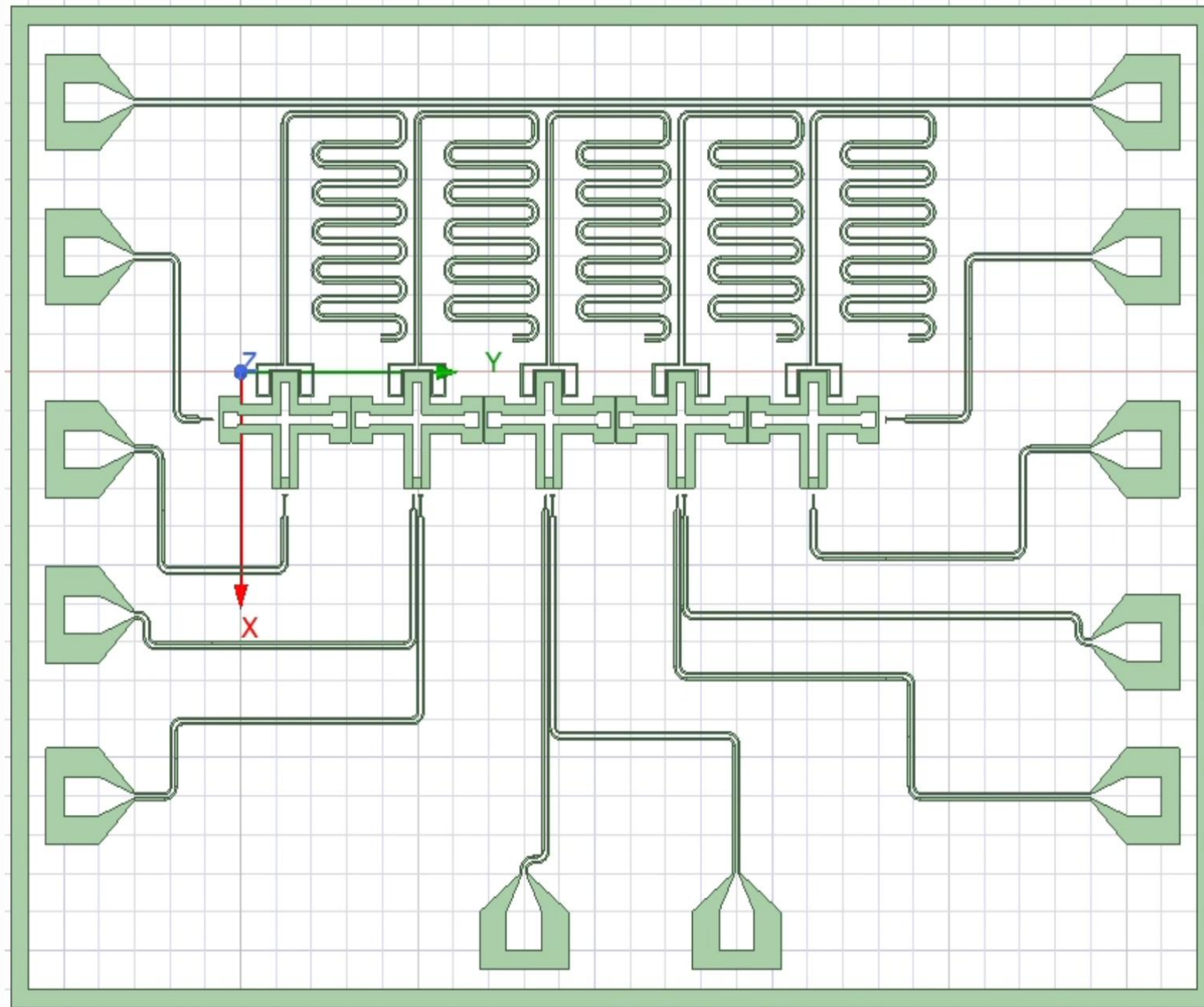


约瑟夫森结制备专用设备

超导量子芯片的制备（流片）主要流程

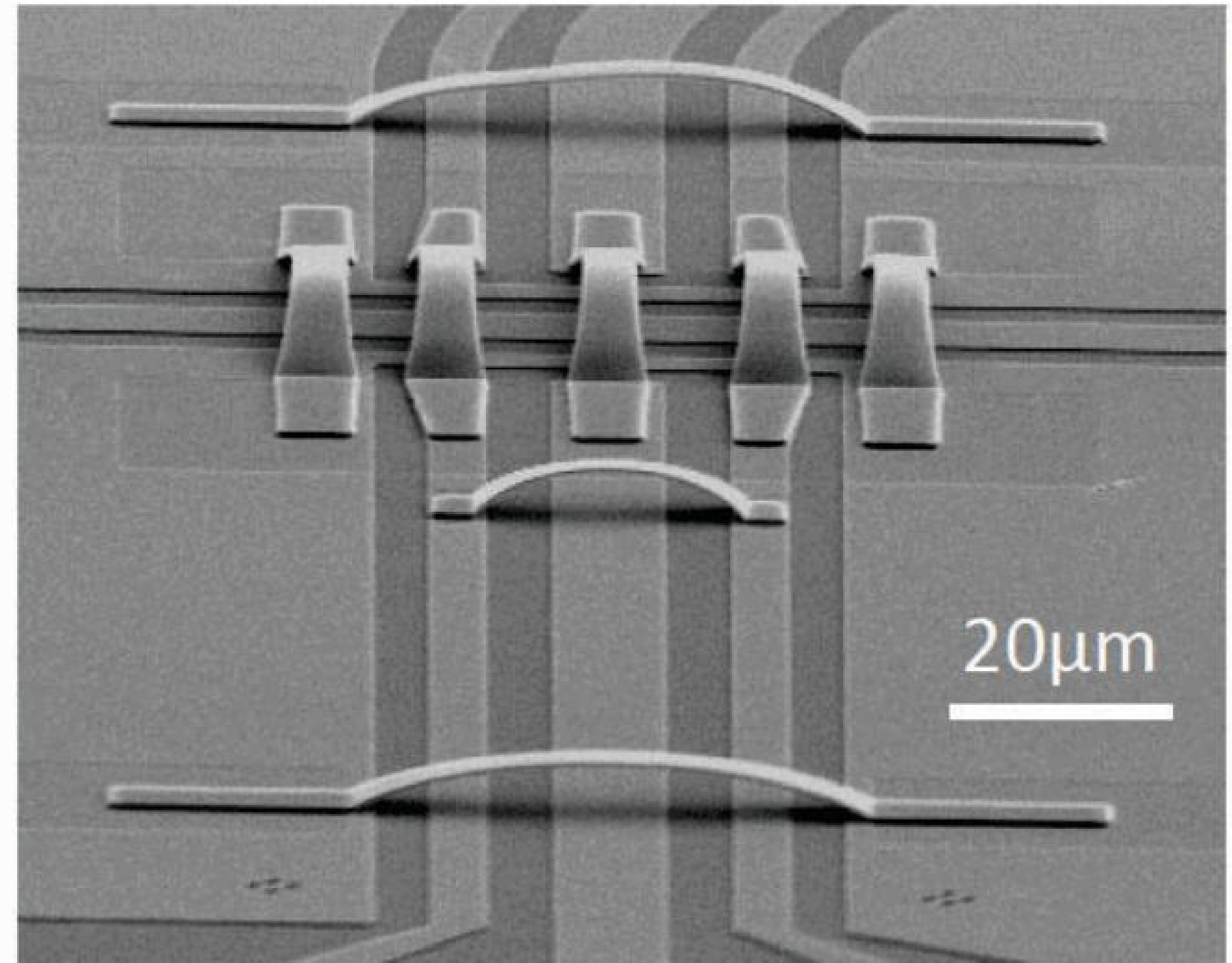
芯片主要结构

- ① 平面结构
- ② 约瑟夫森结（超导芯片核心）



芯片制备流程

- ① 衬底和超导材料
- ② 制备超导薄膜
- ③ 实现平面结构
- ④ 制备约瑟夫森结
- ⑤ 制备其他部分
- ⑥ 划片、封装与测试



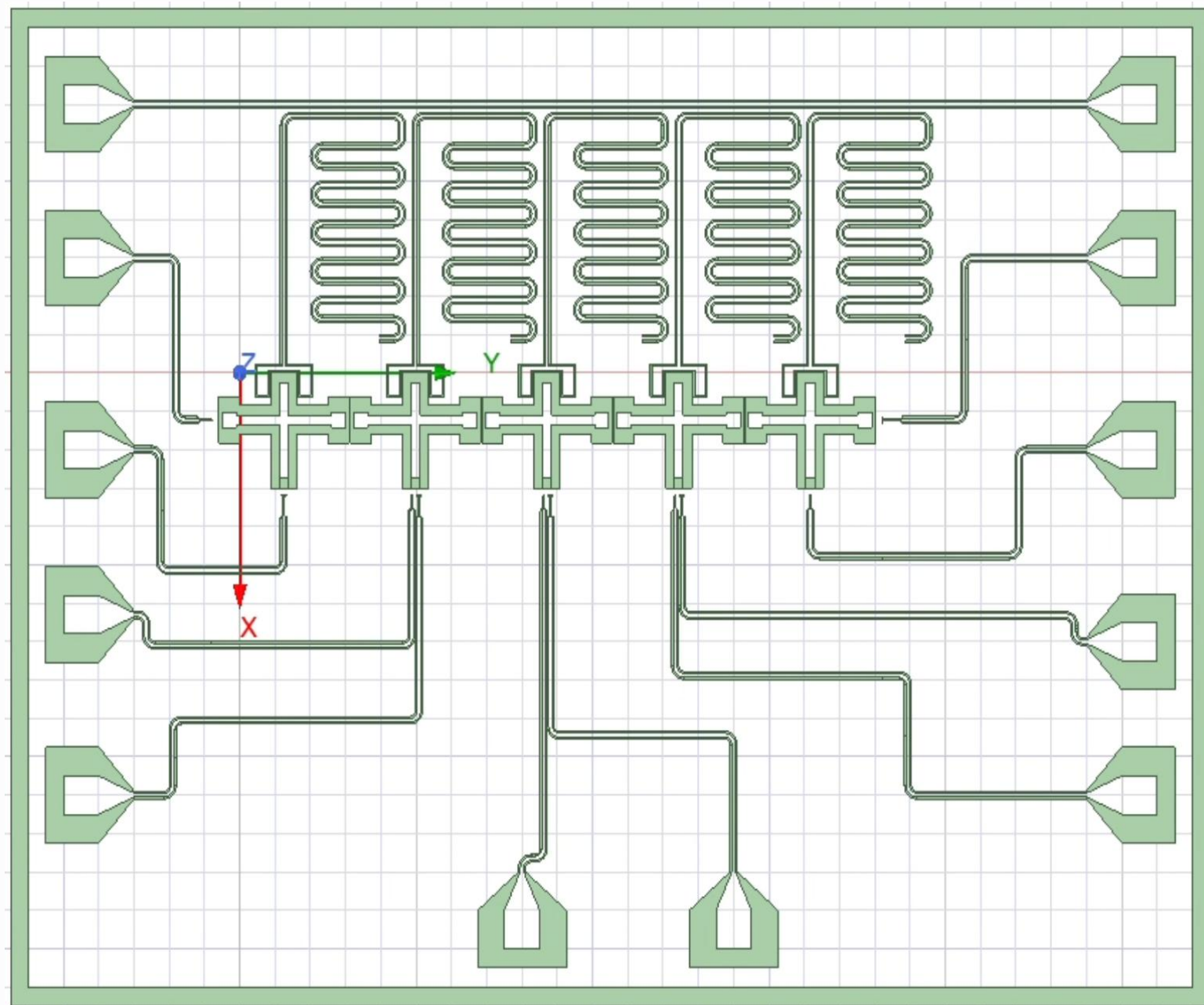
“空气桥”制备结果示意图

5 比特量子芯片版图

超导量子芯片的制备（流片）主要流程

芯片主要结构

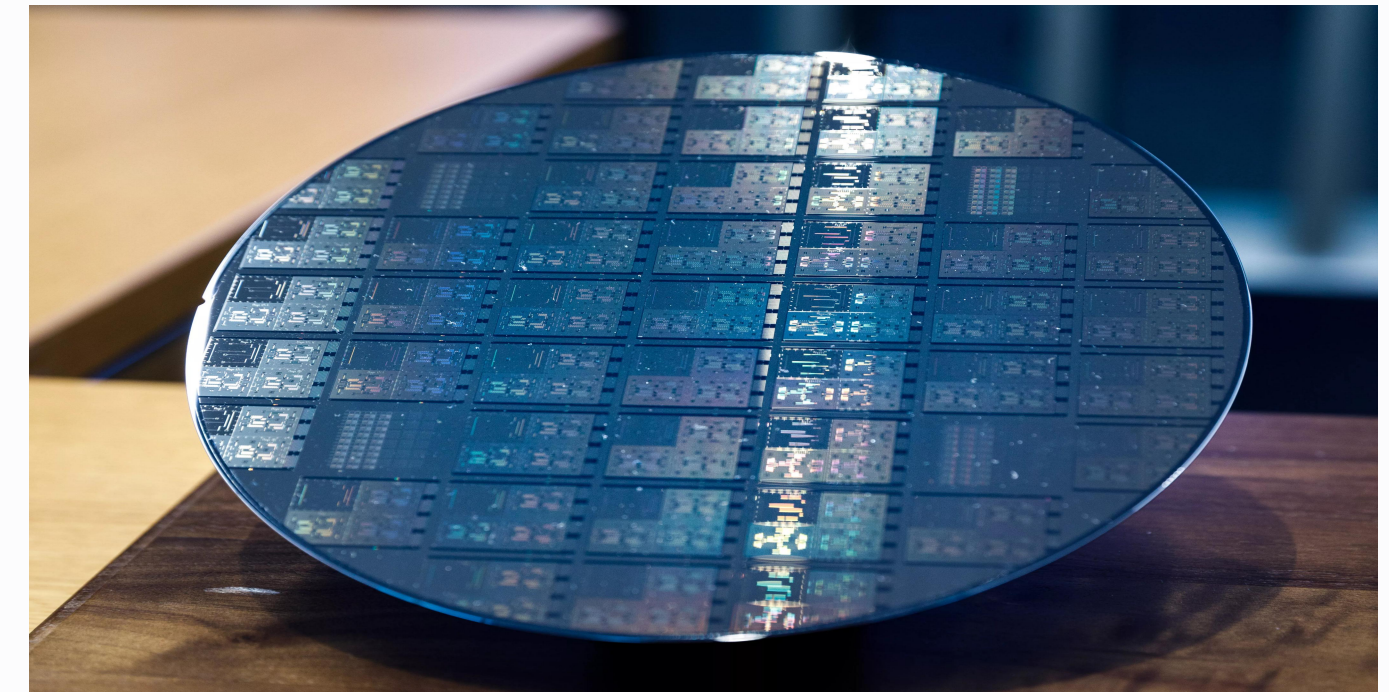
- ① 平面结构
- ② 约瑟夫森结（超导芯片核心）



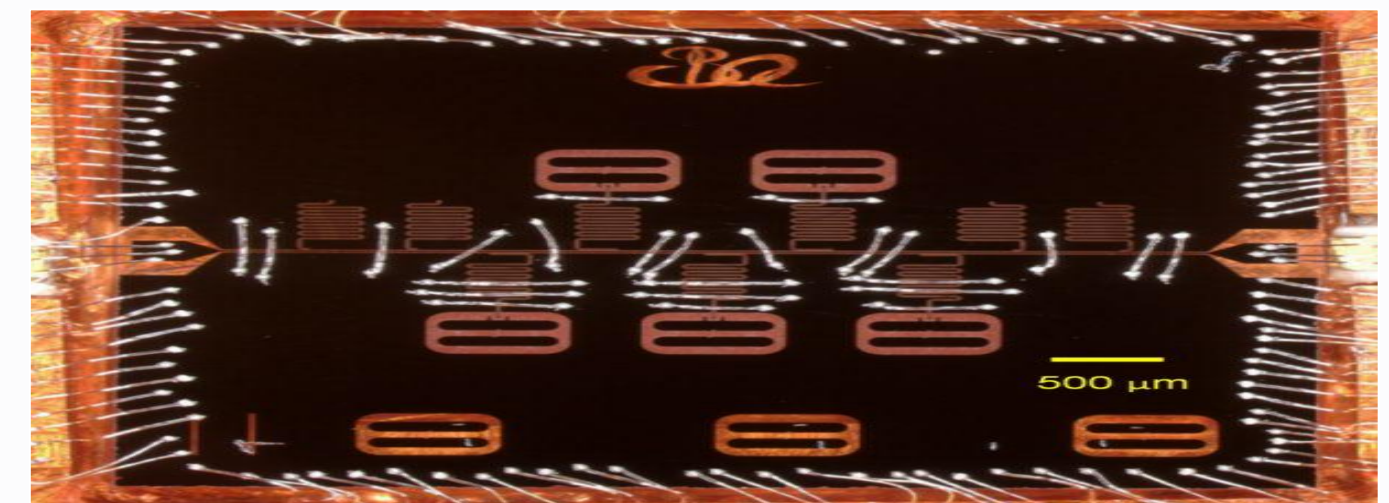
5 比特量子芯片版图

芯片制备流程

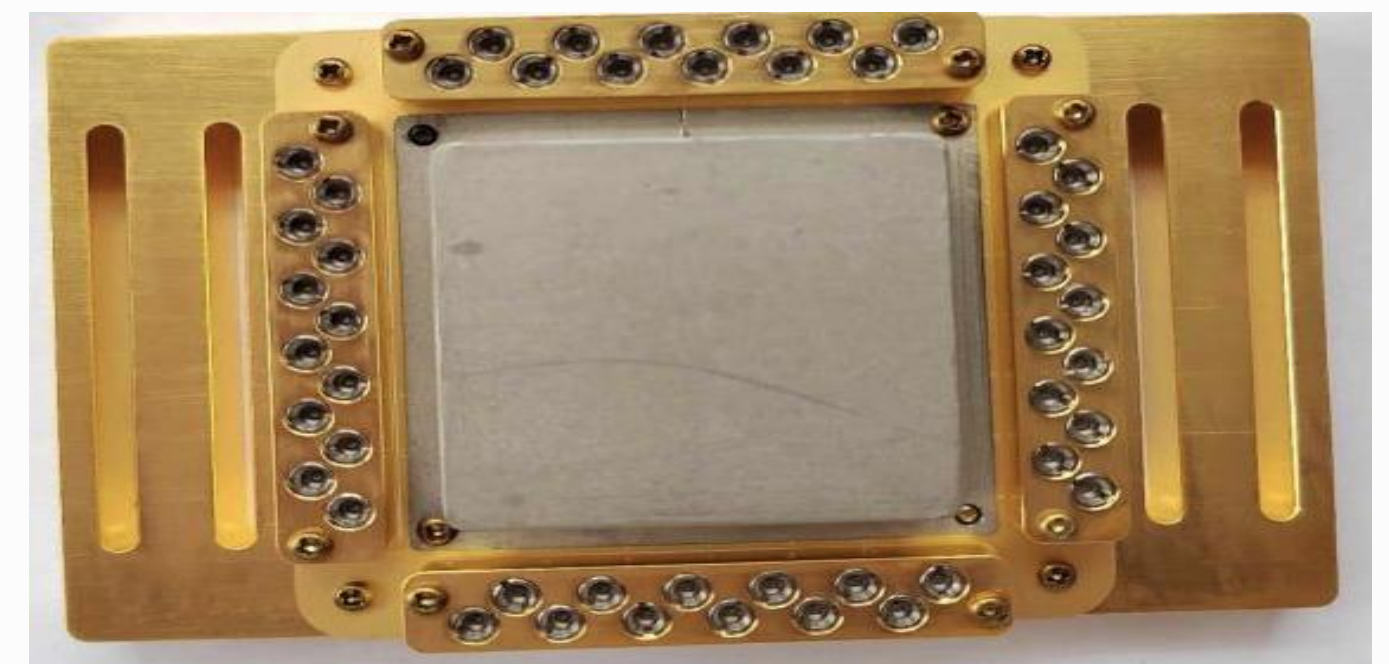
- ① 衬底和超导材料
- ② 制备超导薄膜
- ③ 实现平面结构
- ④ 制备约瑟夫森结
- ⑤ 制备其他部分
- ⑥ 划片、封装与测试



完整晶圆

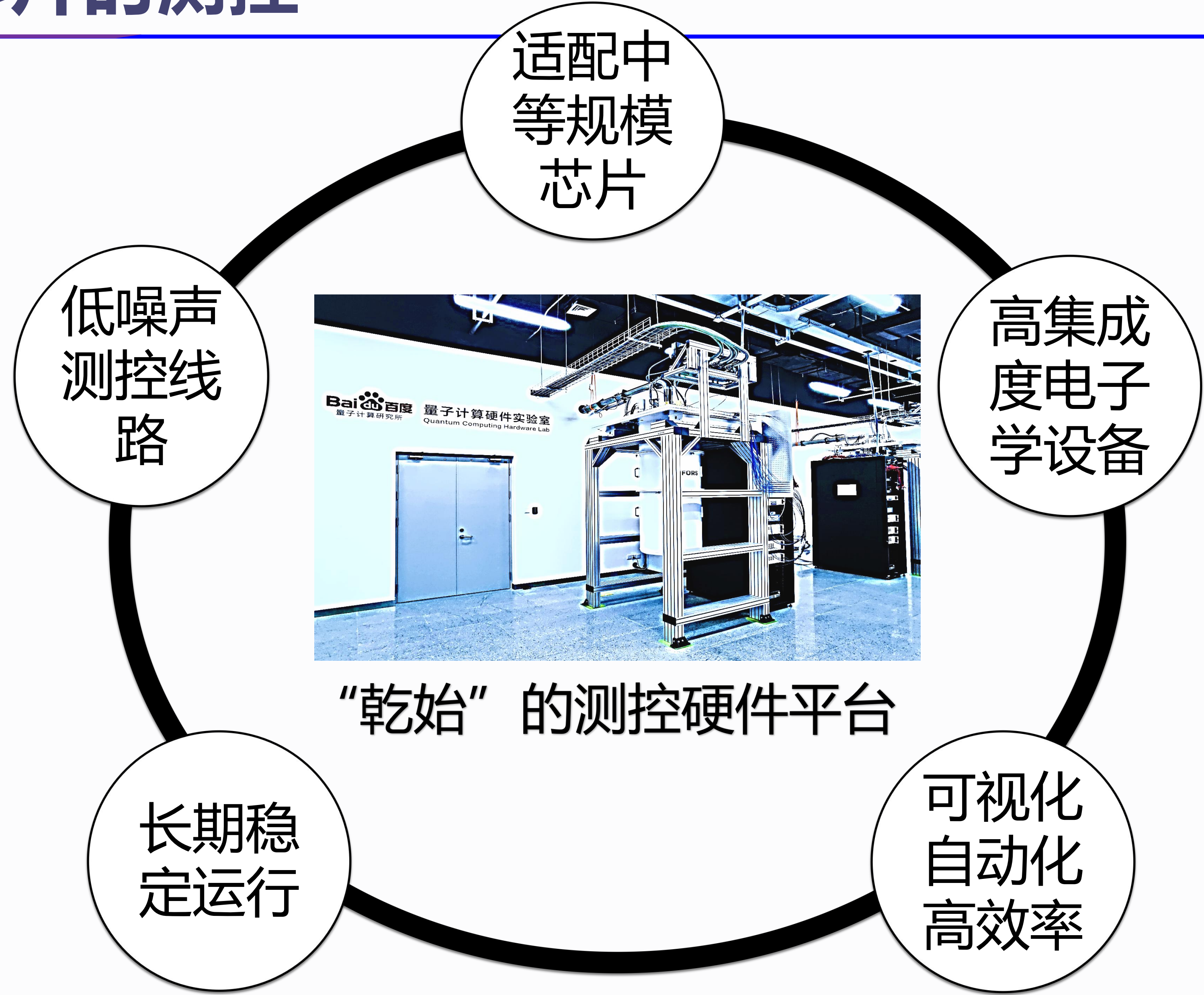


划片成单独芯片



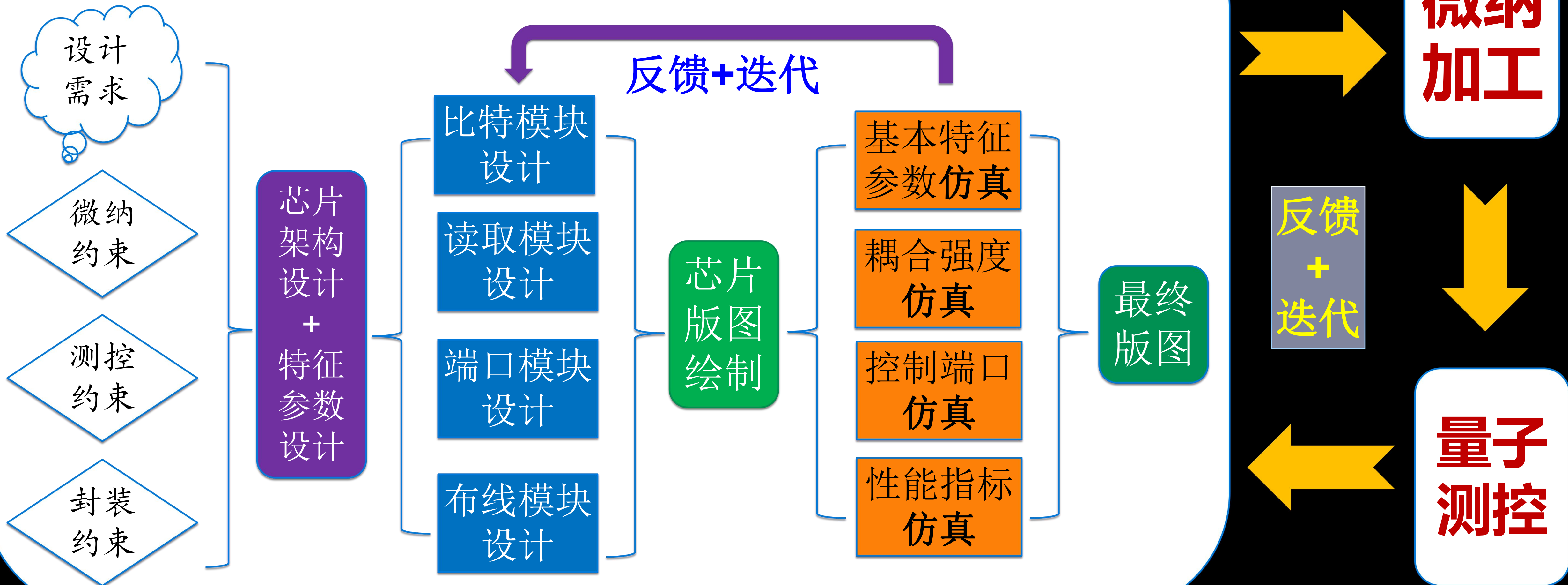
封装到样品盒

超导量子芯片的测控

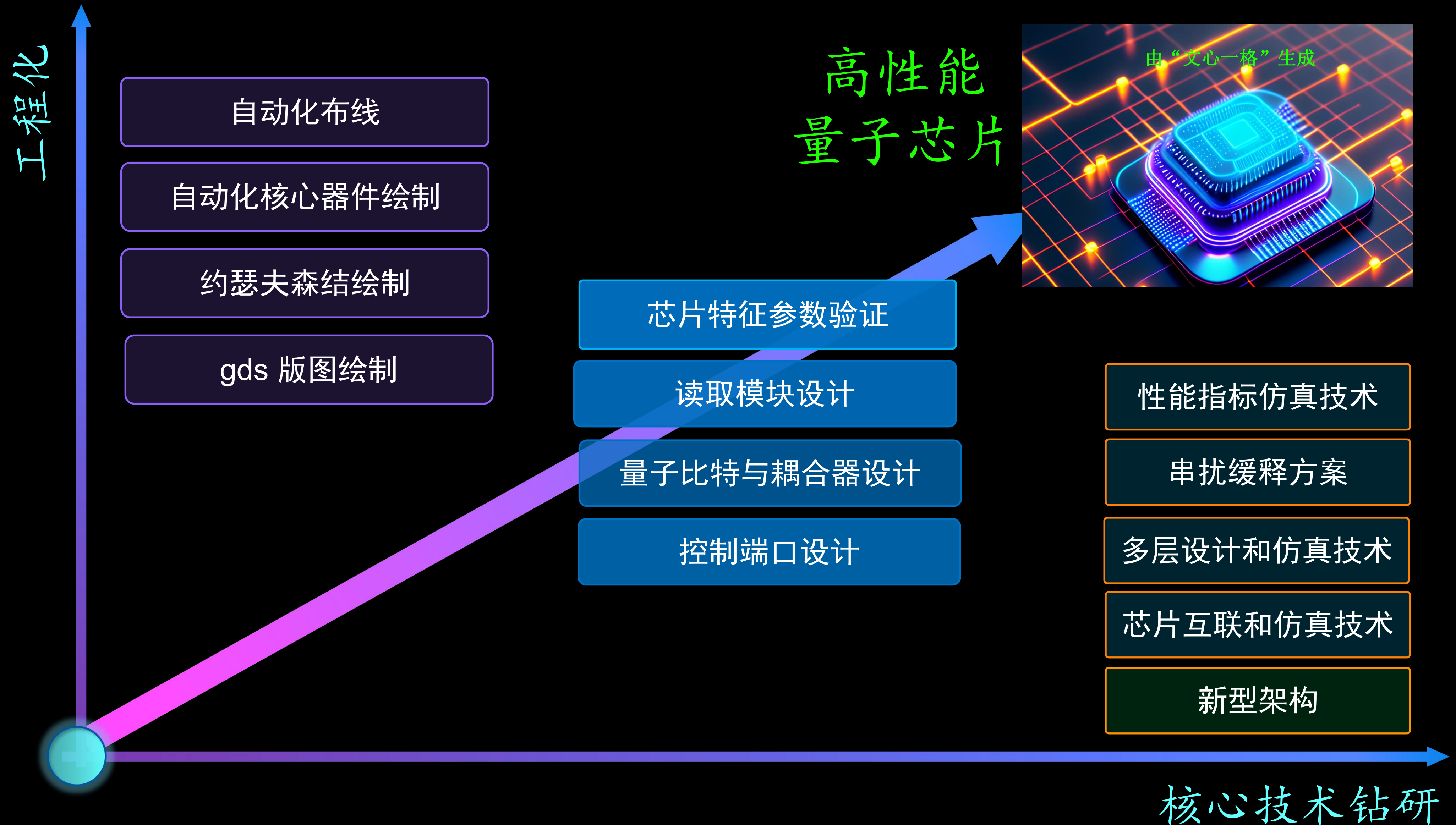


一款量子芯片的诞生之路

芯片设计

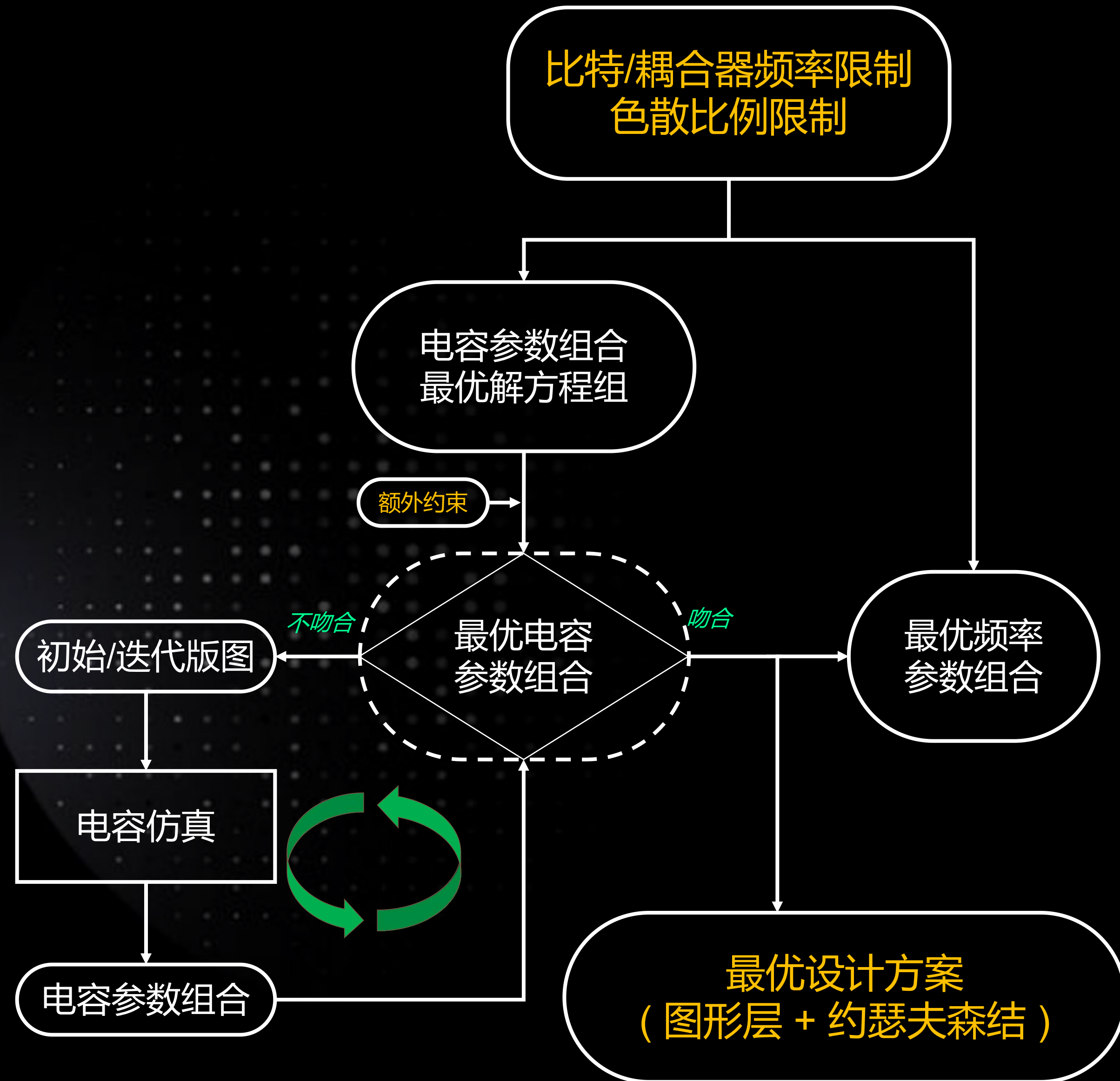
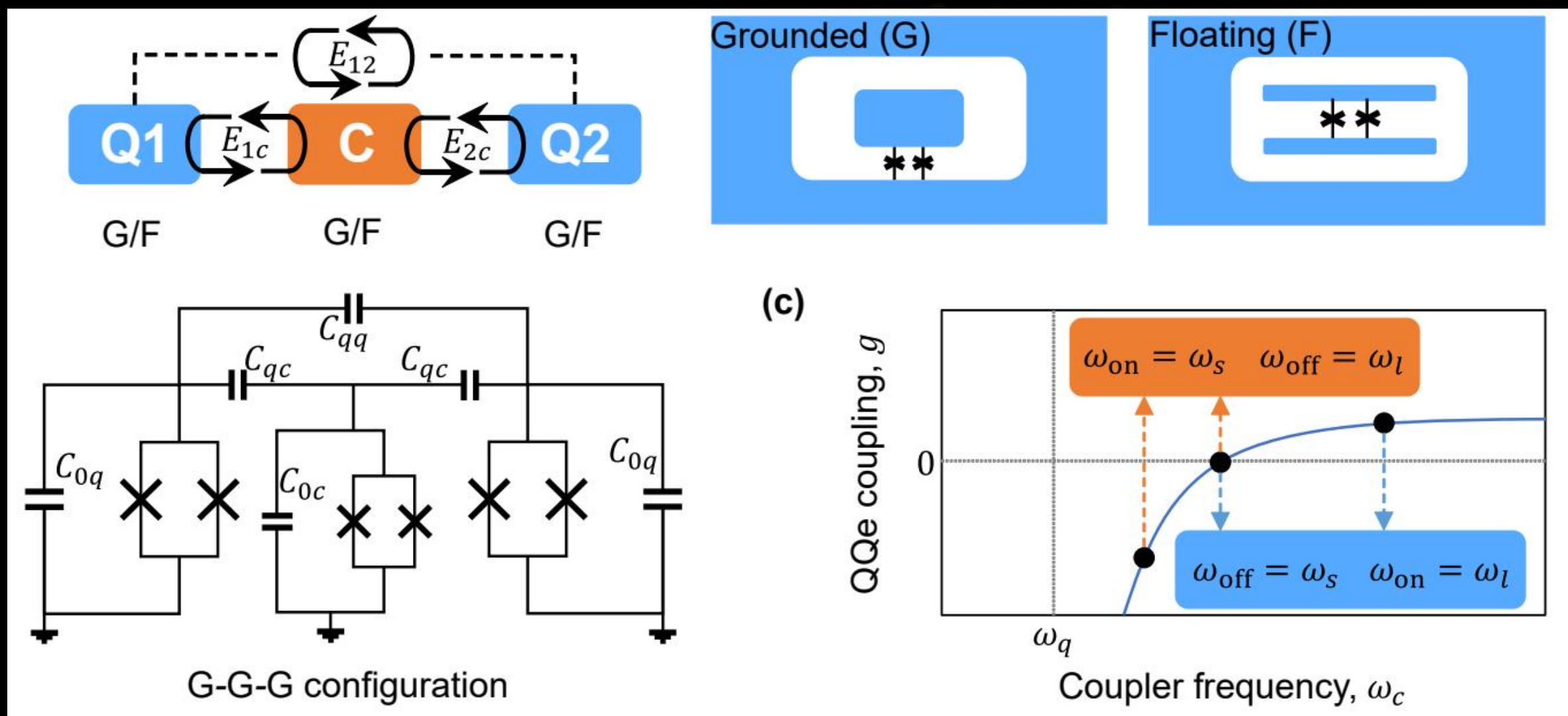


“核心技术钻研” 和 “工程化” 并驾齐驱，研发业界领先的高性能量子芯片



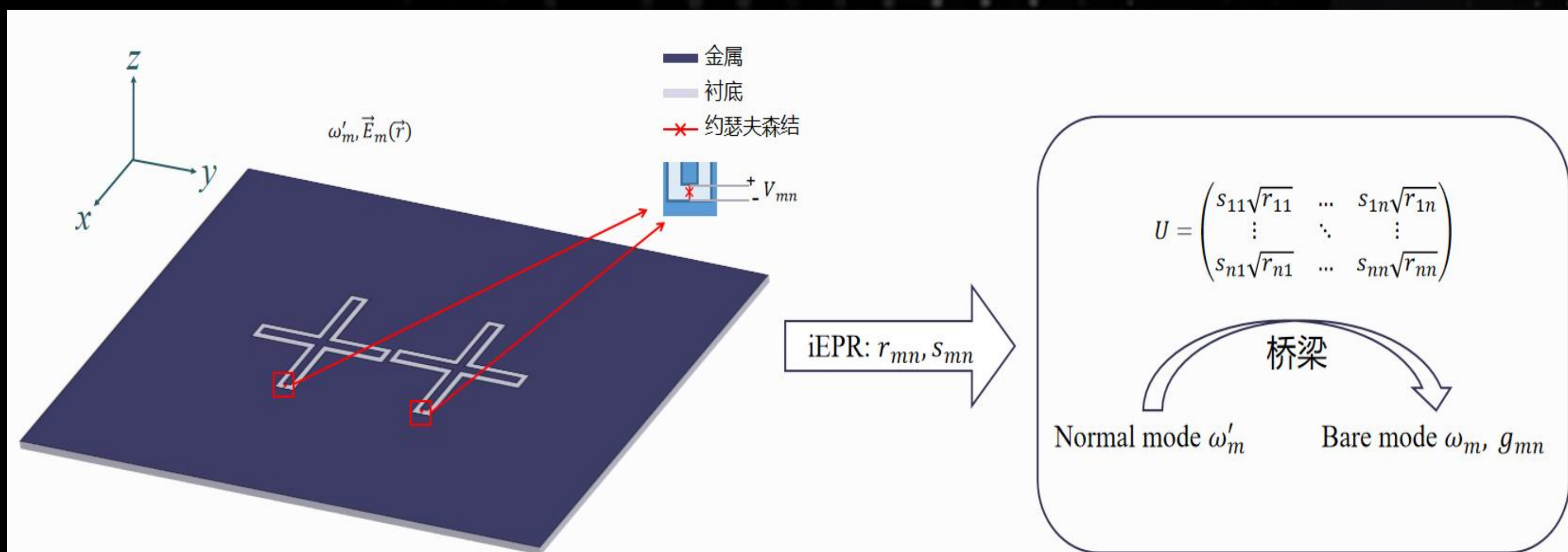
自动化设计最优含耦合器版图

Quantum Sci. Technol.
8 045015 (2023)



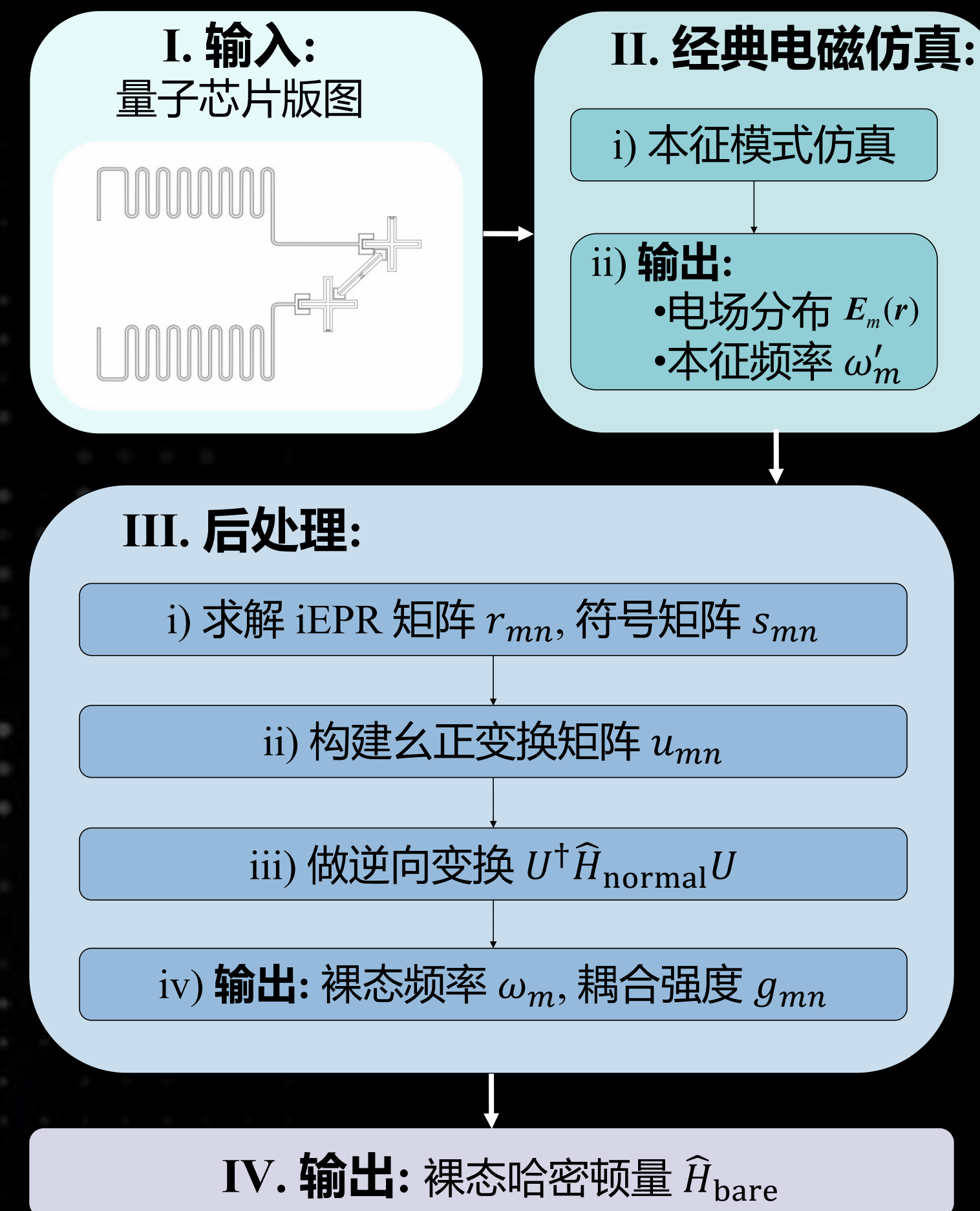
自动化仿真器件耦合强度 iEPR 方法

[arXiv:2303.18220](https://arxiv.org/abs/2303.18220)



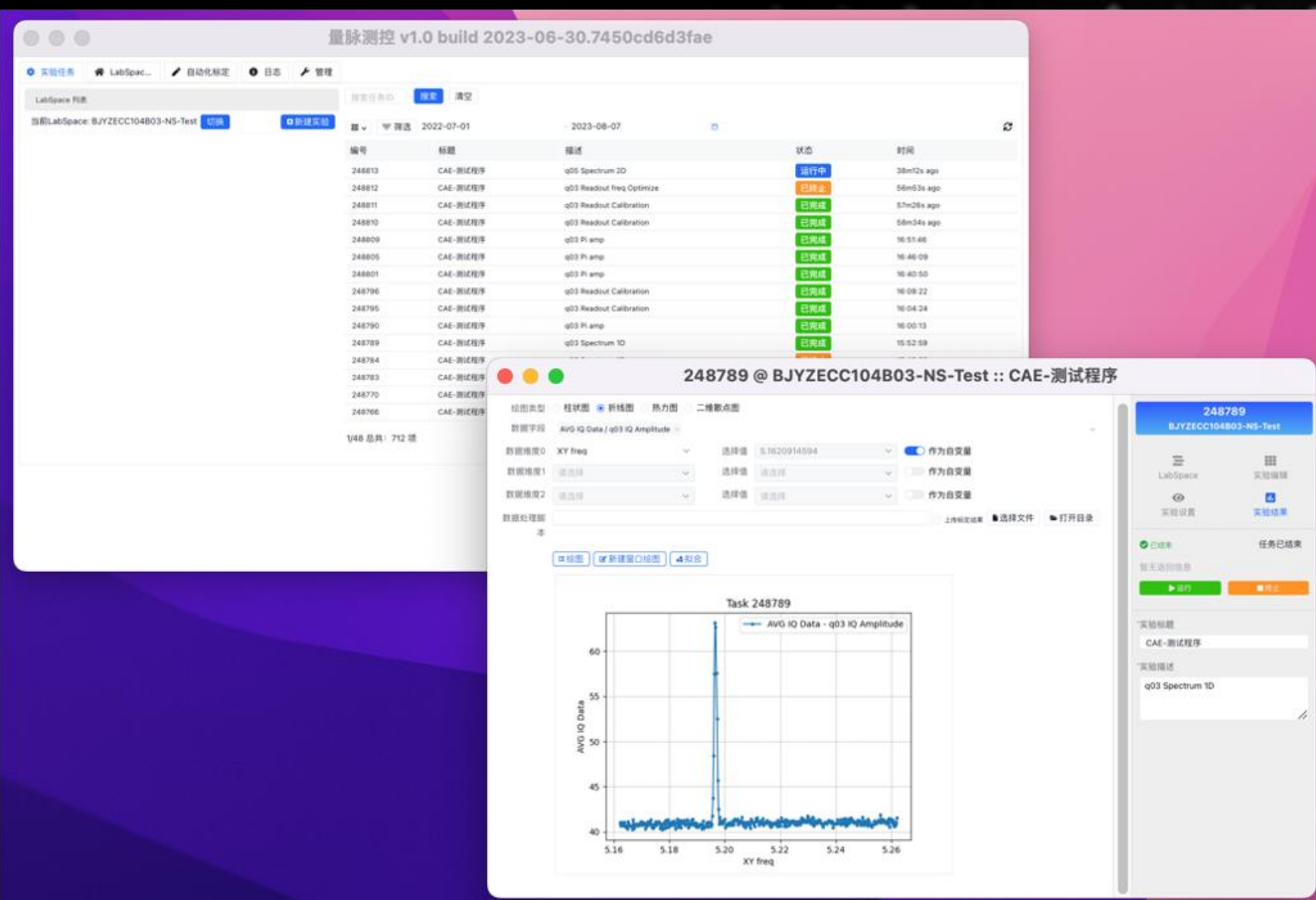
inductive Energy Participation Ratio (iEPR) 定义如下

$$r_{mn} = \frac{\text{当模式 } m \text{ 激发时储存在器件 } n \text{ 上的电感能}}{\text{当模式 } m \text{ 激发时储存在整个芯片中的电感能}} = \frac{\mathcal{E}_{mn}^I}{\mathcal{E}_m^I}$$



iEPR 芯片版图仿真流程

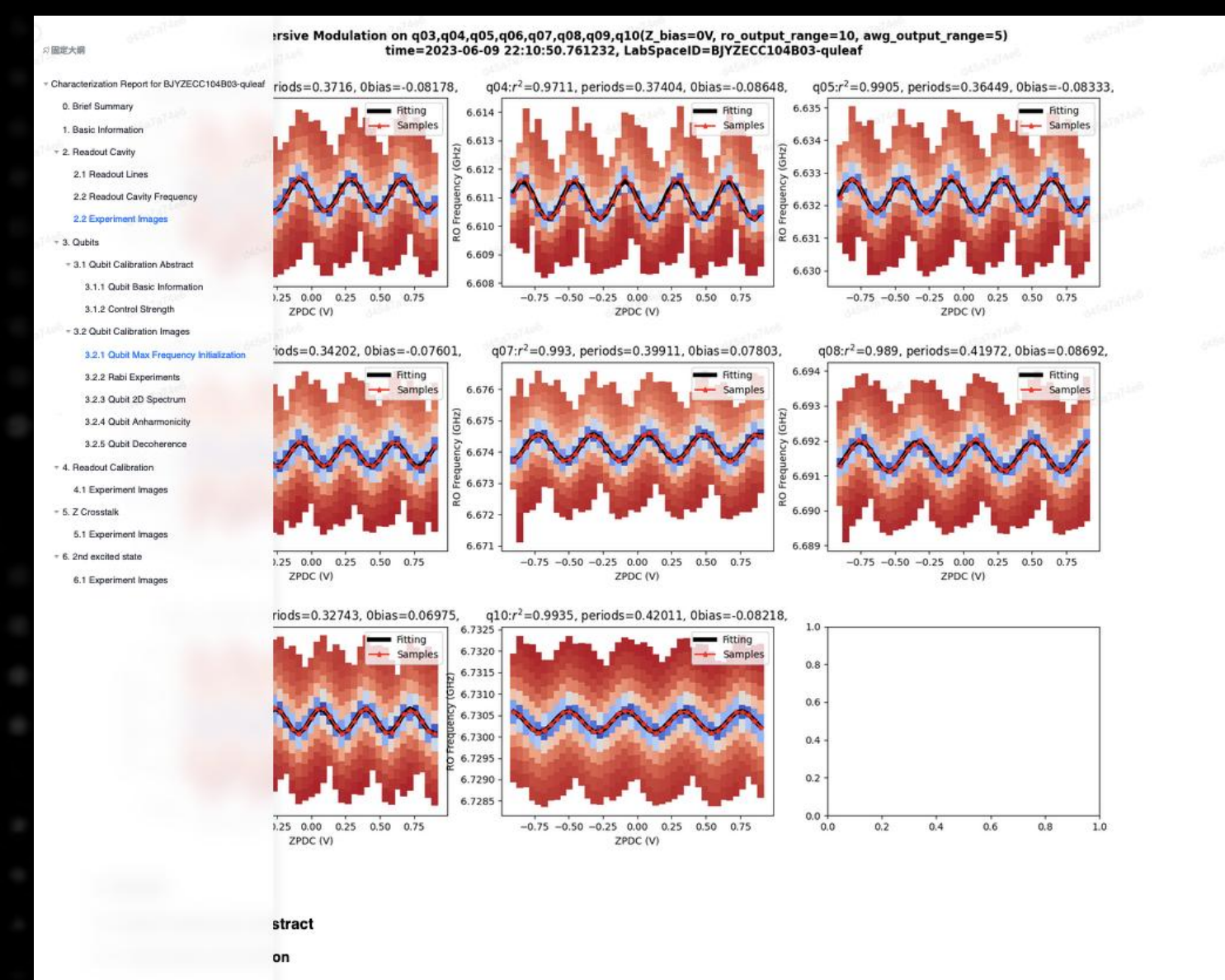
测控软件



可视化实验设置
和管理软件

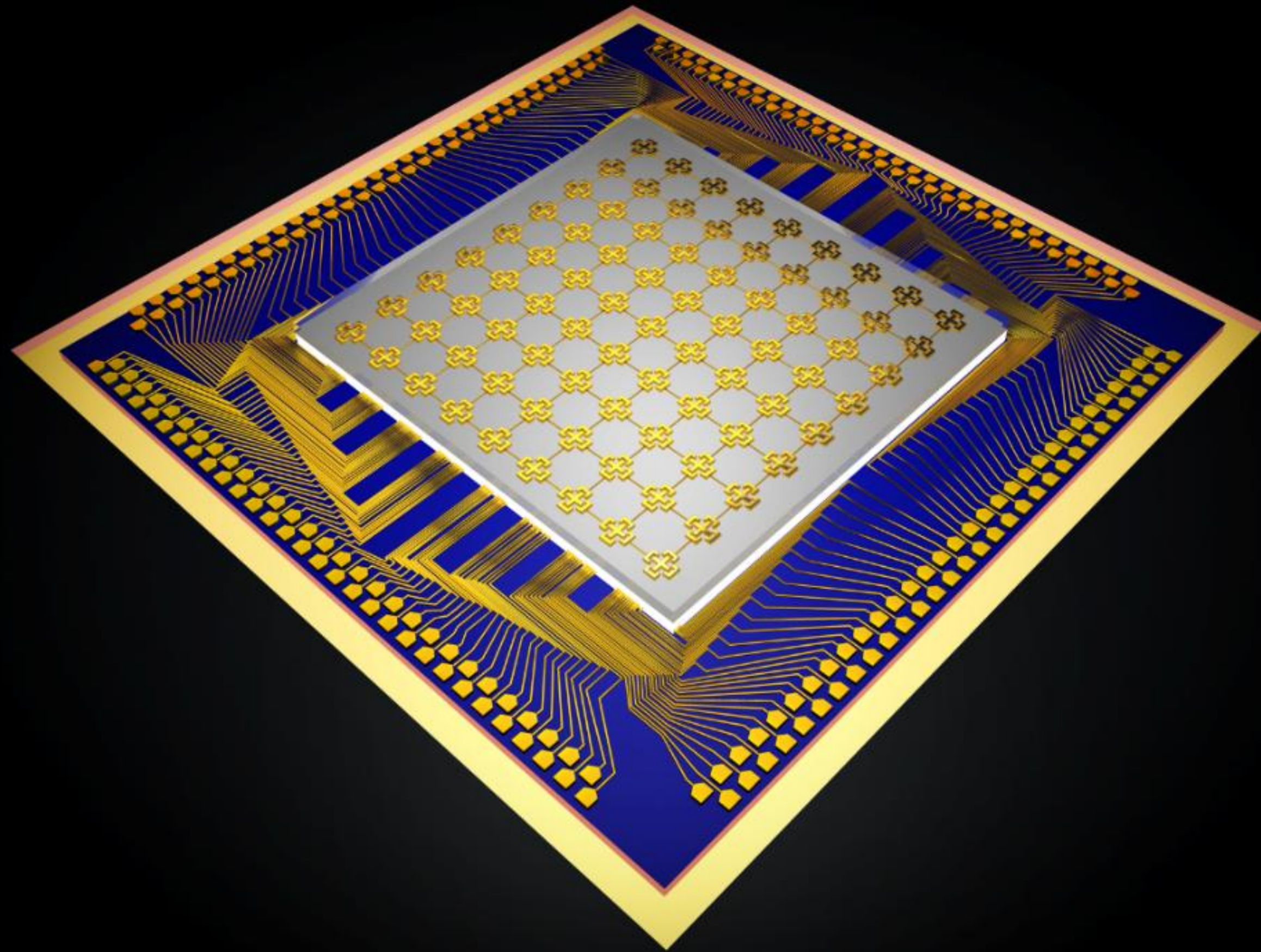


交互式/自动化芯片
的表征和标定



芯片测试报告

完成一款 81 比特含耦合器 3D Flip Chip 量子芯片设计



通过多种方法交叉验证，
特征参数和性能指标达到设计预期

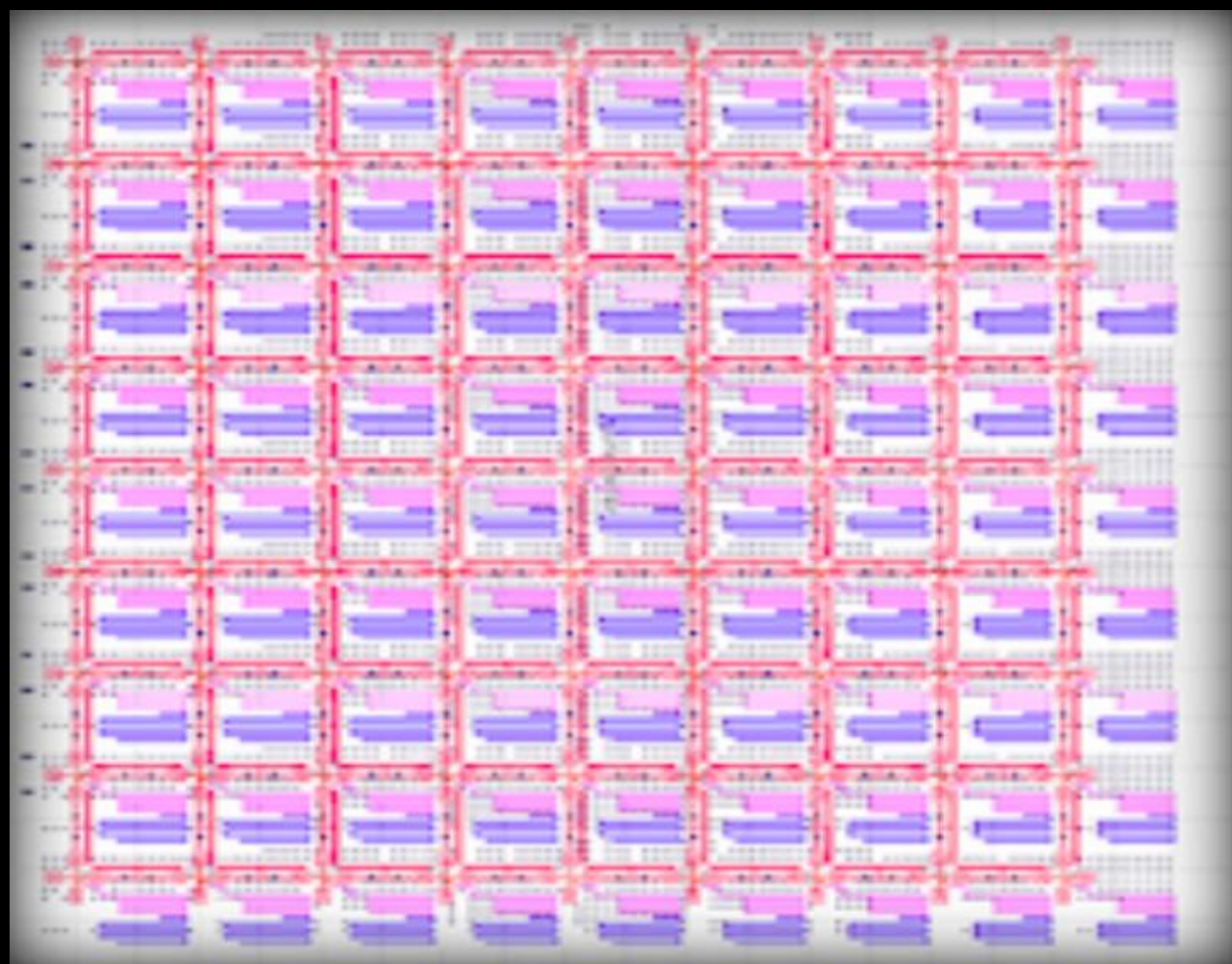
核心指标	是否达到预期
微纳加工基本需求	YES
量子比特间远距离	YES (2022 um)
Qubit-Qubit 耦合存在关闭点	YES
Qubit-Qubit 较强耦合	YES (> 12 MHz)
Qubit-Coupler 满足色散耦合	YES
Resonator 频率配分	YES (~ 80 MHz)
Qubit-Resonator 耦合强度	YES (~ 60 MHz)
Q 值-Resonator	YES (~ 1000)
Q 值-Purcell Filter	YES (~ 100)
Q 值-Qubit	YES (> 1e+8)

核心器件层

尺寸:

18.1 mm (高) * 18.9 mm (宽)

版图 & 规格:

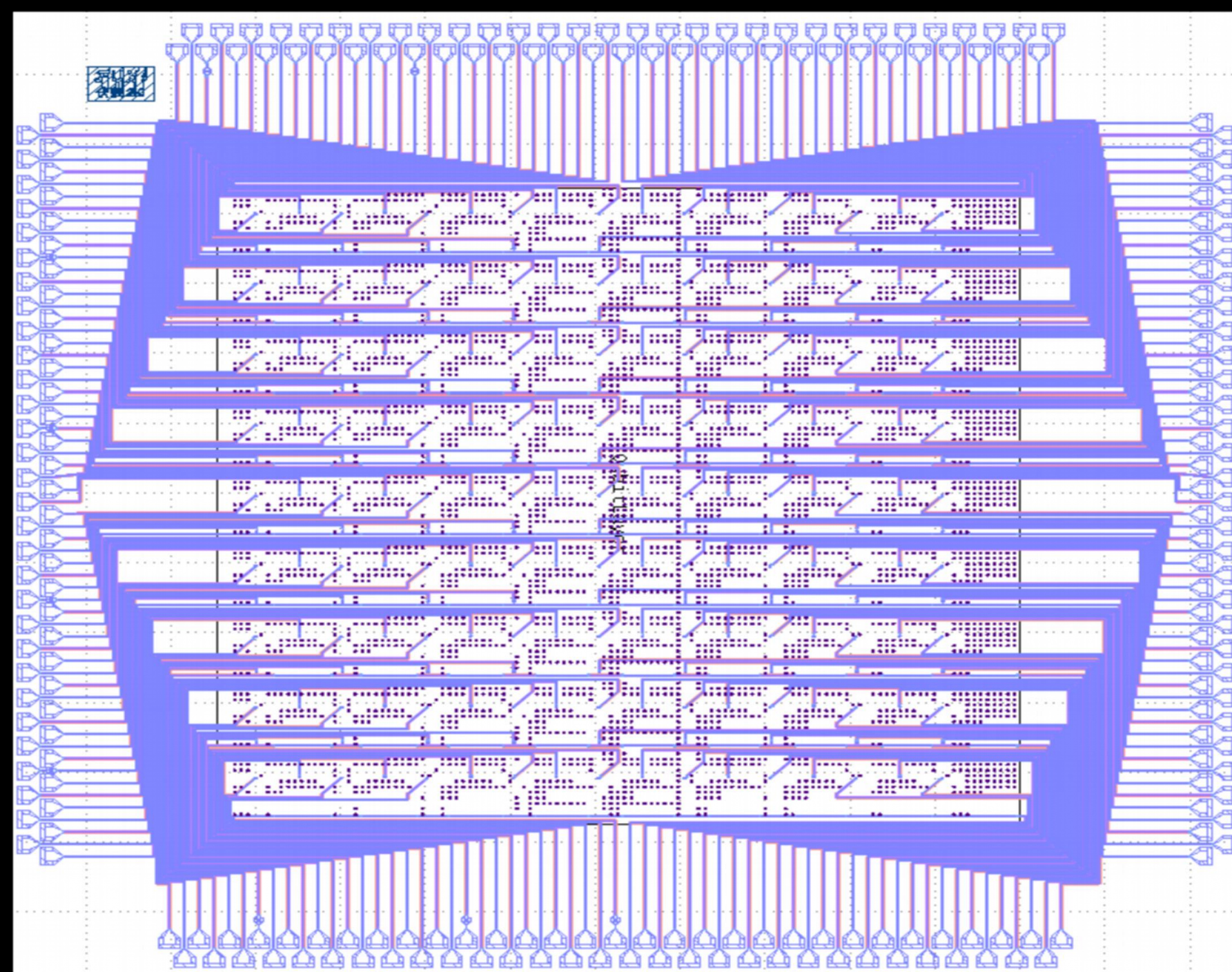


布线层

尺寸:

27.0 mm (高) * 28.7 mm (宽)

版图 & 规格:



核心器件层

尺寸:

18.1 mm (高) * 18.9 mm (宽)

版图 & 规格:

器件	数目
量子比特	81
耦合器	144
读取腔	81
滤波器	81
测试结	14
铟柱	3996

布线层

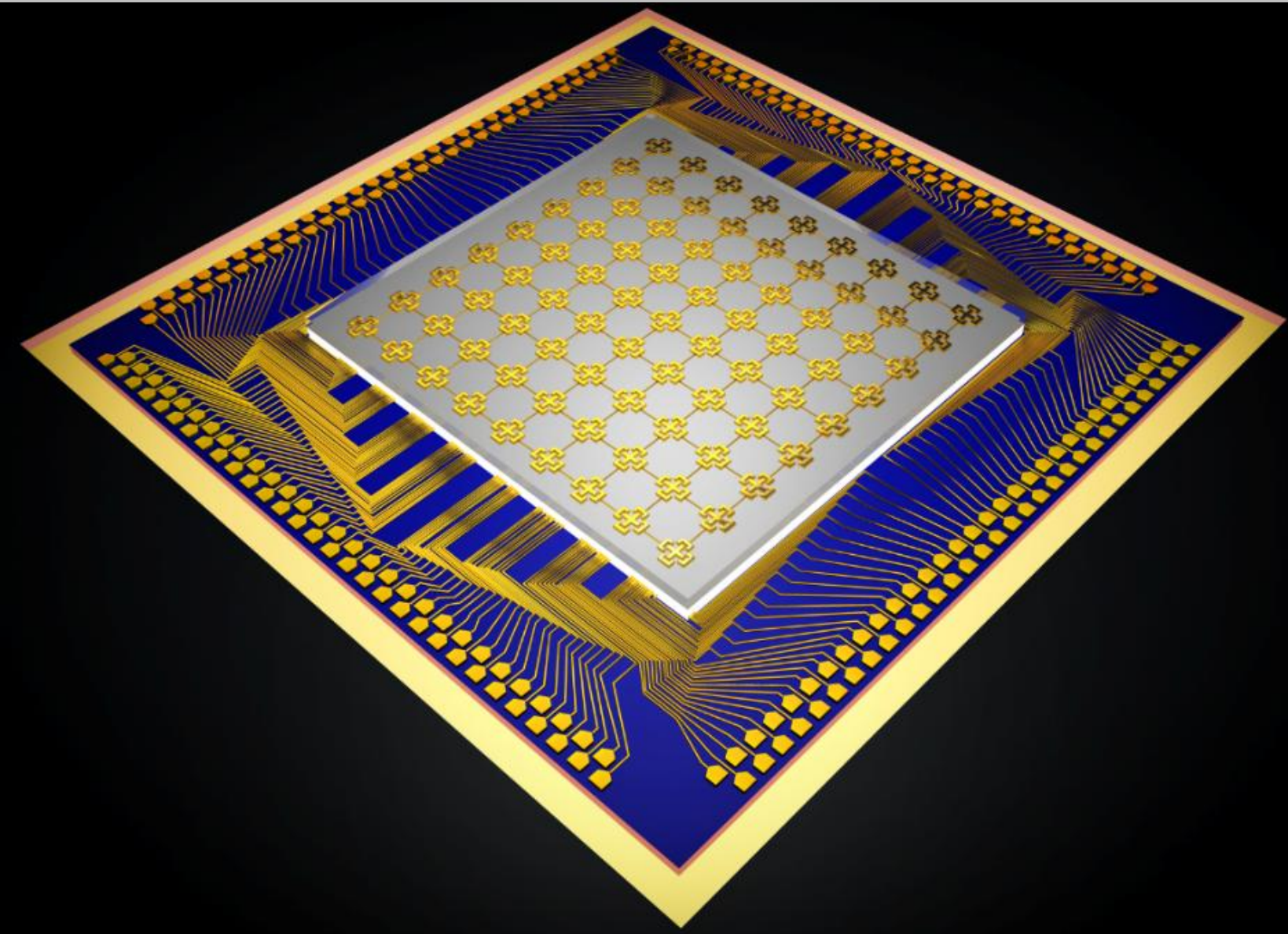
尺寸:

27.0 mm (高) * 28.7 mm (宽)

版图 & 规格:

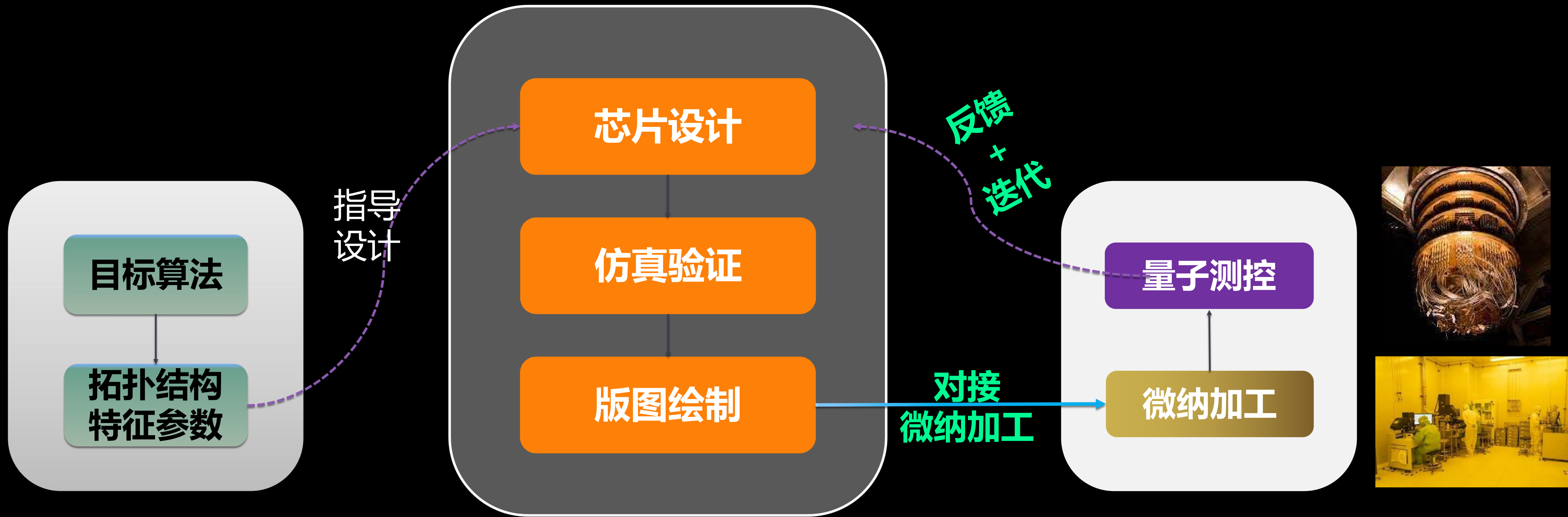
器件	数目
Qubit-XY/Z 控制线	81
Coupler-Z 控制线	144
9-路复用读取线	9
测控线引脚	243
铟柱	3996
最小线中心间距 (um)	60

芯片版图 优势和价值



- **更高效纠错码实现。** $9*N$ 量子芯片原则上可以实现 $d=8$ 的量子纠错码，优于业界现有的 $6*N$ 量子芯片 ($d \leq 5$)。实现量子比特“长程”设计 (2022 μm)，降低量子比特间关联错误，有助于量子纠错的实现和验证。
- **更高性能。** 拥有较大空间，除了满足量子比特的读取线和控制线的布线空间之外，每个量子比特允许设计独立 Purcell filter，有望提高量子比特相干时间和读取保真度。
- **较高的量子比特耦合强度。** 在“长程”设计基础上，近邻量子比特间等效耦合强度仍然能够达到 12- 15 MHz，达到业界较高水平，有利于实现快速的两比特门。

超导量子芯片研发流程总结



“芯片设计 - 微纳加工 - 量子测控”形成闭环，基于反馈高效迭代

感谢聆听