



# TaichuPix3: 一款用于CEPC顶点探测器的快速读出 CMOS像素探测器芯片设计

魏晓敏（西北工业大学）

on behalf of CEPC MOST2 vertex detector design team

第三届全国辐射探测微电子学术交流会 2023年 10月

# 内容概要

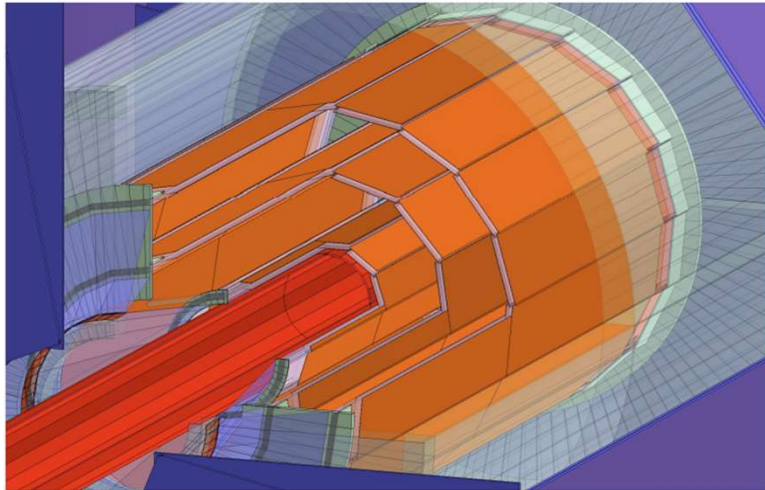
□需求分析

□芯片设计

□仿真与测试

□总结与展望

# CEPC顶点探测器及像素探测器需求



Schematic View of CEPC Vertex detector

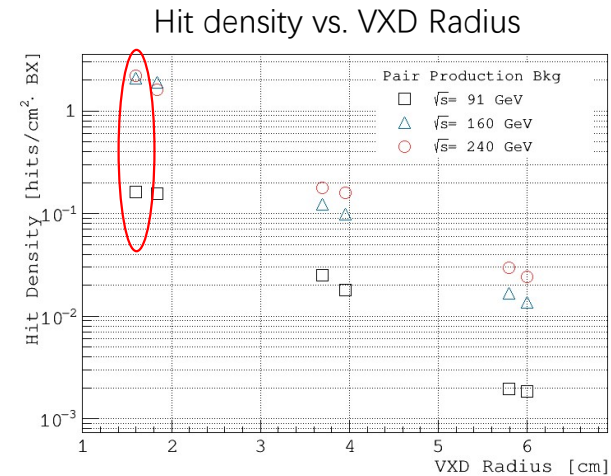
## 像素探测器的需求

- ❑ 高空间分辨率：~3 $\mu\text{m}$
- ❑ 高事例率：3种能量（240 GeV、160 GeV、90 GeV）分别对应 3.5M、11M、10M hits/cm<sup>2</sup>·s 以及 Spacing time 680ns、210ns、25ns
- ❑ 低质量、低功耗：50mW/cm<sup>2</sup>
- ❑ 抗辐射等

Baseline design parameters of CEPC vertex detector

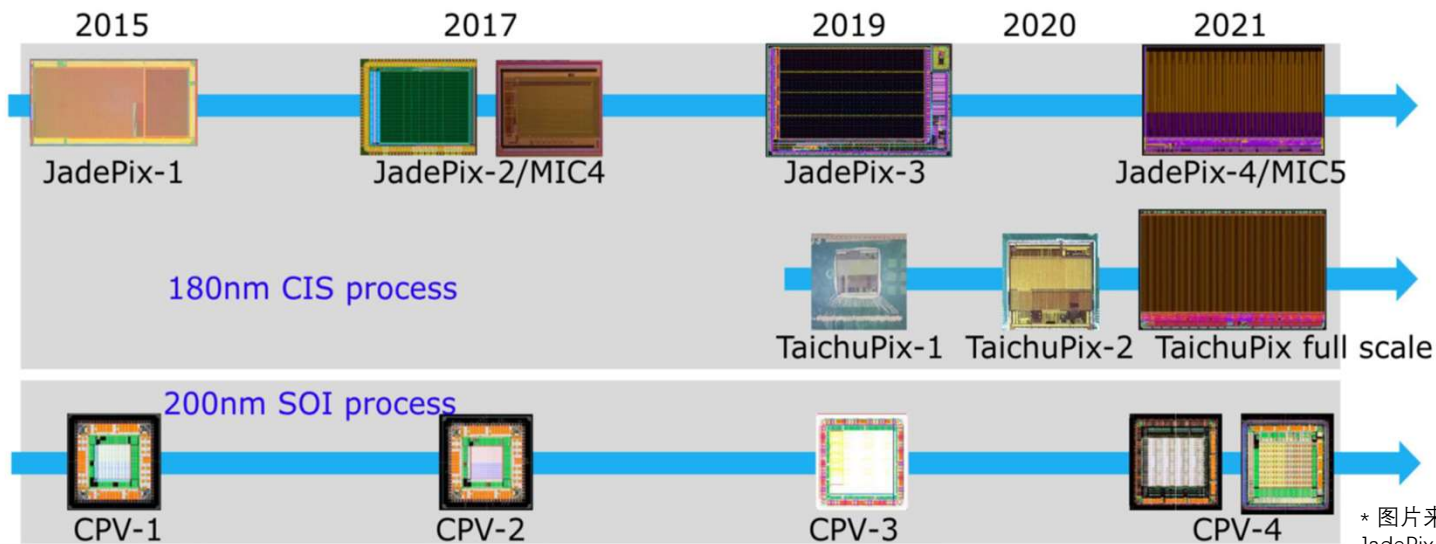
	$R$ (mm)	$ z $ (mm)	$ \cos\theta $	$\sigma$ ( $\mu\text{m}$ )
Layer 1	16	62.5	0.97	2.8
Layer 2	18	62.5	0.96	6
Layer 3	37	125.0	0.96	4
Layer 4	39	125.0	0.95	4
Layer 5	58	125.0	0.91	4
Layer 6	60	125.0	0.90	4

Ref: CEPC Conceptual Design Report, Volume II



# 研究现状

- 自2015年，针对不同目标已经研发了JadePix系列、CPV系列，研究了不同结构和工艺的探测器以及不同读出方式。
- 2019年，TaichuPix系列研发，目标是用来进行ladder以及prototype的设计分析，TaichuPix1和TaichuPix2进行了全功能和读出架构验证，**TaichuPix3面向大阵列、全功能、工程批流片设计。**



\* 图片来自“翟星晔, 卢云鹏等, 单片型硅像素探测器芯片 JadePix-3的性能研究, 第二十一届全国核电子学与核探测技术学术年会”

CPS chips for CEPC Vertex detector

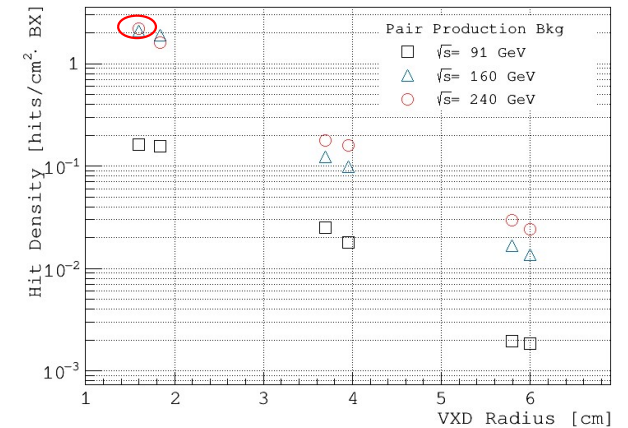
# TaichuPix3设计指标

全阵列、全功能，用于顶点探测器原型机研究

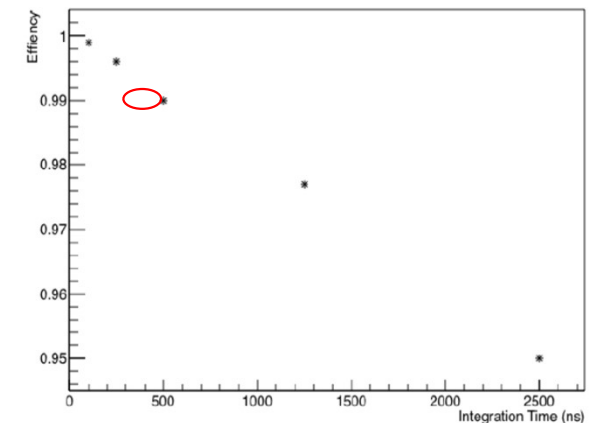
- ❑ 像素阵列：512×1024
- ❑ 像素尺寸：25 μm
- ❑ 数据率\*：120M pixels/s·chip（3.84Gbps/chip）
- ❑ 支持trigger和triggerless两种模式\*
  - ❑ Triggerless读出速度 4.48Gbps
  - ❑ Trigger读出速度 160Mbps
- ❑ 像素读出：
  - ❑ 读数周期：50ns（列级读出死时间 500ns）
  - ❑ 响应时间匹配25ns/BX
- ❑ 功耗：200mW/cm<sup>2</sup>

\* Estimation condition:

- 1) The chip sensing active area is 3.2768 cm<sup>2</sup> (1024\*512 pixel array, 25 μm pixel pitch),
- 2) The cluster size is 3 pixels.  
Each hit pixel is recoded with 32 bits (Timestamp: 8 bits, pixel address: 19 bits).
- 3) The trigger latency is supposed 3~6 μs, and the average trigger rate is 50 kHz.

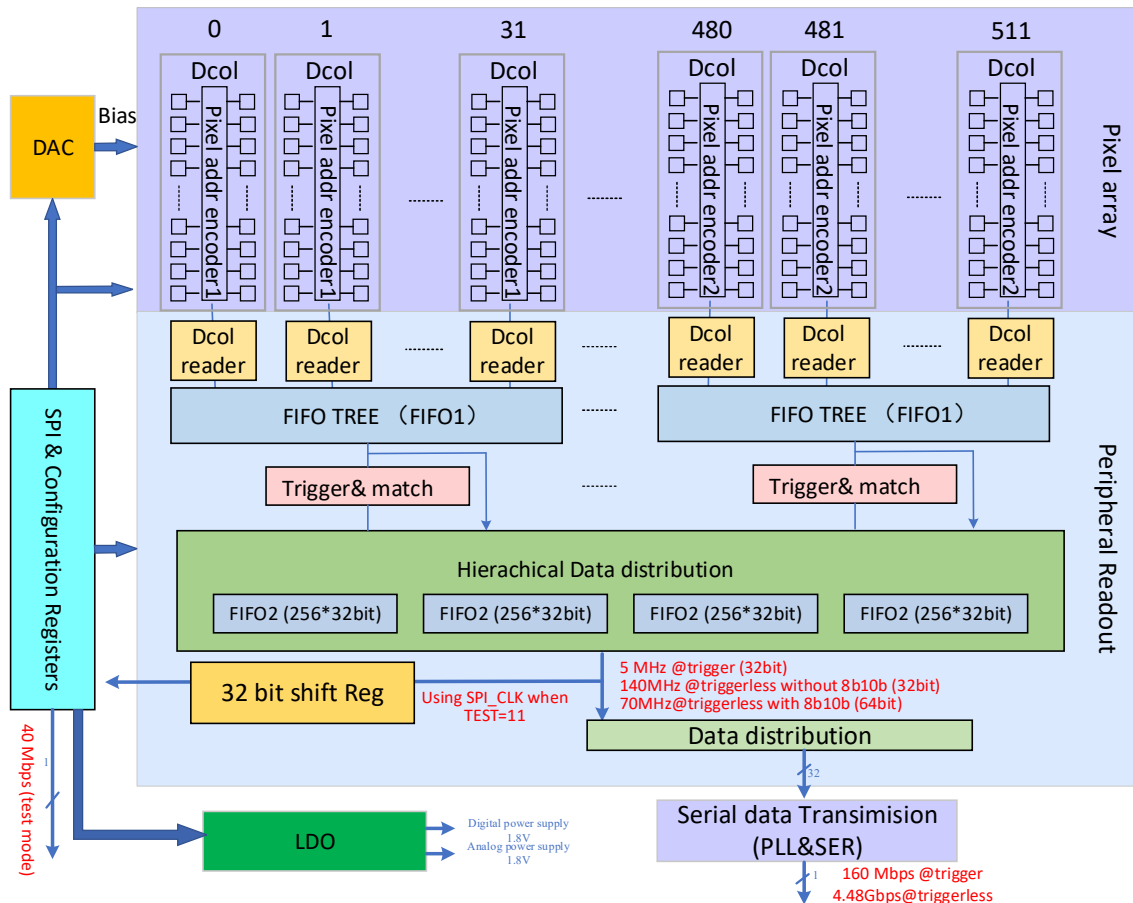


Hit density vs. VXD Radius



Simulation: Detection Efficiency vs. Deadtime

# TaichuPix3芯片结构及功能



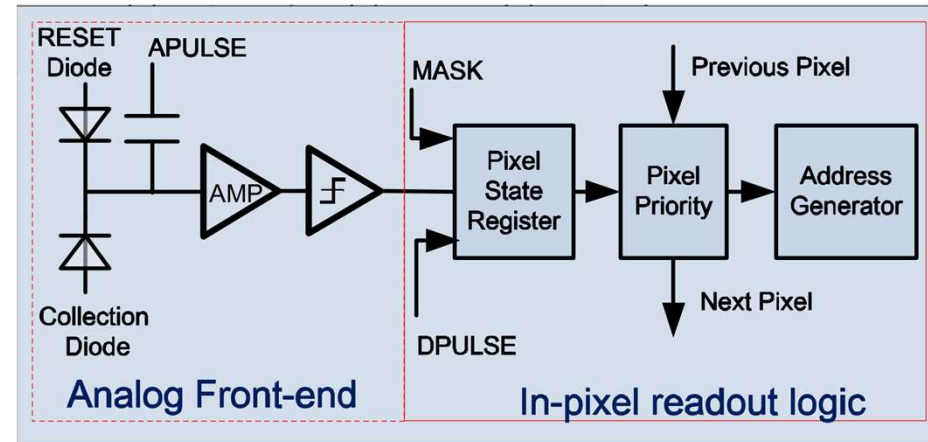
Block Diagram of TaichuPix3

- 像素阵列 1024x512
  - 双列读出
  - 全功能可配置可测试
- 外围读出
  - 所有双列并行读出，同时进行数据压缩，然后存入一级FIFO（FIFO1）
  - FIFO1输出后trigger match
  - FIFO2缓冲trigger数据并匹配接口速度
- 丰富的读出接口
  - Trigger模式：160Mbps
  - Triggerless模式：4.48Gbps
  - 测试模式：慢控制时钟读出
- 完整的功能
  - 集成片上DAC、PLL&SERDES
  - 设计了多种芯片Debug及测试功能
  - 支持Scan Chain测试及存储器BIST

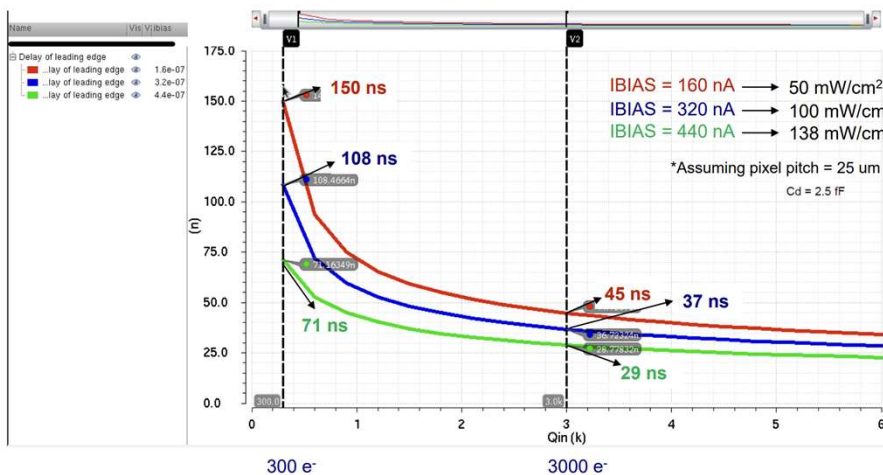
# 像素模拟前端设计

快速读出，优化响应时间，减小time walk

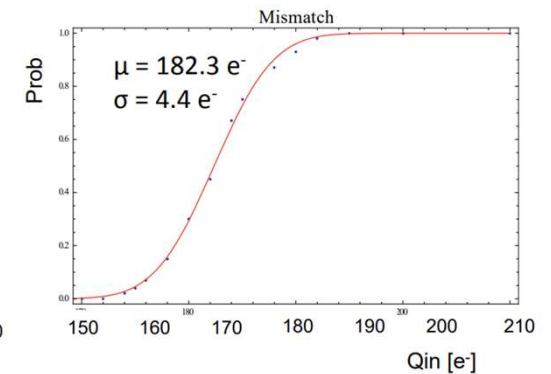
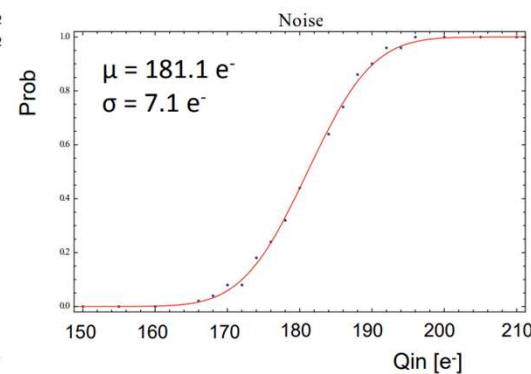
- 采用ALPIDE模拟前端读出结构，调整尺寸  
减小time walk ( $\sim\mu\text{s} \rightarrow \sim 100\text{ns}$ )
- 仿真结果：阈值  $< 200e^-$ ，ENC  $< 10 e^-$



Delay of leading edge vs. input charge



Block diagram of a pixel

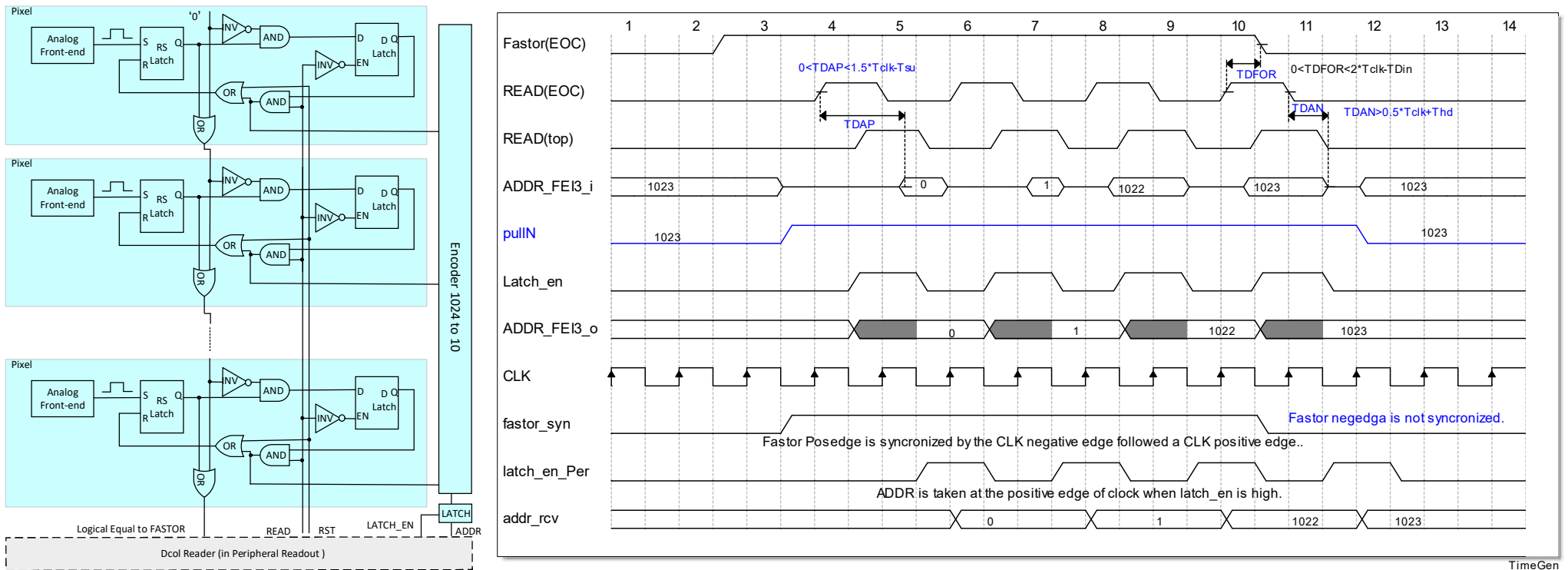


Simulation results

# 像素数字读出设计

有限面积内，实现完整的功能，支持像素mask，支持Dpulse、Apulse进行测试；读出周期50ns。

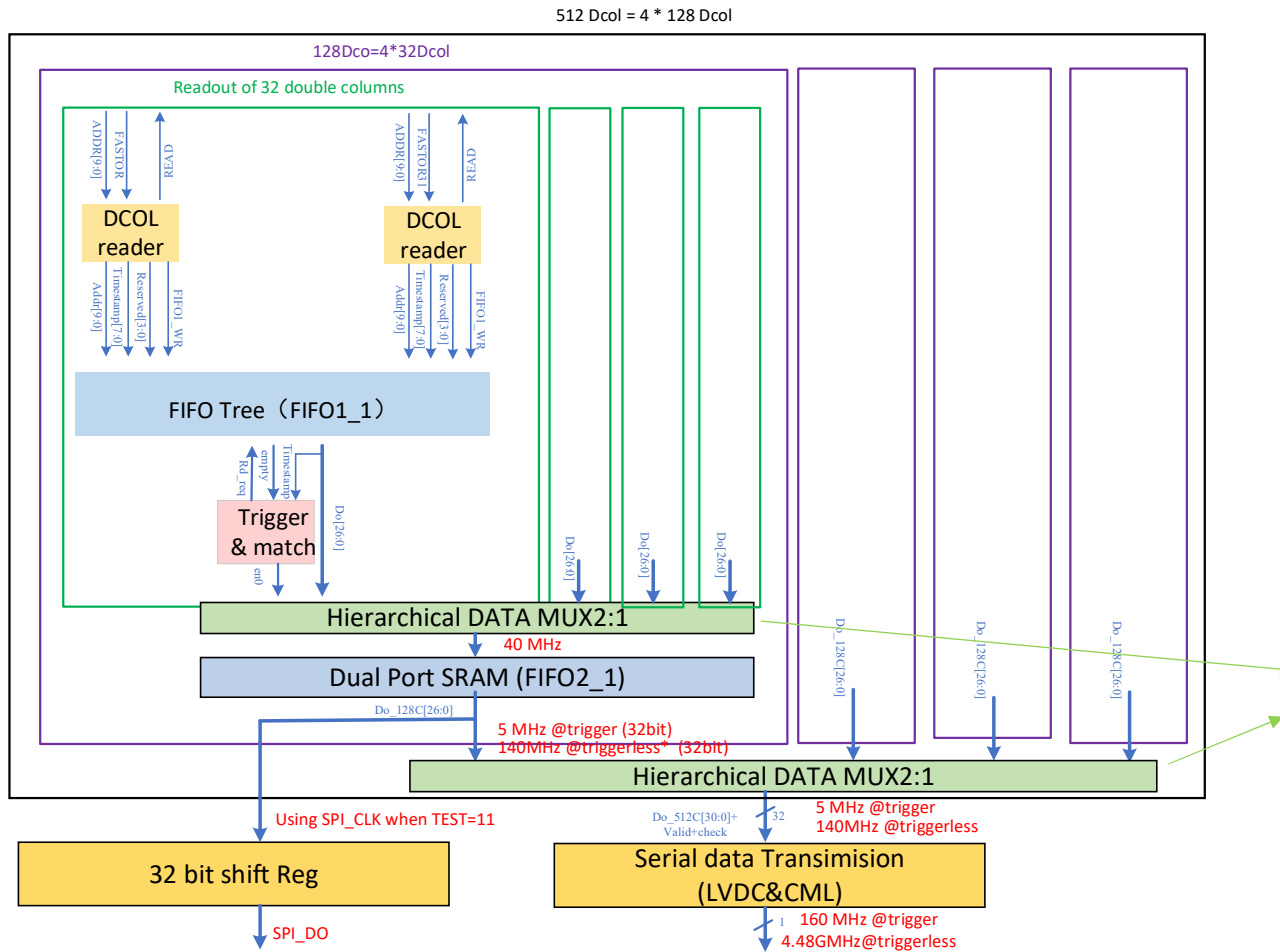
- 采用FEI3中的优先级控制，然后直接编码仅输出击中像素的行地址；
- 像素内不记录时间信息，输出FASTOR，列级记录时间戳（采用时间窗口匹配）。



Readout logic and Timing in a Dcol



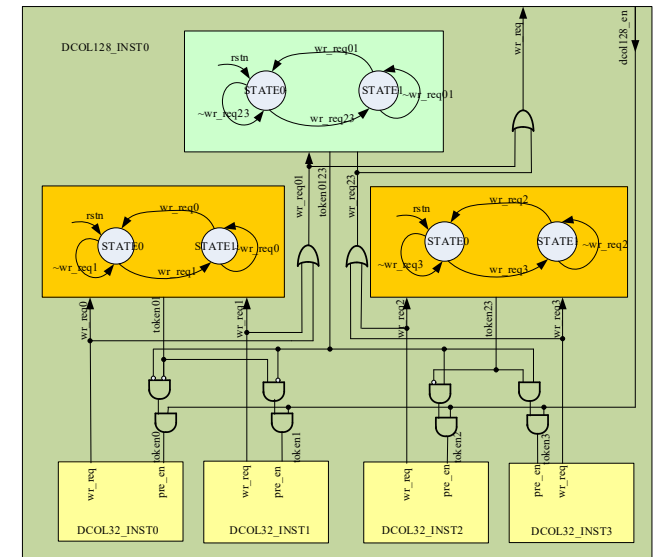
# TaichuPix外围读出设计



Block diagram of peripheral readout

## 提高读出速度

- 双列：实时数据压缩读出
- 32双列：共享FIFO树
- 128双列及顶层：两级二选一读出



Hierarchical DATA MUX2:1

# 双列:实时数据压缩读出

双列地址按优先级仅读出非零地址，送入一级FIFO前对进行数据压缩读出，减少需要读出的数据量，从而提高芯片读出速度。

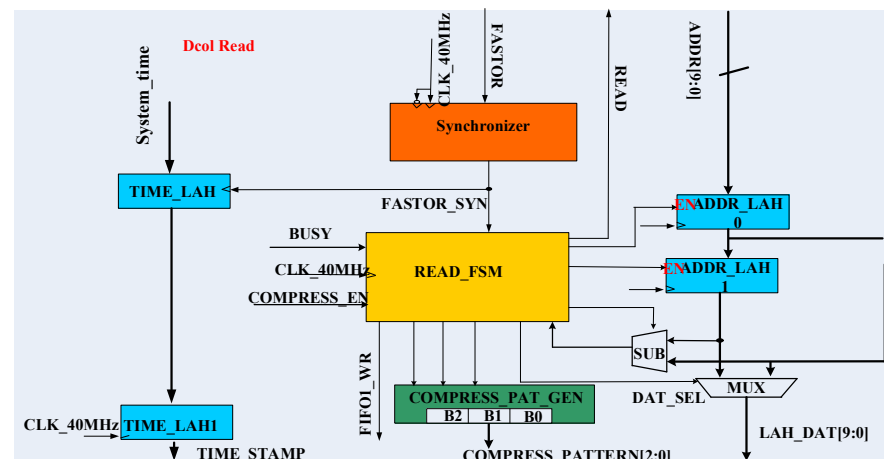
策略：临近的地址压缩成一个数据包，仅记录首地址，压缩范围内其他地址用0/1表示。

面积开销：

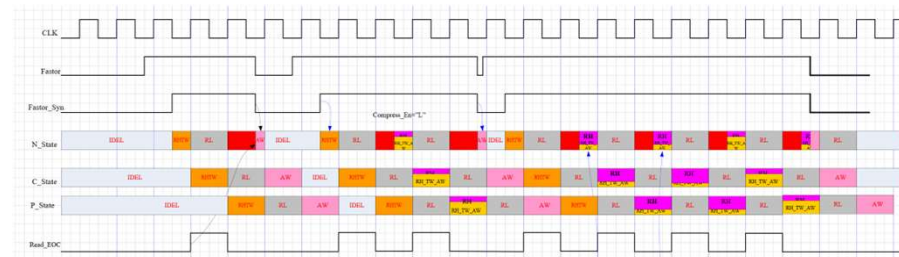
- 增加一级LATCH
- 增加压缩编码
- 控制逻辑复杂

速度开销：

- Taichupix3中使用两个时钟周期处理一个地址，因为像素读出时两个时钟周期输出一个地址，充分利用了这个时间，没有额外开销。
- 其他情况需要重新考虑



Block diagram of Dcol reader



Timing in Dcol reader

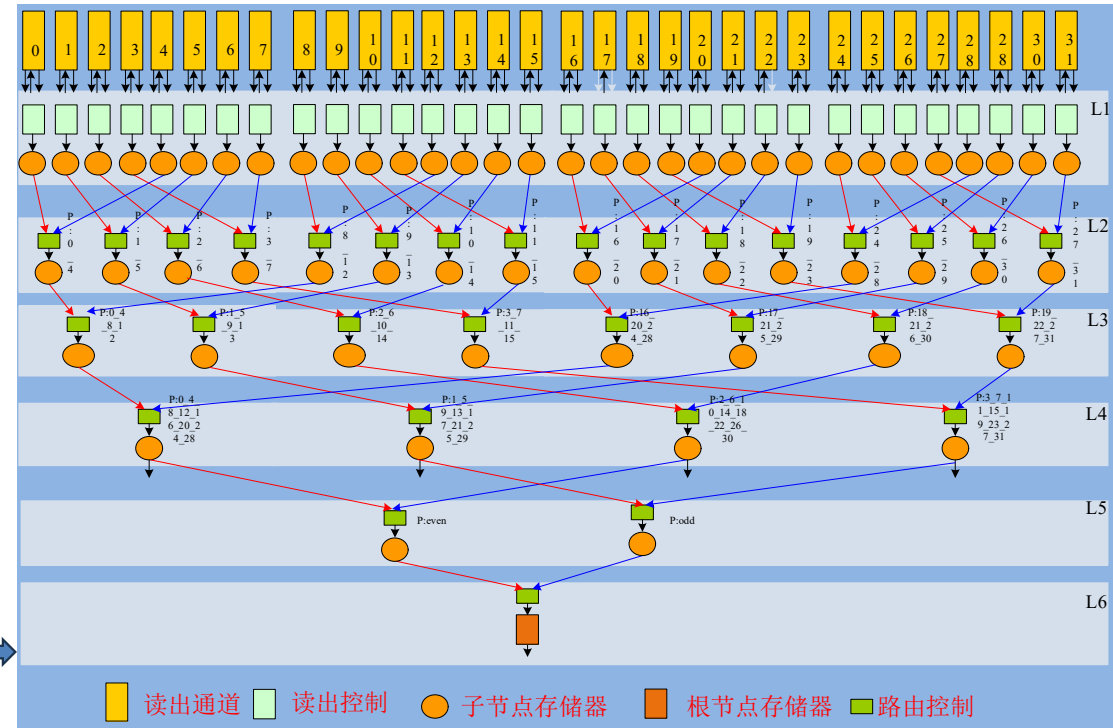
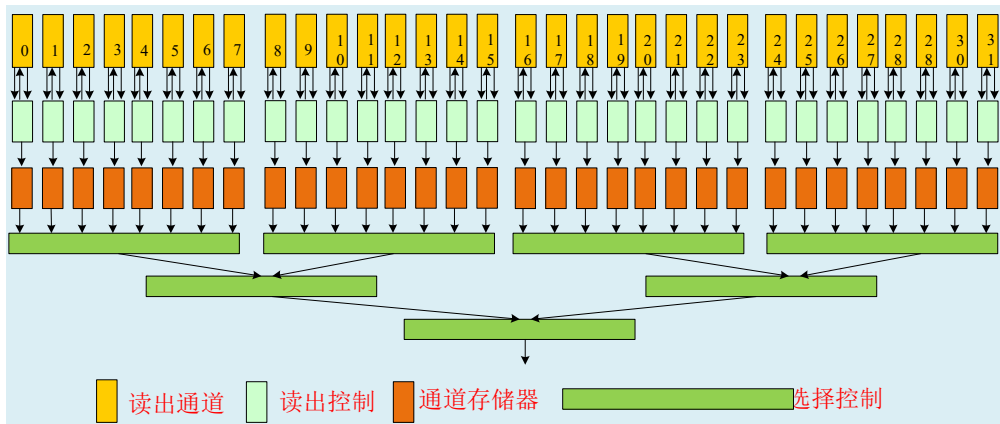
# 32列：共享FIFO树设计

TaichuPix1方案：每个双列独享FIFO

- ❑ 每列12个（4个hit）
- ❑ 共384个存储单元

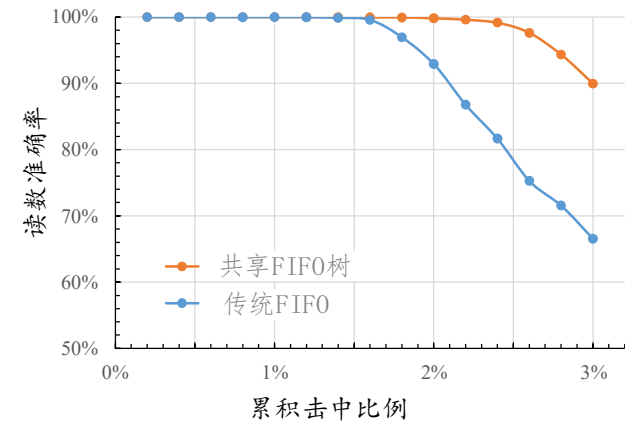
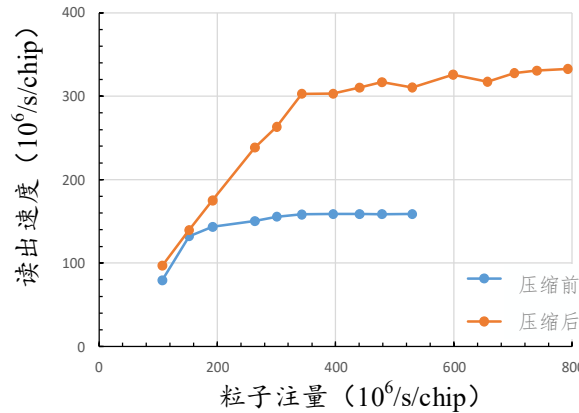
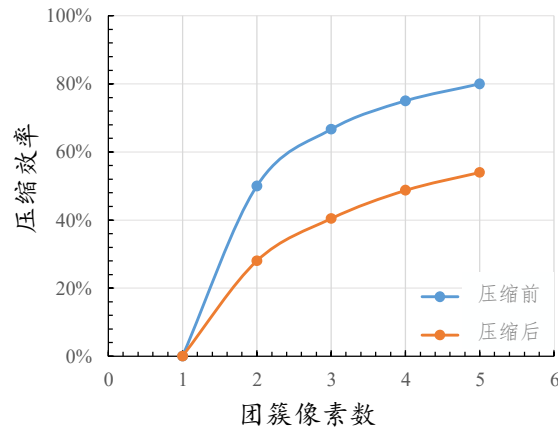
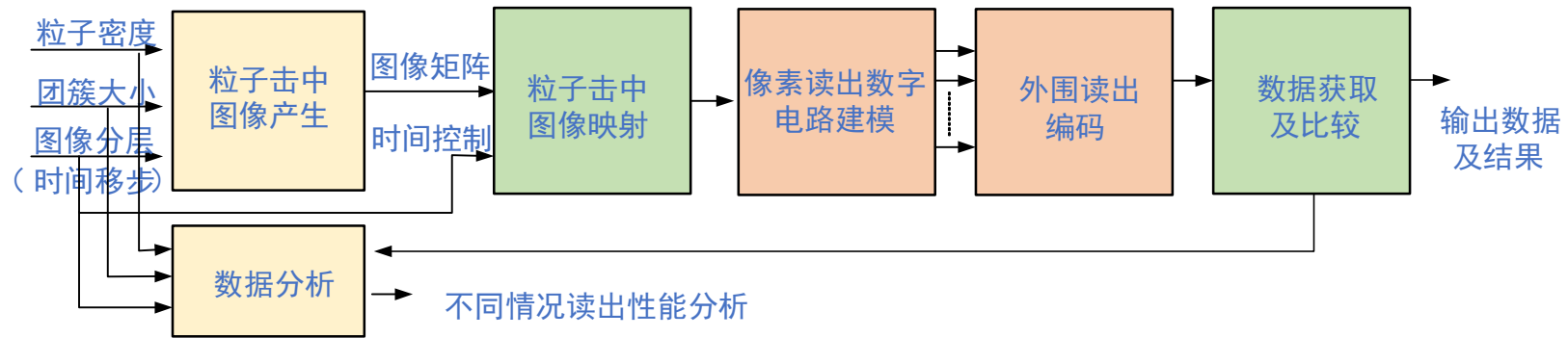
TaichuPix2/3方案：共享FIFO树

- ❑ 280个存储单元
- ❑ 每列8.7（平均）-52（最大）个
- ❑ 交叉存储，减少cluster引起的临近列访问冲突



- ❑ 优点：能接受更高注量，面积减小(外围电路整体高度从1.3mm降至1.1mm)、时钟线负载降、功耗降低
- ❑ 代价：逻辑控制复杂度增加

# 芯片读出系统建模仿真

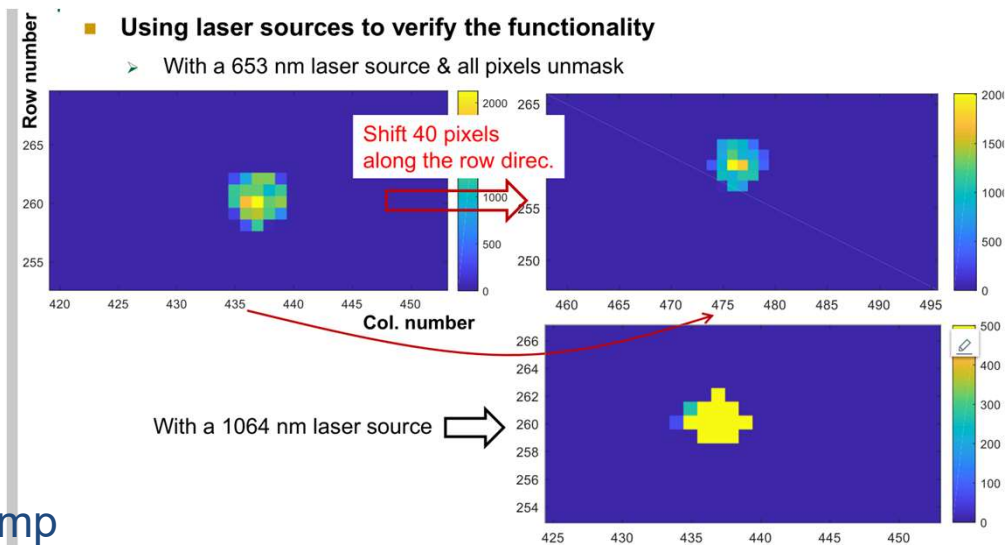
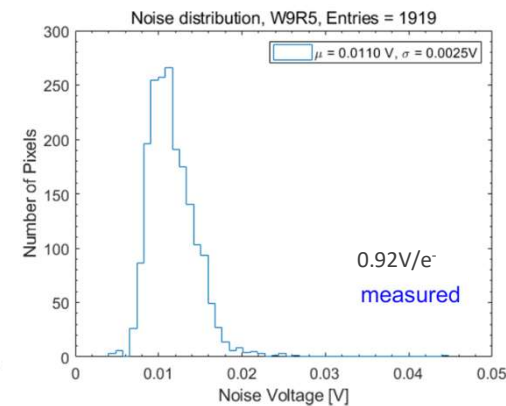
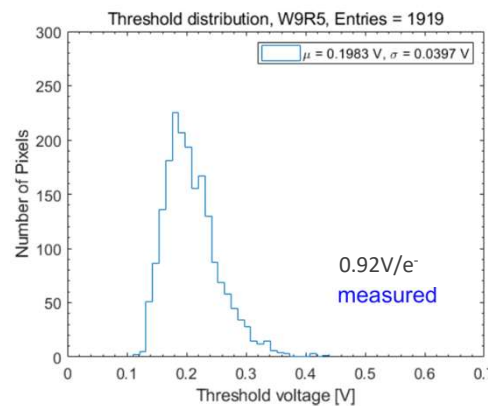
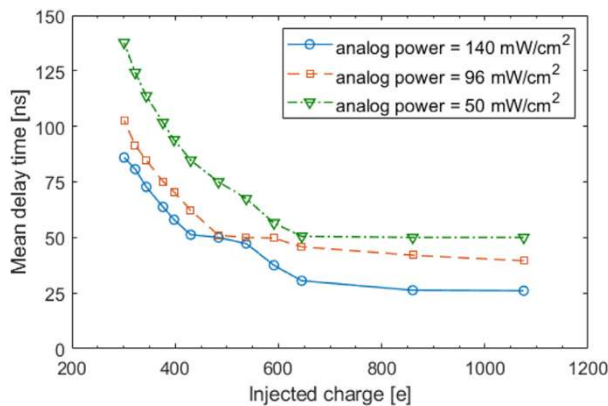
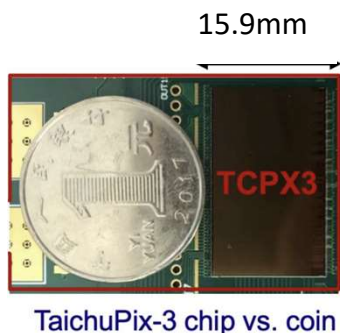


(a) 不同团簇大小的压缩率 (b) 使用压缩读出前后读出速度的变化 (c) 不同FIFO结构可接受的击中比例

Taichupix仿真分析 (图 (b) 和 (c) 中cluster size均值为3)

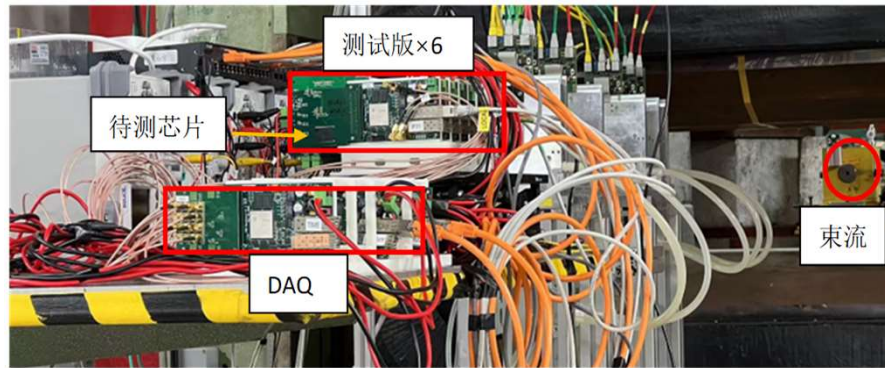
# 芯片测试

- ❑ 芯片尺寸: 15.9mmx25.7mm
- ❑ 像素阈值和噪声:
  - Threshold:  $\sim 215e^-$
  - Noise: FPN  $43e^-$ , random  $\sim 12e^-$
- ❑ 激光测试: Sensor+ pixel analog + pixel digital + periphery readout + data interface 功能正常
- ❑ 响应速度测试: APULSE输入, 统计输出的Timestamp
  - Time walk:  $\sim 60-95ns$
- ❑ 功耗:  $89-164 \text{ mW/cm}^2$  (不同Bias) @ Clk: 40 MHz & Serdes: 160Mbps



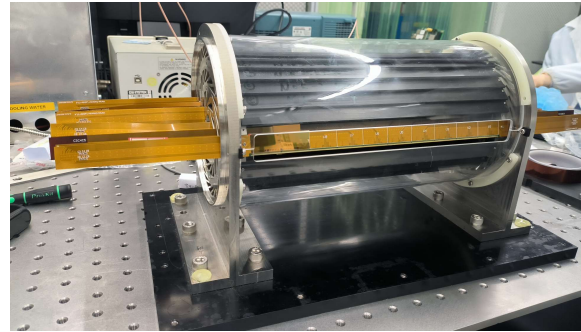
# 束流测试@DESY

□ Telescope tested in Dec. 2022

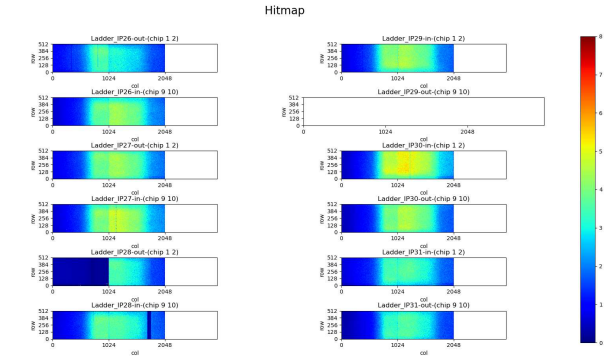


Telescope with 6 PCBs

□ Prototype tested in April 2023



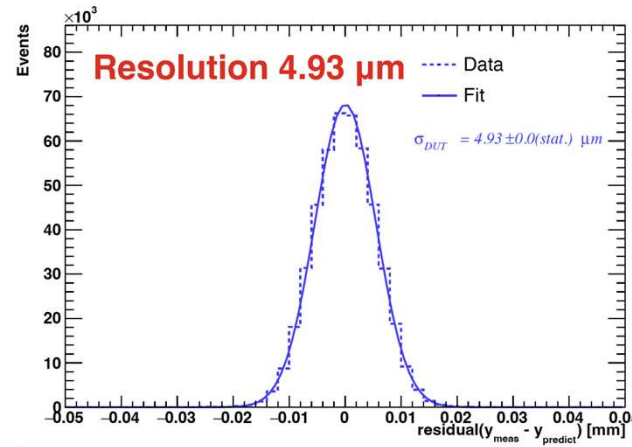
Prototype (6 ladders, 4chips/ladder)



Hit maps on Prototype

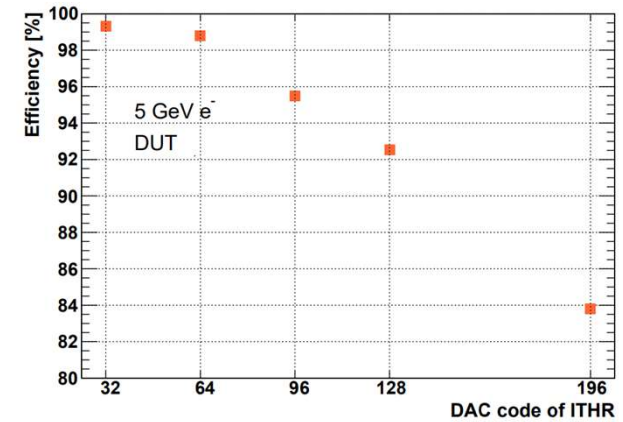
□ 测试结果

- 分辨率: 可达5um以下
- 探测效率~99%
- 稳定性有待提高



Resolution of Prototype

Prototype的分辨率和探测效率略低于Telescope。



Detection efficiency of a DUT on the prototype

## 总结

- 介绍了TaichuPix3的设计指标和实现方式，通过快速读出的像素设计和高速外围读出逻辑实现高数据率大阵列像素芯片的读出。
- 通过建立粒子图像模型，分析不同粒子注入条件下电路的工作情况，结果表明实时数据压缩和共享缓存有助于芯片进行快速数据读出。
- 探测器原型测试结果表明TaichuPix3的空间分辨率可达 $5\mu\text{m}$ ，探测效率~99%。

## 展望

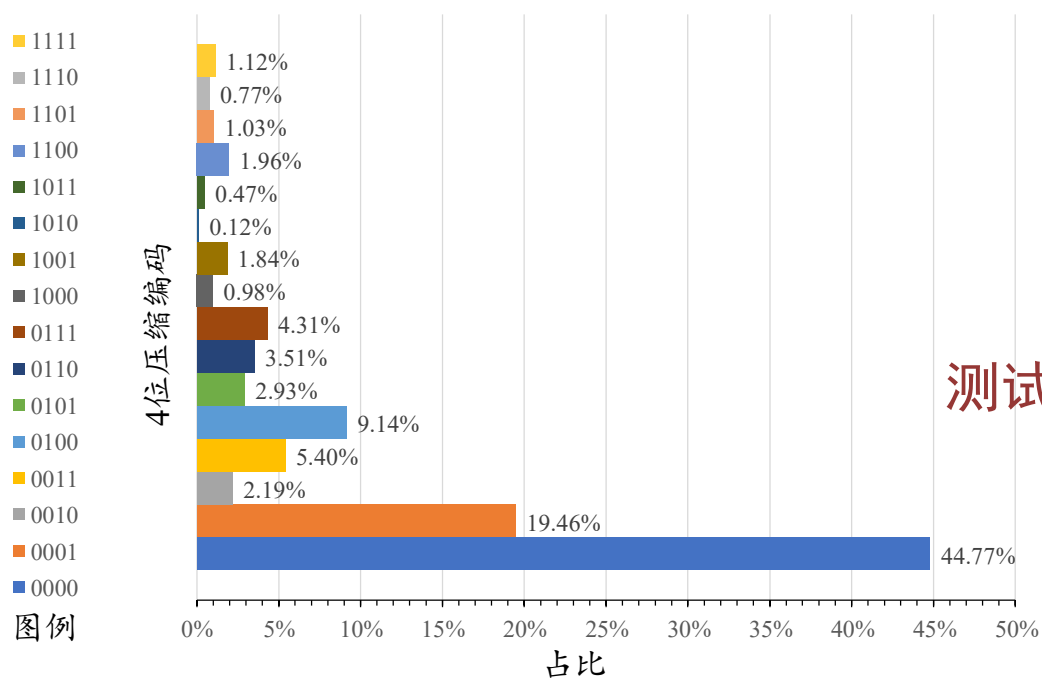
- 全功能测试，如最大数据率测试、Trigger模式测试等
- 系统稳定性研究
- 功耗优化

感谢各位！



# 测试结果

□单芯片测试压缩功能正常，初步统计了数据的可压缩情况，大批量数据分析及实用性还有待进行。

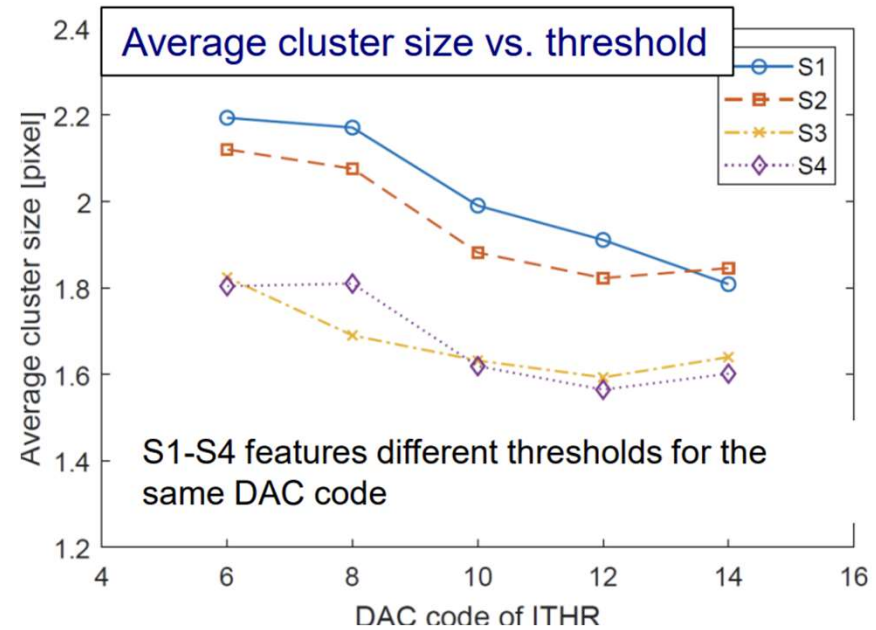


测试中有50%的数据可压缩!

TaichuPix3芯片在<sup>90</sup>Sr辐照下各压缩码出现的概率

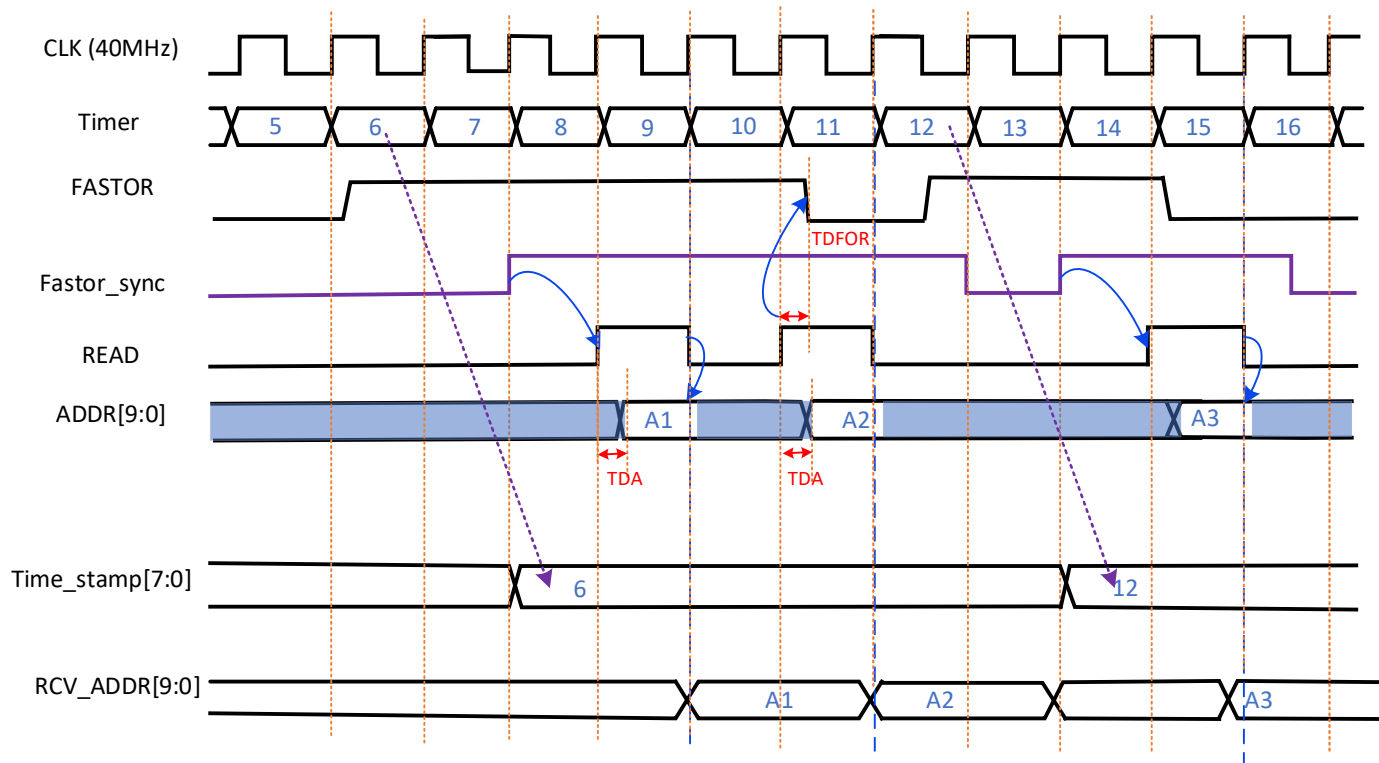
# Cluster size vs. threshold

Sectors	Front-end design features
S1	Reference design, inherited from TaichuPix-1
S2	PMOS in independent N-wells
S3	One transistor in an enclosed layout
S4	Increased transistor size to reduce the threshold dispersion



TaichuPix2芯片在<sup>90</sup>Sr辐照下测试

# Data match in trigger mode



- In order to reduce the pixel area, the timestamp is only recorded in Dcol level. Uncertain of the timestamp is considered in the trigger discriminating logic.

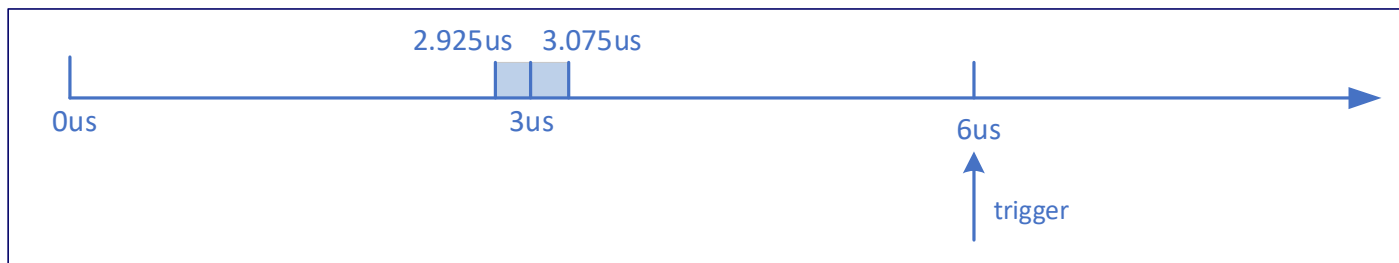
# Data match in trigger mode

- Register control of trigger parameters:

TRIGGER\_LATENCY: 0-6  $\mu$ s (8-bit register)

=> Only the data in recent 6  $\mu$ s are stored; the old data is discarded.

TRIGGER\_UNCERTAIN: 0-175 ns with step of 25 ns (3-bit register)



Example of setting trigger latency and trigger uncertain

- Example: Suppose the trigger signal comes at 6  $\mu$ s, and users wants to acquire the hits from 2.925  $\mu$ s to 3.075  $\mu$ s, then we should set TRIGGER\_LATENCY as 8'd 123 ( $123 * 25$  ns = 3.075  $\mu$ s), and TRIGGER\_UNCERTAIN as 3'b110 ( $6 * 25$  ns = 0.15  $\mu$ s).