



12月考核报告

报告人：王浩鑫

导师：赵京周

时间：2023.12.28

工作总览 & 任务背景

1. 7-12月工作总览
2. 任务背景与MFT板卡设计
 - ① MDC触发子系统功能
 - ② 硬件组成部分
 - ③ MFT设计工作
 - ④ MFT样板最新版本

MFT板硬件调试

1. PCB_v1.0
 - ① 上电前检查
 - ② 上电后检查
 - A. 电源
 - B. 晶振
 - C. 加载
 - ③ PCB_v1.0错误更正
2. PCB_v1.1
 - ① SFP光模块测试
 - ② VME端口接收测试

MFT固件移植

1. MFT固件模块
2. 已完成与未完成模块总览

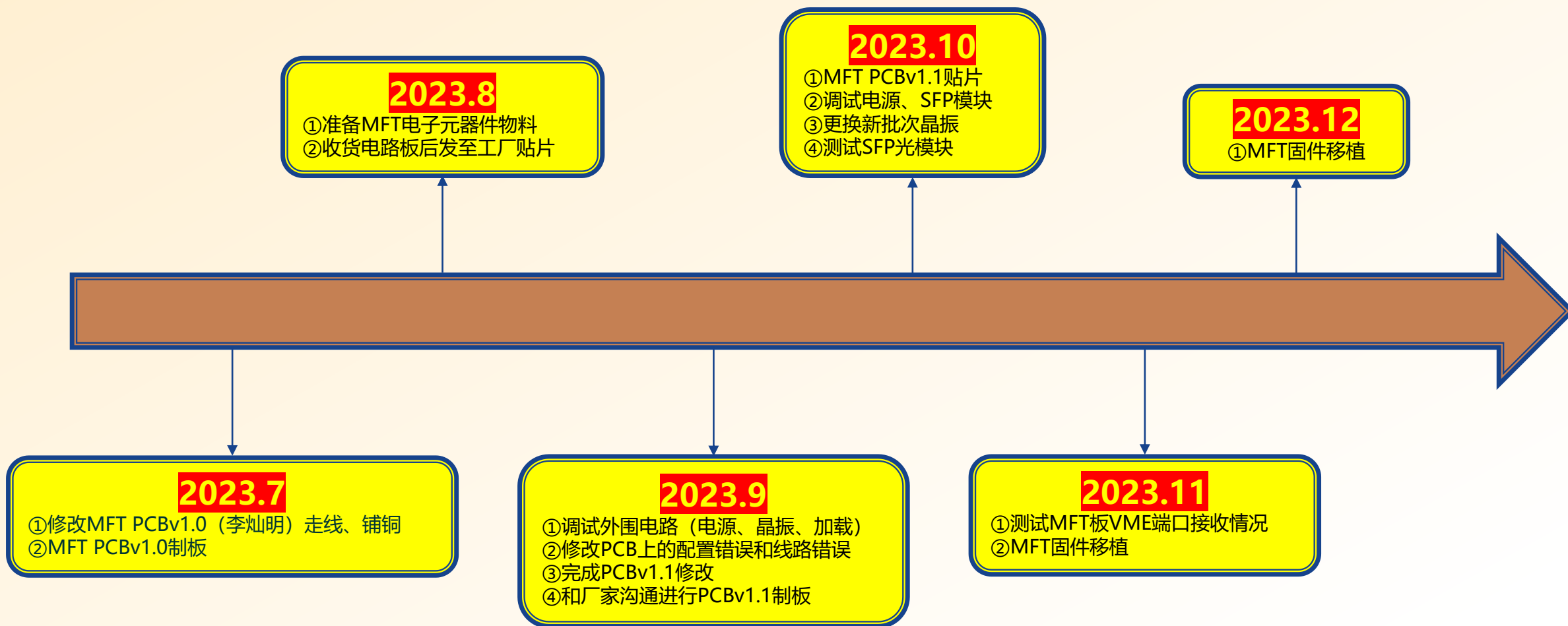


图1 7-12月工作总览

任务背景:

中国科学院 BESIII 维修改造项目: MDC 触发前端板升级子课题

MDC 触发子系统:

- 从相应的电子学系统接收触发信号, 产生触发条件为触发判选的输入
- 主要实现: 排除与光束损失、同步辐射和宇宙射线相关的带电粒子本底; 挑选满足横向动量要求的径迹段; 确定“长”或“短”径迹并计算径迹数量, 将其作为输出提供给 GTL

MDC 触发子系统硬件部分:

- 光纤发送插件 MFT (MDC Fiber Transmitter): 32 位击中信息从 MQT 传递到 MDC 触发子系统; 实现电隔离
- 径迹寻找插件 TKF (Track Finder)
- 内室径迹寻找插件 ITKF (Inner-layer Track Finder) 等

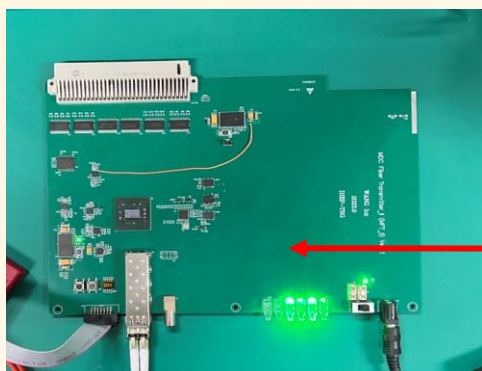


图4 升级后MFT控件样板

板卡物理尺寸、架构不变
升级: FPGA、重新设计叠层、电源、VME接口、光纤收发器

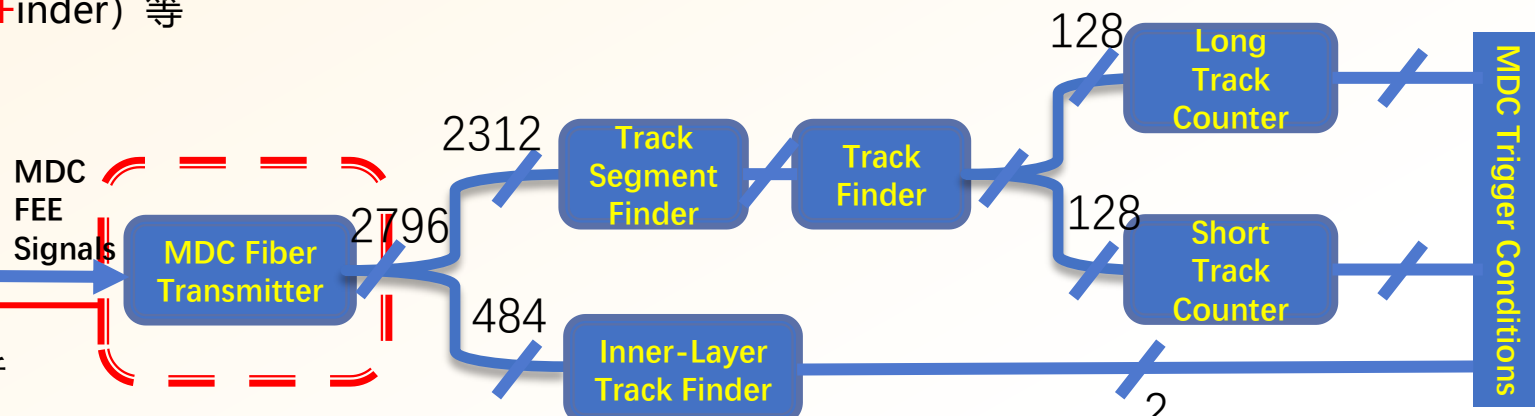


图3 MDC 触发子系统结构框图

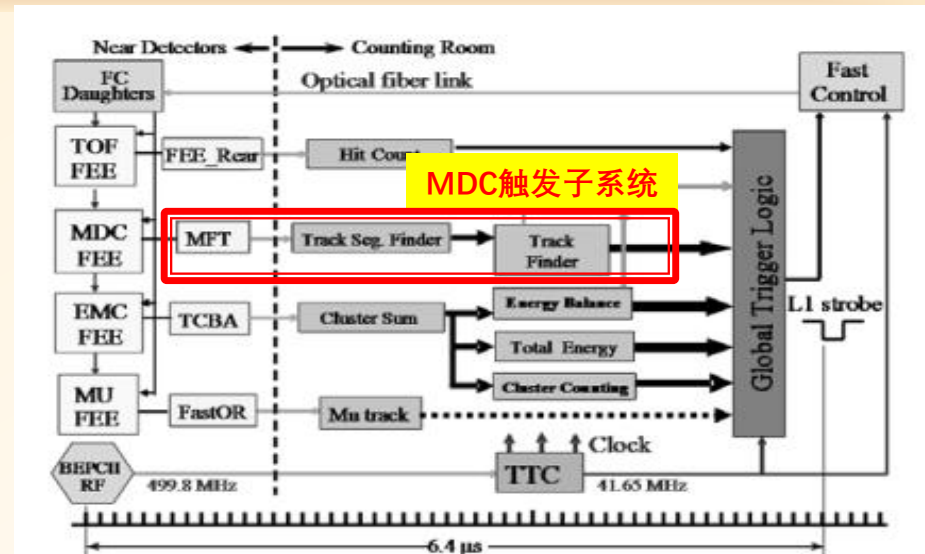


图2 BESIII 触发系统逻辑框图

MDC Fiber Transmitter板设计工作

MFT PCB模块设计、版本迭代

PCB设计:

- 由李灿明设计，七月份接手工作
- 熟悉叠层设计、各个模块；修改一部分走线、接口顺序等

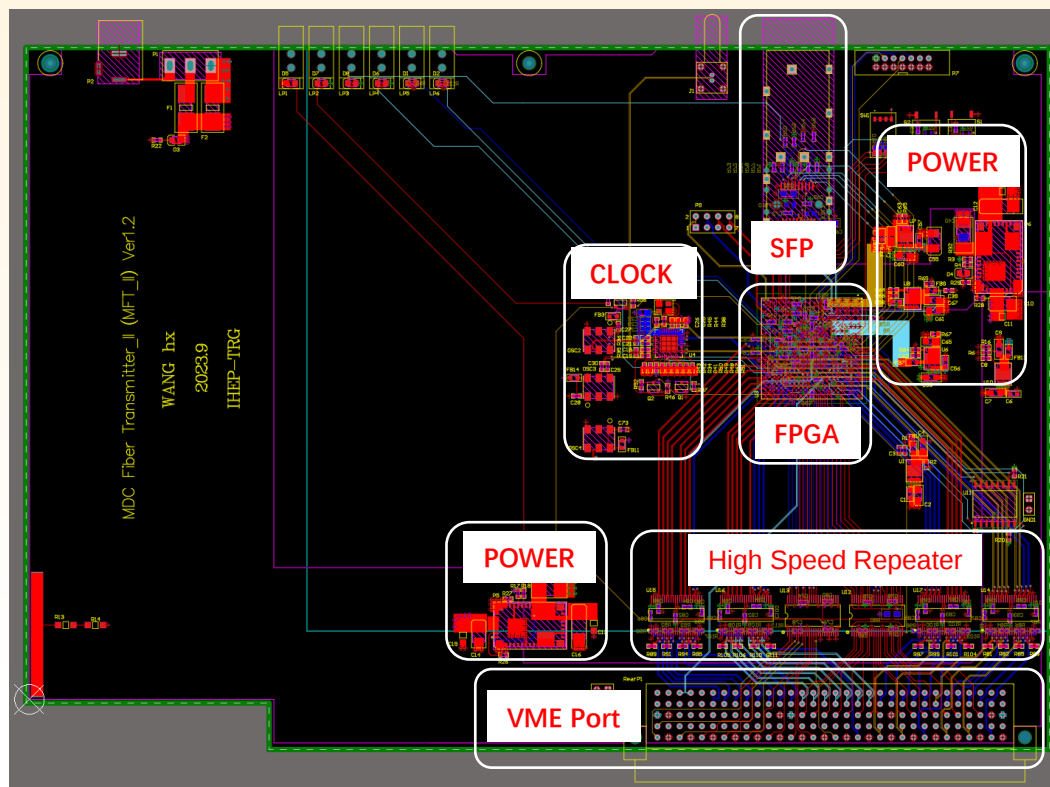


图5 MFT PCB v1.2 Layout

版本迭代:

- 共迭代三个版本: v1.0 / **v1.1** / **v1.2**

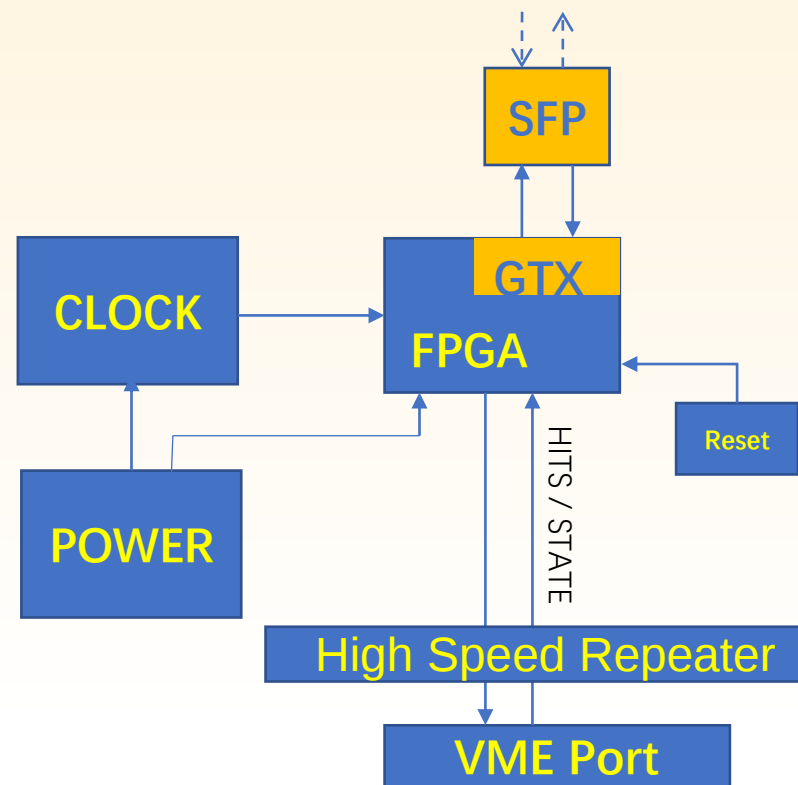


图6 MFT 电路设计模块

MDC Fiber Transmitter板硬件调试

PCB_v1.0: PCB外围电路问题发现并更正

上电前检查:

- 检查版面状况
- 目检贴片状况、测量器件对地阻抗

安全性检查

上电后测试 (分模块检测):

■ 电源

① 问题: LT3083电源模块额定3.3V输入, 2.5V输出 (无法达标)

② 问题: TPS84621电源模块输出1.0V (无法达标)

■ 晶振

① 问题: 上电后晶振不起振 (有源)

■ FPGA

更正v1.0版本发现问题:

- 更正TPS84621 PIN-42输入电压, 铺铜5V
- 更换了新批次87.5Mhz有源晶振 等

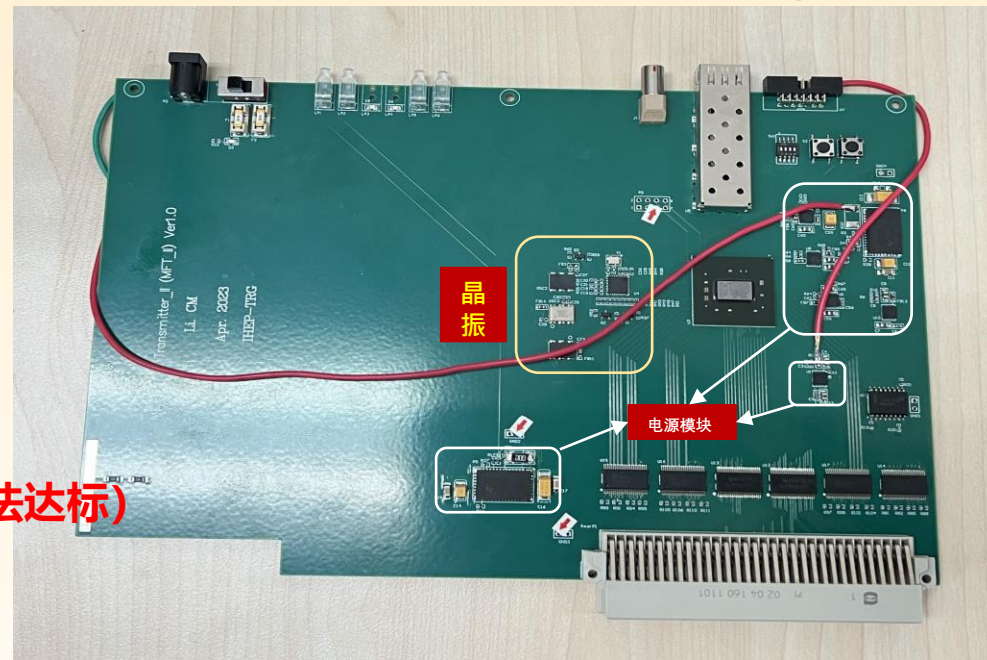


图7 MFT板 v1.0 PCB

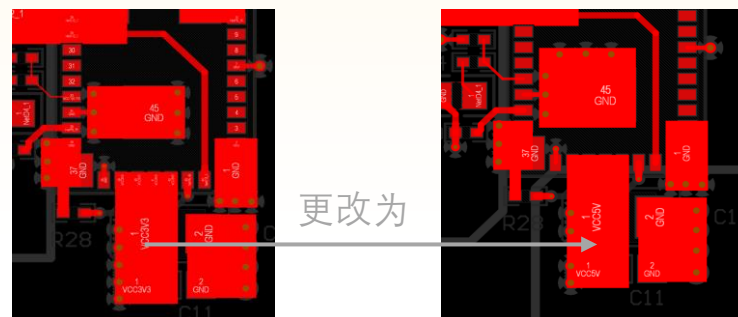


图8 PCB v1.0 修改示例

重新制板MFT PCB v1.1

MDC Fiber Transmitter板硬件调试

PCB_v1.1: SFP光模块检测

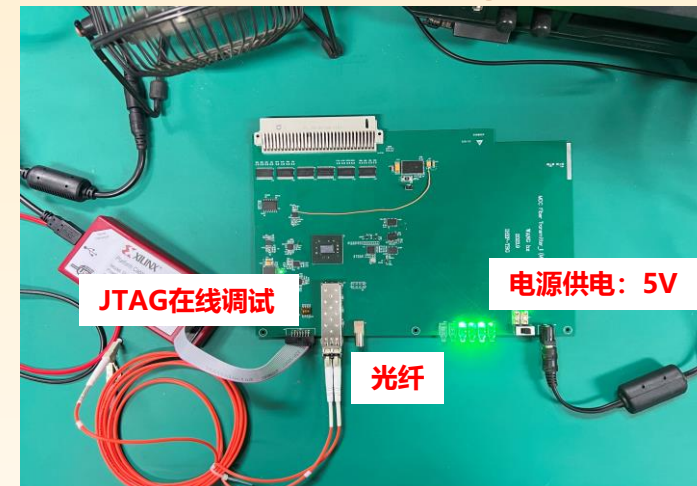
上电后测试（分模块检测）：

SFP光模块：VIVADO平台IBERT(ibert_7series_gtx:3.0)测试-125Mhz

- 检查光通信是否建立、检查光纤是否完好
- 配置IBERT参数，跑例子工程

① 问题：在PMA回环和NONE模式下测试时，link 0一直处在
no link状态（误码率很高，或是no link）

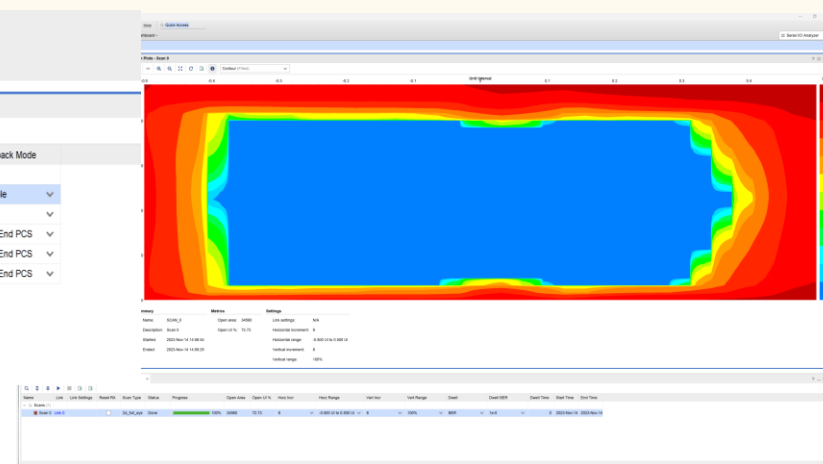
② 问题：IBERT测试**达不到设定线速率**



更换87.5Mhz / 添加RX Polarity / link 0光纤回环
图9 MFT板 v1.1 IBERT测试

Name	TX	RX	Status	Bits	Errors	BER	BERT Reset	TX Pattern	RX Pattern	TX Pre-Cursor	TX Post-Cursor	TX Diff Swing	RX Polarity L	DFE Enabled	Inject Error	TX Reset	RX Reset	RX PLL Status	TX PLL Status	Loopback Mode
Link Group 0 (4)							Reset	PRBS 31-bit	PRBS 31-bit	1.67 dB (00111)	0.68 dB (00111)	1018 mV (1100)			Inject	Reset	Reset	Locked	Locked	Multiple
Link 0	MGT_X0Y0/TX	MGT_X0Y0/RX	1.750 Gbp	5.543E10	0E0	1.804E-1	Reset	PRBS 31-bit	PRBS 31-bit	1.67 dB (00111)	0.68 dB (00111)	1018 mV (1100)			Inject	Reset	Reset	Locked	Locked	None
Link 1	MGT_X0Y1/TX	MGT_X0Y1/RX	1.750 Gbp	5.547E10	0E0	1.803E-1	Reset	PRBS 31-bit	PRBS 31-bit	1.67 dB (00111)	0.68 dB (00111)	1018 mV (1100)			Inject	Reset	Reset	Locked	Locked	Near-End PCS
Link 2	MGT_X0Y2/TX	MGT_X0Y2/RX	1.750 Gbp	5.548E10	0E0	1.802E-1	Reset	PRBS 31-bit	PRBS 31-bit	1.67 dB (00111)	0.68 dB (00111)	1018 mV (1100)			Inject	Reset	Reset	Locked	Locked	Near-End PCS
Link 3	MGT_X0Y3/TX	MGT_X0Y3/RX	1.750 Gbp	5.549E10	0E0	1.802E-1	Reset	PRBS 31-bit	PRBS 31-bit	1.67 dB (00111)	0.68 dB (00111)	1018 mV (1100)			Inject	Reset	Reset	Locked	Locked	Near-End PCS

图10 MFT板 v1.1 IBERT测试结果



MDC Fiber Transmitter板硬件调试

★ PCB_v1.1 : VME端口接收测试

测试内容:

- 32路击中信号线序
- 32路差分信号P/N端口顺序

测试平台: VME机箱、MFTT、MFT(V1.1)

测试过程:

- MFTT和MFT通过J2/J2R对插
- MFTT通过32路连接向后发送差分信号, 从编号0的端口开始依次保持一个固定延时
- MFT接收信号, 通过VIVADO平台使用ILA在线抓取信号
- 观察信号类型, 判断是否符合理想的发送规律

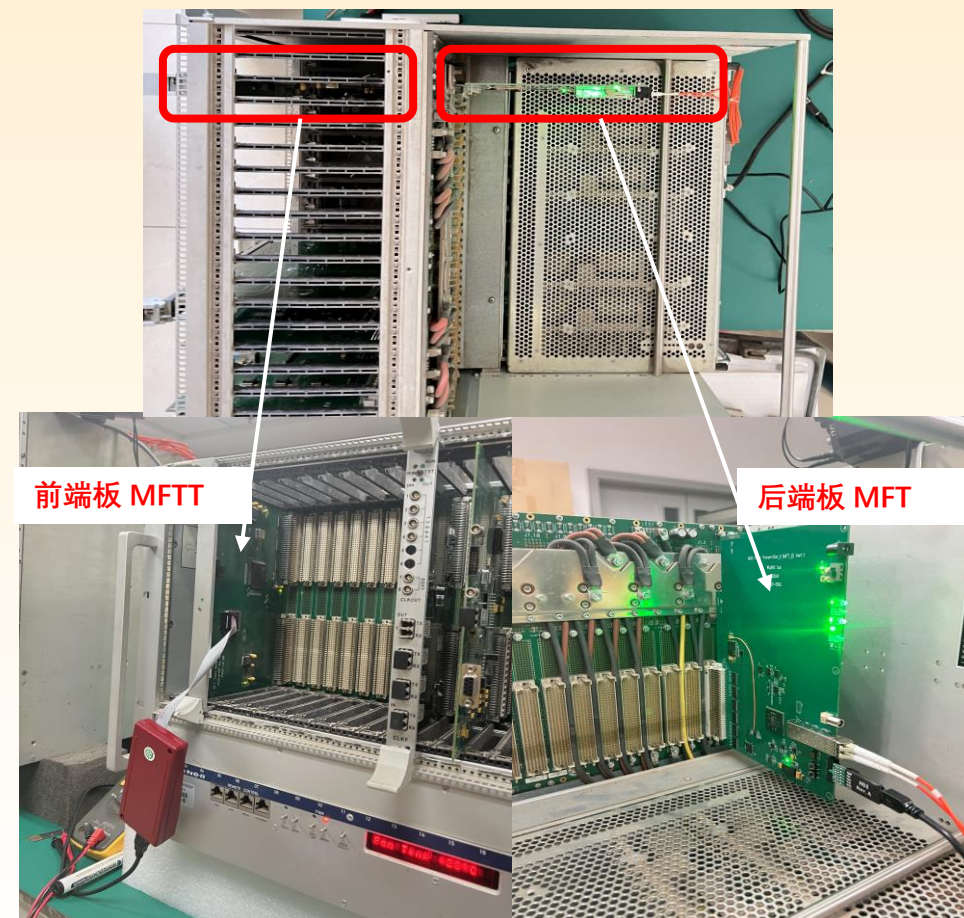


图11 MFT板 v1.1 VME端口测试安装示意

MDC Fiber Transmitter板硬件调试

PCB_v1.1 : VME端口接收测试

测试结果:

- 端口线序正确
- 存在差分信号顺序不正确的端口
- 可通过修改固件或修改MFT信号线的接口顺序解决

MFT(v1.1)板硬件调试基本完成

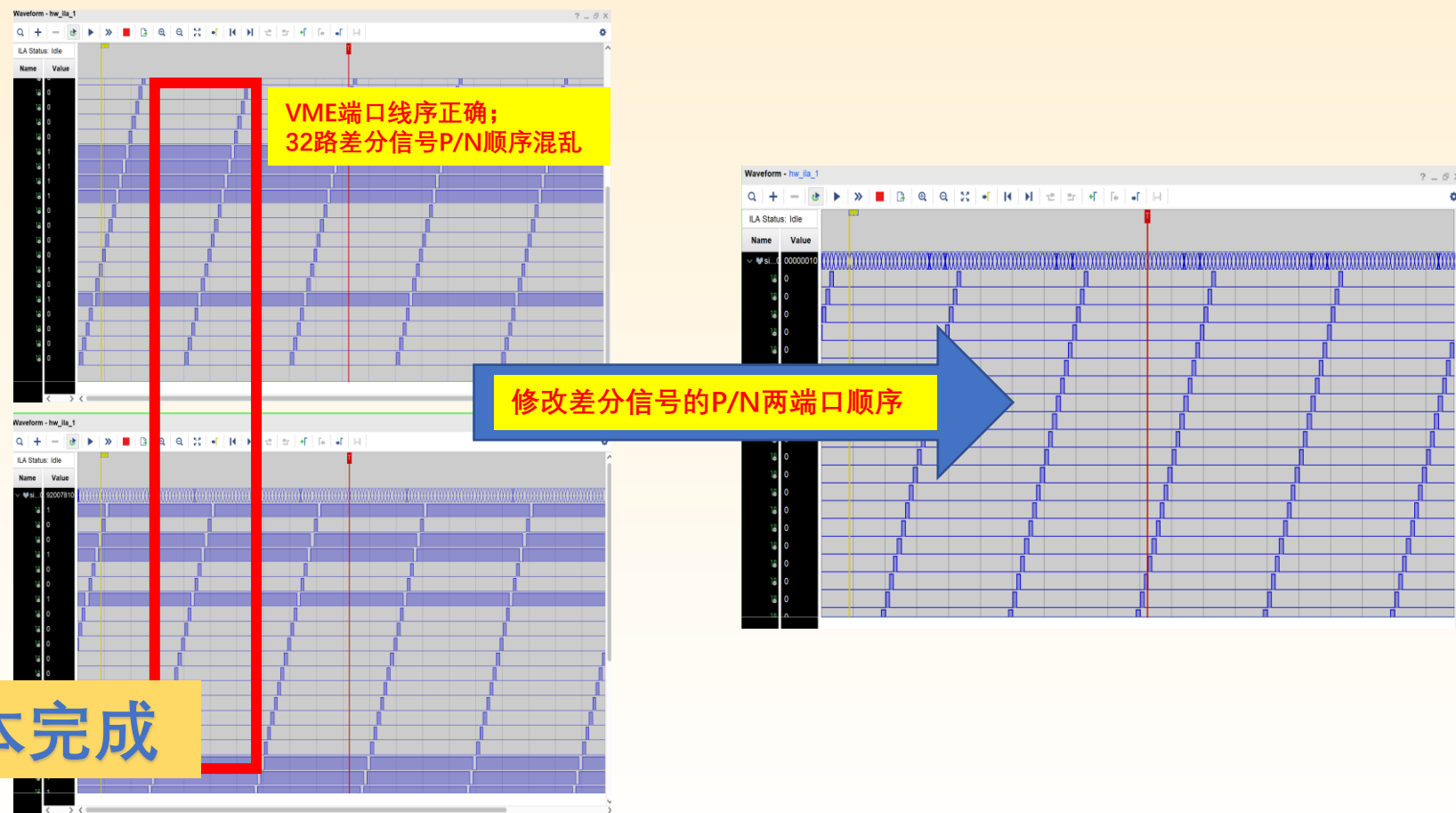


图12 MFT板 v1.1 VME端口测试结果及调整后结果

MDC Fiber Transmitter固件移植

★ MFT固件移植（正在进行）：

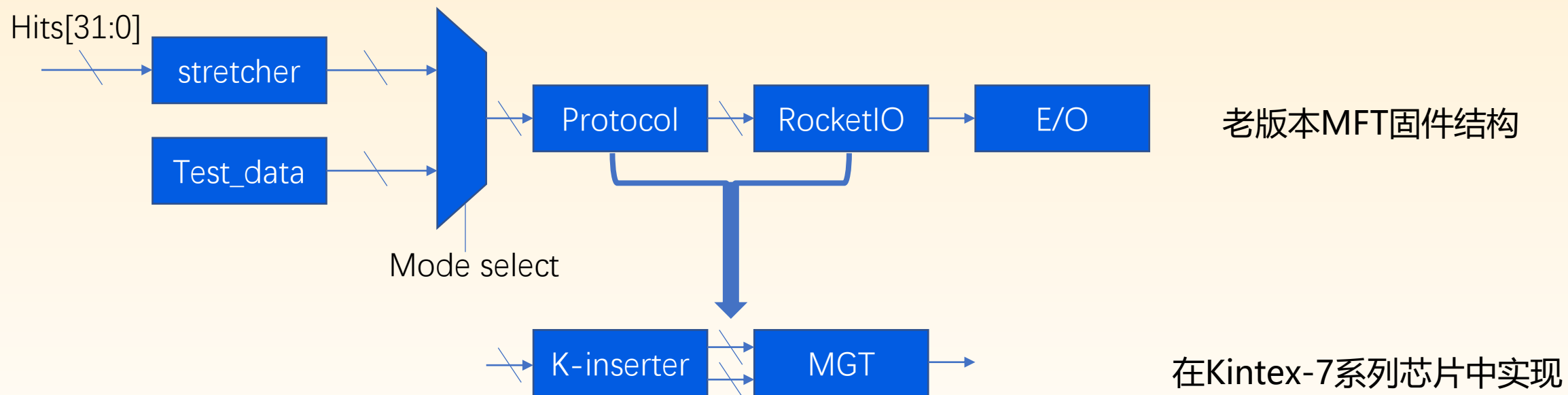


图13 MFT板固件逻辑框架

✓ Control_State模块

✓ Test_generator模块

✓ Hits_stretch模块

✓ Fifo模块

未完成 K_inserter模块

未完成 GTX_config模块

工作安排 & 其他工作

★ 下一步工作安排:

- I. 继续完成MFT固件移植工作
- II. 进行延时测量
- III. 小批量生产MFT

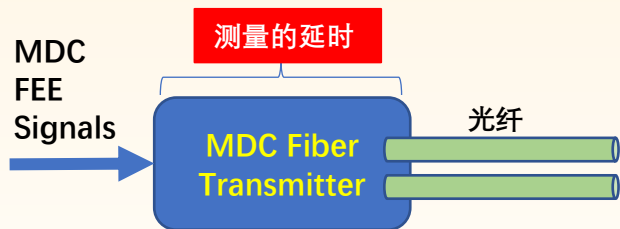


图14 延时测量示意图

★ 其他工作:

- I. 学习了解并尝试设计WebDCS系统界面
- II. 动手设计增加“Analysis”与“Configuration”相关的界面

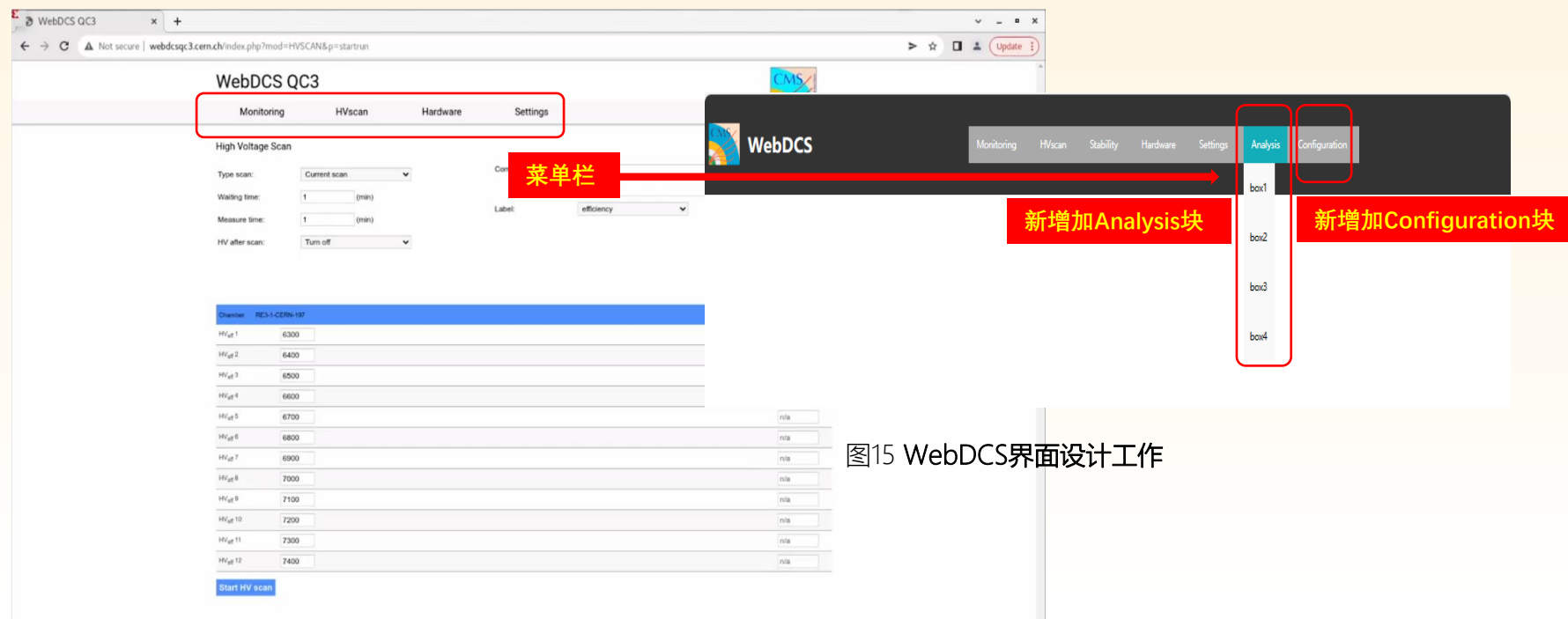


图15 WebDCS界面设计工作

Thanks!