







FoCal硅像素层性能研究





《大型强子对撞机上CMS和ALICE探测器升级》2024年年会 13/07/2024



华中师范大学



FoCal 硅像素层性能研究











- - 18层垫片层 (pad layer)(1×1 cm²) + 2层像素层(pixel layer)(29.24×26.88 µm²)
 - 用于探测直接光子和中性π介子
- •强子量能器 FoCal-H
 - 金属-闪烁体采样式量能器(0.6×0.6 cm²)
 - 由充满闪烁光纤的铜管制成

FoCal主要目标是通过测量直接光子产额来探测质子和核在小x处的胶子部分子分布

FoCal 硅像素层性能研究



FoCal介绍

jie.yi@cern.ch

absorber

13/07/2024

HG layer

LG layer











- 像素层包含22个模块,每个模块包含6条芯片串
- 芯片串分为内部串(Inner String)及外部串(Outer String)
- 每条芯片串包含15个硅像素探测器芯片(ALPIDE),每层共有1980个ALPIDE芯片
- 赝快度覆盖范围 3.2 < η < 5.8, 完全覆盖 3.5 < η < 5.3





FoCal-E Pixel Layer 10 Simulation Chip Modes





1024 pixel columns



ALPIDE 像素矩阵示意图

- 像素矩阵被划分为 32 个读出区域, 各区域并行读出
- 每个区域包含 16 个像素双列和 512 个像素行

理论上矩阵读出时间 $\Delta t_{matrix} = N_{region,max} \times 50$ ns





ALPIDE 模拟前端

- 每个像素都配备了三个像素锁存器
- ALPIDE 芯片配备含有 BUSY 状态处理机制的三级多事件缓冲区(MEB)
- 像素锁存器分别与MEB的三个分区相连

本研究采用以固定触发频率100kHz周期性触发 默认时间帧 $\Delta t_{\text{frame}} = 10 \, \mu s$ 非活动选通时长 $\Delta t_{\text{strobe,inactive}} = 1 \, \mu s$

红色箭头表示完全读出像素矩阵所需的时间

繁忙违规的影响:

芯片将跳过该触发

像素击中的信息在新的时间帧中完全丢失

直到MEB有相应的空位腾出,

芯片将立即再次准备接收触发并获取数据

_	
Ω	
ш	
\geq	

jie.yi@cern.ch

13/07/2024

- SystemC 是用于硬件描述和系统级建模的C++库
- 能够从行为级别开始描述ALPIDE芯片的功能行为和响应机制

- Pixel Digits阶段粒子击中会被转化成芯片内部坐标系统的像素击中
- Cluster generation 模型模拟产生真实像素簇大小

Schematic overview on the functionalities of the FoCal-E Pixel Simulation Framework

基于 SystemC 模拟研究硅像素层

jie.yi@cern.ch

13/07/2024

•使用PYTHIA事件生成器模拟的 $\sqrt{s} = 14 \text{ TeV}$ 质心系能量最小无偏pp碰撞事件

Data Rate vs Radius Layer 5

FoCal 硅像素层性能研究

数据链路平均速率

IB 芯片最高数据带宽: 960 Mbps

OB 芯片最高数据带宽: 320 Mbps

- 最内侧半径的平均数据速率接近400 Mbps
- IB 芯片及 OB 芯片在平均数据速率中有着非常充裕的带宽

- 350 (Mbit/s) 250 rate per 200 Data
- 100

- IB 链路在运行中仍然有着至少约 10% 的带宽余量
- OB 链路则会偶尔达到饱和及满带宽(达到带宽90%则为饱和)

基于 SystemC 模拟研究硅像素层

jie.yi@cern.ch

13/07/2024

OB芯片数据链路的饱和率1%以下的时间占比: 第5层:近55% 第10层:近80%

虽然OB芯片数据链路有时能达到饱和,但在大多数时间下达到饱和的OB芯片数据链路非常少

OB 芯片的饱和链路占比在总时间内的分布(基于280Mbps标准)

$$N_{event} = 45000 \quad \Delta t_{frame} = 10 \ \mu s \qquad n_{cl.size} = 4$$
$$f_{event} = 1 MHz \quad \Delta t_{strobe,inactive} = 1 \ \mu s \quad \sigma_{cl.size} = 1.4$$

基于 SystemC 模拟研究硅像素层

• 在像素层最中心的芯片繁忙违规率约为5%-6%

FoCal 硅像素层性能研究

基于 SystemC 模拟研究硅像素层

导致繁忙违规的母粒子占比: $86\% \pi^0$, $10\% \eta$, 4% 其他粒子

在所有中 π^0 ,高能量 π^0 (大于150GeV) 是导致繁忙违规的 主要原因,相同能量占比约78%

导致繁忙违规的原因

string 0 chip 0

Total Momentum Distribution

Ratios of high occupancy pi0 to all pi0

基于 SystemC 模拟研究硅像素层

jie.yi@cern.ch

13/07/2024

数据链路:

- 平均速率: 1MHz事件率下, IB 及 OB 链路有着非常充裕的带宽
- 瞬时速率: IB 链路仍然至少保持10% 左右带宽余量而 OB 链路则偶尔达到饱和

繁忙违规:

- 繁忙违规率总体较低(最高5%-6%繁忙违规率)
- 第十层的 ALPIDE 相比第五层更容易出现较长时间的繁忙违规
- 高能量的π⁰为导致繁忙违规的主要原因
- 繁忙违规期间损失了部分高能量粒子信息(12%的100GeV以上粒子击中)

FoCal 硅像素层有着较为充裕的数据链路带宽,ALPIDE 芯片总体运作良好

基于 SystemC 模拟研究硅像素层

jie.yi@cern.ch

尝试区分孤立光子与来自π0衰变的双光子背景事件

模拟及束流测试数据的像素簇团大小

像素簇团的重建:

- 把相邻的响应像素坐标聚合为一个像素簇团
- 用加权平均法计算像素簇团的中心位置

像素簇团数量筛选

束流测试分析

jie.yi@cern.ch

13/07/2024

1、计算簇射簇团中心位置

●将单事例的像素簇团坐标信息绘制在二维图上

●找到像素簇团数目最大的bin

●以该bin为中心,将范围 d 内的像素簇团坐标进行加权平均

2、计算簇射分布的半高全宽(Full Width at Half Maximum, FWHM)

●考虑到不同像素簇团大小(pixel hits 数)为权重来填图直方 ●拟合直方图,以直方图 FWHM 作为簇射分布宽度

宏像素大小: 40像素×40 像素 **直方图的 bin 宽:** 40×30 µm = 1.2 mm (宏像素宽度)

广域平均法 (Loose)

●计算范围(半宽): 30 bins (MaxRadius < 3.6 cm)

 \odot N_{cluster.min} = 1

局域平均法 (Stringent)

● 计算范围(半宽): 10 bins (MaxRadius < 1.2 cm)

 \odot N_{cluster.min} = 3

Stringent

束流测试分析

jie.yi@cern.ch

簇射分布的半高全宽 響の

●FWHM随着能量的增大而减小

●局域平均法得出的FWHM整体上小于广域平均法

●使用广域平均法时,异常值或潜在的噪点可能会引入计算,得到的簇射中心相对于实际簇射中心的偏差变大。

束流测试分析

jie.yi@cern.ch

13/07/2024

300

300

2022年11月束流测试数据分析结果(Data和Simulation对比)

- ●使用 GEANT4 扩散模型进行模拟
- ●模拟结果与实验结果较为符合,局域平均法FWHM 更低

o 最大的不确定性仍然来自于簇射中心位置的不确定性,尝试使用新的中心位置算法——DBSCAN DBSCAN(Density-based spatial clustering of applications with noise) 是一种基于密度的聚类算法

Hitmap

计算簇射中心与实际束流枪的 xy 距离

束流测试分析

jie.yi@cern.ch

13/07/2024

●FoCal 硅像素层有着较为充裕的数据链路带宽, ALPIDE 芯片总体运作良好

●高能量的π⁰为导致繁忙违规的主要原因

●FoCal 硅像素层有足够的精度来区分双光子簇团

FoCal 硅像素层性能研究

jie.yi@cern.ch

死时间帧丢失的粒子 以最靠近束流管的 string 0 chip 0为例

丢失粒子中包含 66.49% γ

• 丢失的粒子中 100GeV 能量以下的粒子占主要部分 (占比为88%)

基于 SystemC 模拟研究硅像素层

jie.yi@cern.ch

13/07/2024

FoCal 硅像素层性能研究

Layer5 BUSYV Lengths for Outer Chips

	ignis ior Outer On	iha
030/		Layer5consecutiveLengthsOuter
JJ /0		Entries 93
		Mean 1.043
		Std Dev 0.2503
temC Si	imulation Oute	r Chips
	PYTHIA Min.bias. pp	√s=14TeV
=20 us. Δ	t = 1 us.	n = 4
	strobe,inactibe	cluster
2	3 TimoErom	
	Timerran	IE OI BUSTV
USYV Le	ngths for Outer Ch	nips
	5	Layer10consecutiveLengthsOuter
80%		Entries 127
		Mean 1 157
		Std Dev 0 4766
temc S	imulation Oute	r Cnips
	PYTHIA Min.bias, pp	√s=14TeV
=20 μ s, Δ	$t = 1 \mu s$,	n = 4
	strobe, inactibe	cluster
		1
	_	
2	3	>=4

$N_{event} = 45000$	$\Delta t_{\rm frame} = 20 \ \mu s$	$n_{cl.size} =$
$f_{event} = 1MHz$	$\Delta t_{strobe,inactive} = 1 \ \mu s$	$\sigma_{\rm cl.size} =$

BUSYV 次数: 第5层 2891次⇒ 396次 降低至13.6% 第10层 2513次⇒603次 降低至24.0%

外围芯片繁忙违规持续时长显著降低 第5层 22%⇒3%

第10层 42%⇒ 12%

Layer5 BUSYV Lengths for Outer Chips

160/				
			Layer5consecutive	LengthsOuter
IU 70			Entries	157
			Mean	1.268
			Std Dev	0.6221
		_	_	
temC Si	mulation	Outer	Chips	
I	PYTHIA Min.t	pias, pp	s=14TeV	7
=10 us. Λ	t	=1 us. n	= 3	8
	strobe,inactibe		cluster	
				-
2	3		>=4	
_	Tim	eFrame o	of BUSYV	/
USYV Ler	naths for Ou	uter Chi	ps	
	J		Layer10consecutive	LengthsOuter
47%			Entries	145
			Mean	1.483
			Std Dev	0.918
			Std Dev	0.918
tomC Si	mulation	Outor	Std Dev	0.918
temC Si		Outer	Std Dev Chips	0.918
temC Si	MULATION	Outer	Std Dev Chips	0.918
temC Si յ =10 μs, Δ	mulation PYTHIA Min.k tstrobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips	0.918
temC Siι ι =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips s=14TeV cluster	0.918
temC Si Γ =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips s=14TeV cluster	0.918
temC Sir Բ =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips s=14TeV cluster	0.918
temC Siι Ι =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	MULATION PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp γ =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp τ =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	mulation PYTHIA Min.k t strobe,inactibe	Outer bias, pp v =1 μs, n	Std Dev Chips	0.918
temC Sir F =10 μs, Δ	pythia Min.k t strobe,inactibe	Outer bias, pp v =1 μs, n	Std Dev Chips (s=14TeV cluster	0.918

$N_{event} = 45000$	$\Delta t_{\rm frame} = 10 \ \mu s$	n _{cl.size} =
$f_{event} = 1MHz$	$\Delta t_{\rm strobe,inactive} = 1 \ \mu s$	$\sigma_{\rm cl.size} =$

BUSYV 次数: 第5层 2891次⇒ 1203次 降低至41.6% 第10层 2513次⇒ 1216次 降低至48.4%

外围芯片繁忙违规持续时长相对降低 第5层 22%⇒19%

第10层 42%⇒ 27%

基于 SystemC 模拟研究硅像素层

簇射分布的半高全宽 響の

●weighted 情况下, FWHM 随着能量的增大而减小

●在 weighted 情况下,考虑了像素簇团内响应像素数目对结果的影响。

jie.yi@cern.ch

