
大型高能物理实验中的 前端双向高速数据传输系统

时钟与数据传输-CLKDT

郭迪 华中师范大学物理学院

王进红 中国科学技术大学

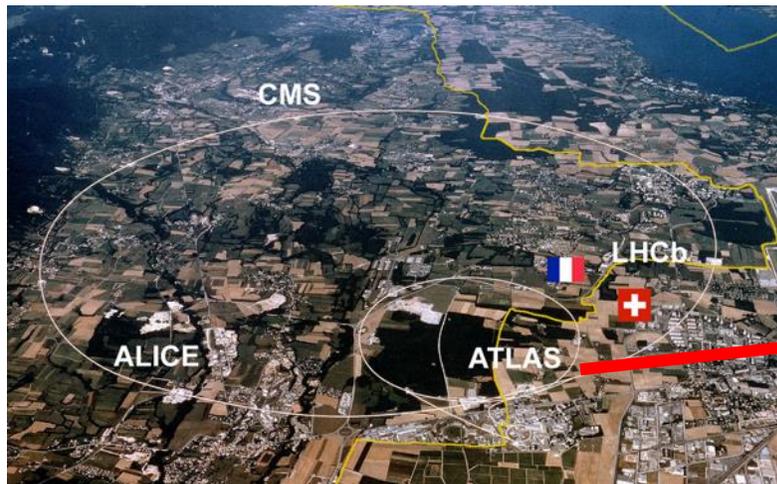
彭亮 湖南科技大学

2024年7月9号

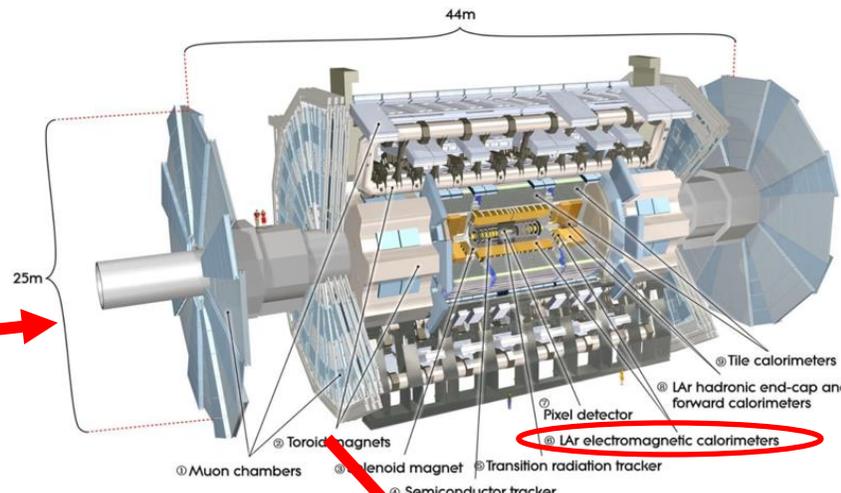
diguo@mail.ccnu.edu.cn

-
- 1、**HEP**中的高速数据传输系统概要
 - 2、光模块中的跨导放大芯片设计
 - 3、光模块中的激光器驱动芯片设计
 - 4、部分成果展示

HEP中的高速数据传输系统

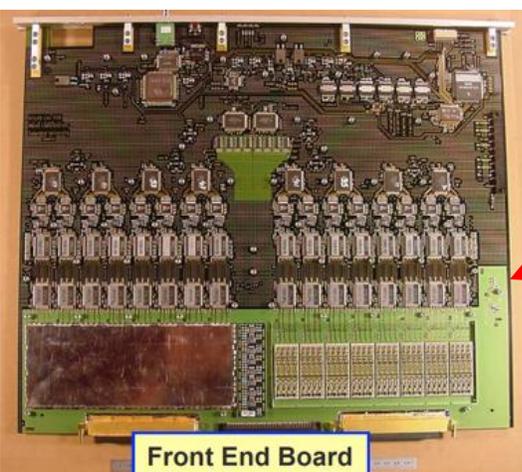


LHC



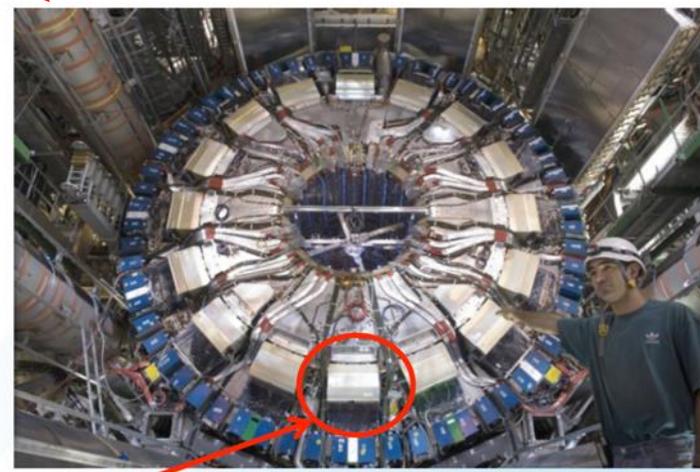
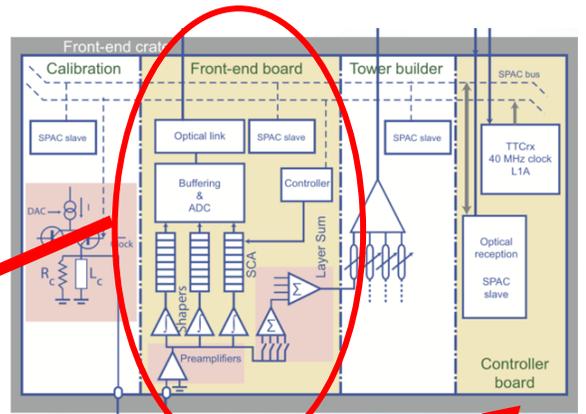
ATLAS探测器

LAr液压量能器



Front End Board

前端读出板
 单板数据吞吐量
 PhaseI阶段 : 200 Gbps
 PhaseII阶段 : 600 Gbps !!

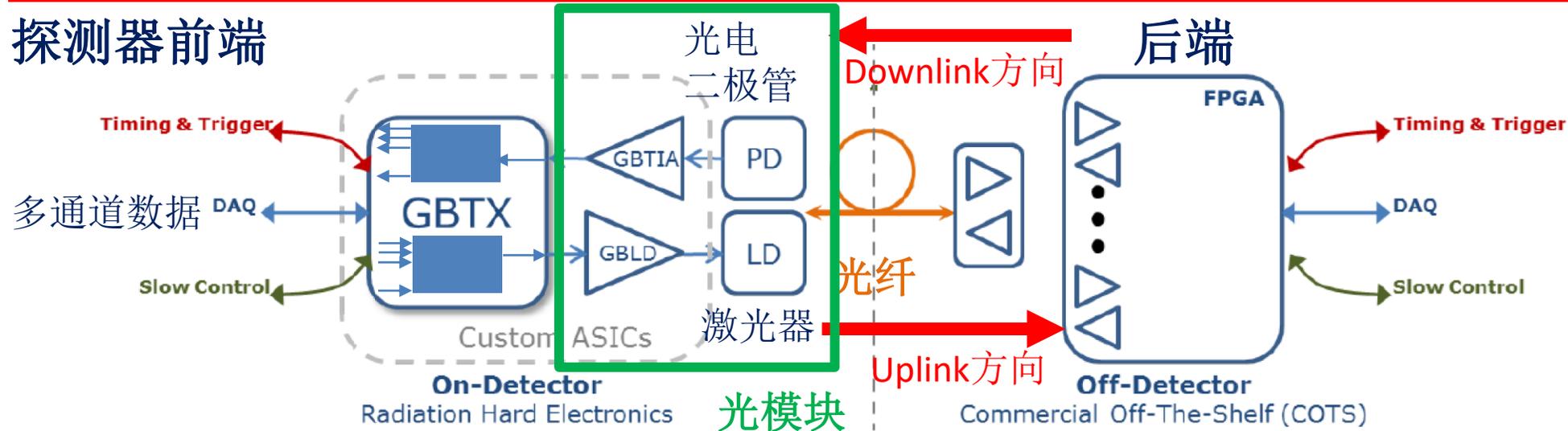


Front End
Crate

Barrel calorimeters in
detector hall, surrounded
by barrel toroids

电子学前端机箱

一个典型的HEP中的高速数据传输系统

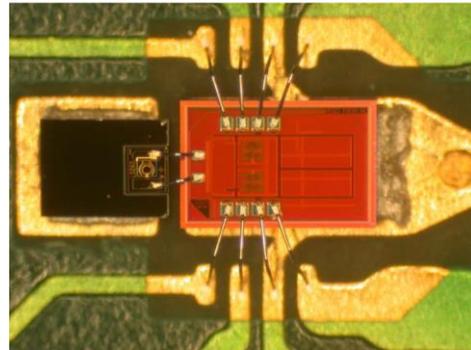
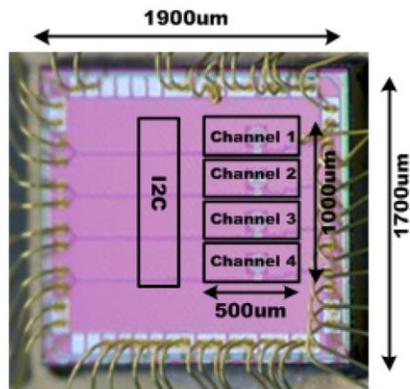
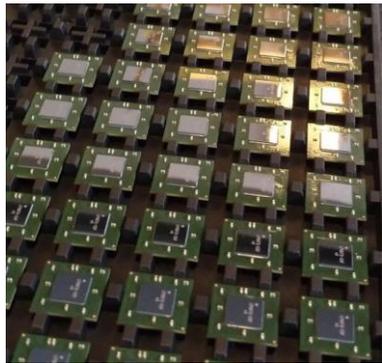


- CERN研发的系列芯片构建起一个应用于高能物理前后端双向高速数据传输系统
- GBTx: **双向数据接口芯片**
 - Uplink方向: 多通道数据接收、对齐、编码、并串转换
 - Downlink方向: 高速串行数据接收、CDR时钟恢复、串并转换, 分发至前端
- GBLD: **激光器驱动芯片 (LD: Laser Driver)**
 - 放大高速串行数据, 驱动激光器发光
- GBTIA: **跨导放大芯片 (TIA: Transimpedance Amplifier)**
 - 接收PD光电二极管的高速、微弱电流信号, 放大恢复成“可用”的高速电信号

CERN的Versatile Link Project和 GBT Project

- CERN的Versatile Link和GBT Project

- 起始于2007年，目标构建应用于HEP抗辐照、高速、双向光纤数据发送系统
- 具体主要由GBT系列芯片组和光模块组成：
 - 注：光模块即为激光器驱动+激光器、跨导放大芯片+光电二极管的载体
- 第一代GBT系列ASIC基于130 nm工艺（2011年）最高串行数据率4.8 Gbps
- 第二代GBT系列芯片基于65 nm CMOS工艺（2019年），最高串行数据率10.24 Gbps.



第二代GBTx芯片 (IpGBTx)

- 65nm CMOS
- Downlink: 2.56 Gbps
- Uplink: 最高10.24 Gbps
- 0.5mm pitch BGA封装, 289 Pins

第二代GBLD芯片 (LDQ10)

- 65nm CMOS
- 4 x 10 Gbps 四通道阵列式 VCSEL激光器驱动

GBTIA芯片

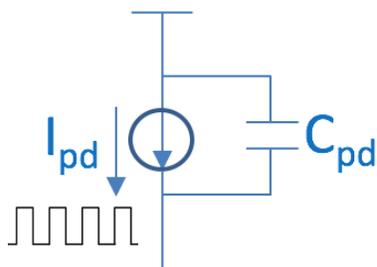
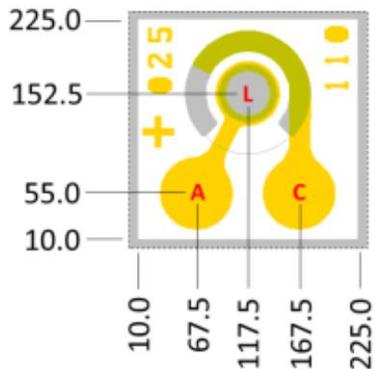
- 130 nm CMOS
- 5 Gbps 单通道接收放大芯片

光模块实物图

光模块实物图

-
- 1、HEP中的高速数据传输系统概要
 - 2、光模块中的跨导放大芯片设计
 - 3、光模块中的激光器驱动芯片设计
 - 4、部分成果展示

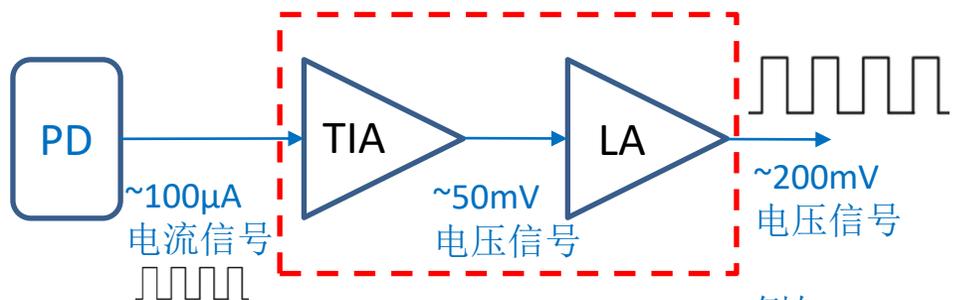
PD与跨导放大芯片 (TIA+LA)



PD光电二极管芯片

PD的电模型

- 左图：PD（光电二极管芯片）示意图
 - 通过C阴极加入偏压，使二极管反偏
 - 光纤中的光信号通过L进光点进入
 - 完成光->电转换，从A阳极输出微弱（百 μA 量级）的高速电流信号

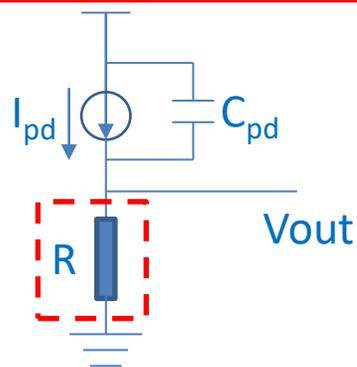


跨导放大芯片

例如
CML/LVDS
信号

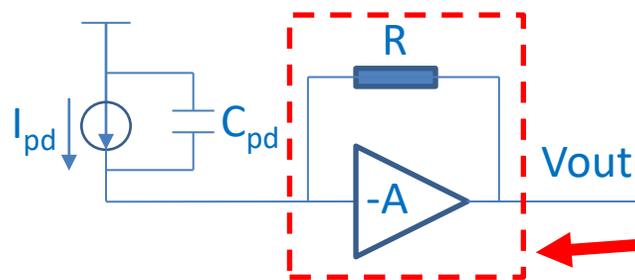
- 跨导放大芯片：接收放大PD的电流信号
 - 通过TIA跨导放大，实现 $\sim 100\mu\text{A}$ 电流到 $\sim 50\text{mV}$ 电压信号的转换放大
 - 通过LA（Limiting Amplifier）限幅放大器，实现电压信号的进一步放大
 - LA限幅放大器：多级高增益的差分放大级

跨导增益电路TIA



• 最简单的TIA电路：一个电阻

- 增益倍数： R (R越大越好)
- 带宽： $(2\pi * RC_{pd})^{-1}$ (R越小越好)
- 噪声： $KT/R^2 C_{pd}$ (R越大越好)
 - 折算到输入端的等效输入总噪声



• 经典的TIA电路结构

- 尽可能削弱关键指标间的直接“强对抗”

$$H(s) = V_{out}/I_{pd} = -\frac{A}{1+A} * \frac{R}{1 + \frac{RC_{pd}s}{1+A}}$$

$$\text{-3dB带宽} = \frac{1}{2\pi} * \frac{1+A}{RC_{pd}}$$

$$\text{噪声} = \frac{4KT}{R} + \frac{V_{n,A}^2}{R^2}$$

$V_{n,A}$ 为放大器噪声
注：Cpd很小可忽略时的估算

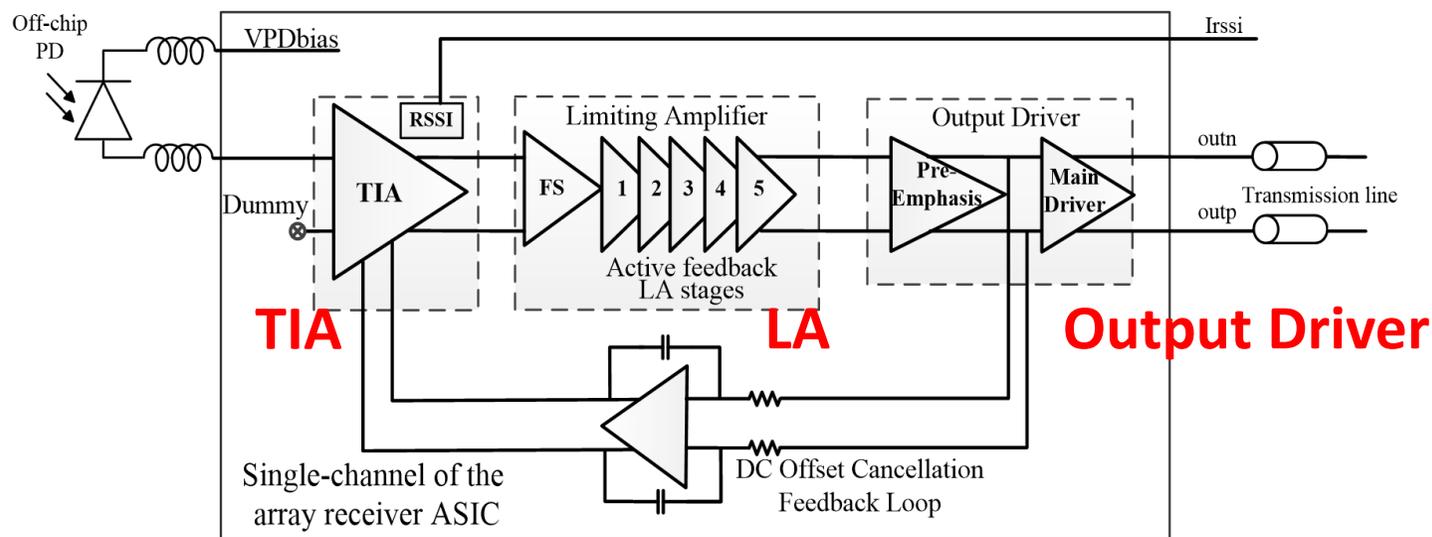
$$\text{噪声} = A * V_{n,A}^2$$

注：s很大或Cpd很大时的估算

- 增益： 约等于 R
- 带宽： $(1+A) * (2\pi * RC_{pd})^{-1}$ 扩大了 $1+A$ 倍

注：考虑到放大器本身的有限带宽，真实的理论分析为二阶、三阶甚至更复杂的电路计算。

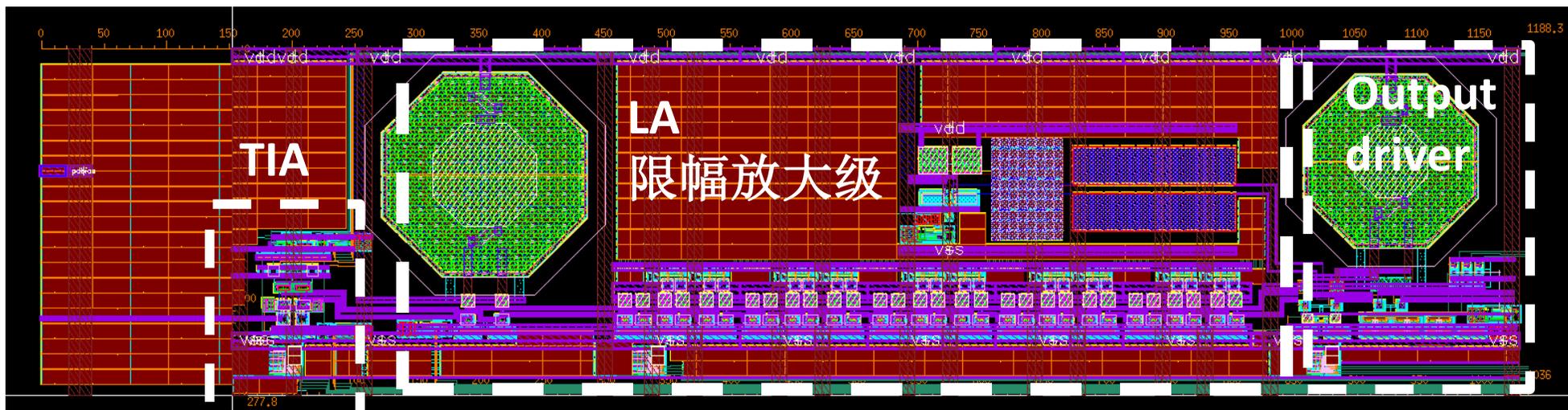
一个完整的跨导放大芯片实例



- 一个完整的跨导放大芯片：
 - TIA跨导放大电路
 - **Limiting Amplifier**限幅放大级
 - 本质上是一个高带宽差分放大电路（下一小节提及）
 - **Output Driver** 输出驱动级
 - 本质上是一个CML driver（50ohm数据输出负载）
 - 可选择附加Pre-emphasis预加重功能
 - **DC Offset Cancellation**直流失调消除电路
 - 解决多级LA放大级级联情况下，DC直流失调问题
 - 大输入电流（大动态范围）情况下，解决TIA直流工作点的问题

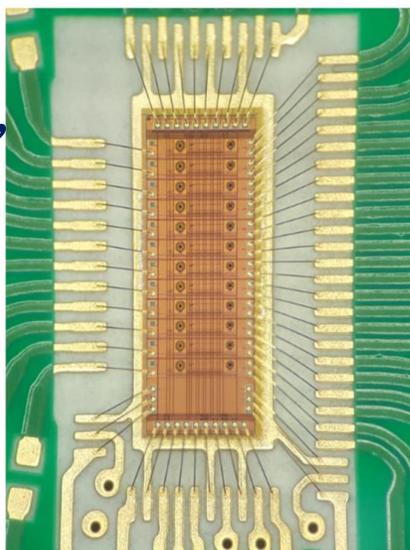
一个完整的跨导放大芯片实例

某跨导放大芯片模拟核心版图示意

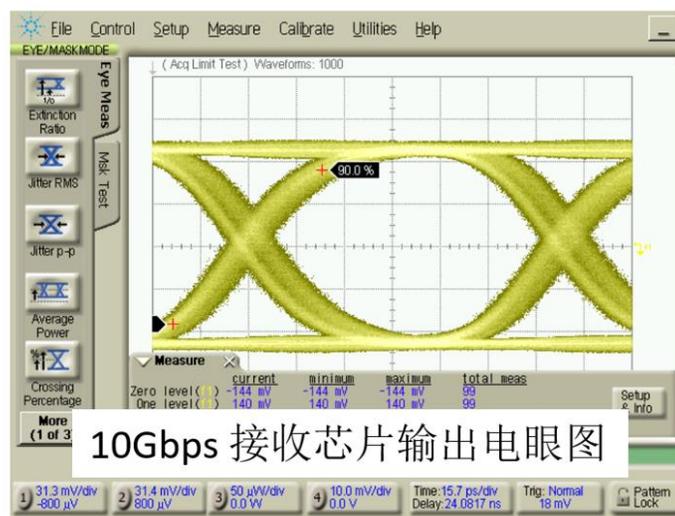


2019年
重庆某所“12路光发送和光接收芯片”横向项目，已交付验收

Hanhan Sun, Di Guo*, A 12-Channel 120-Gb/s Array Optical Receiver ASIC in a 55 nm CMOS technology for High-Energy Physics Experiments, 2020 Feb, NIMA



12通道12 x 10 Gbps/ch 接收芯片(TIA+LA)



10Gbps 接收芯片输出电眼图

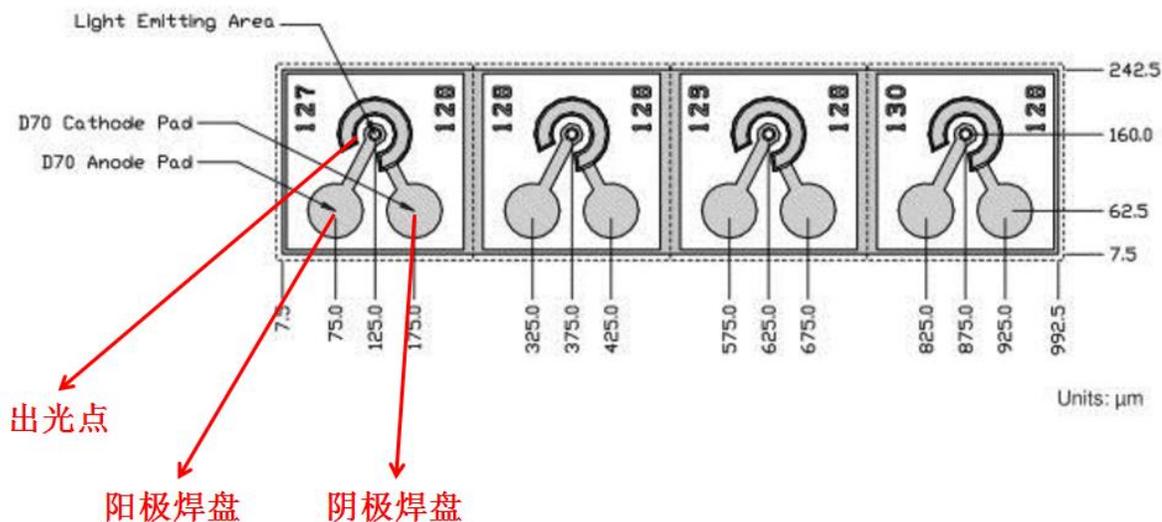
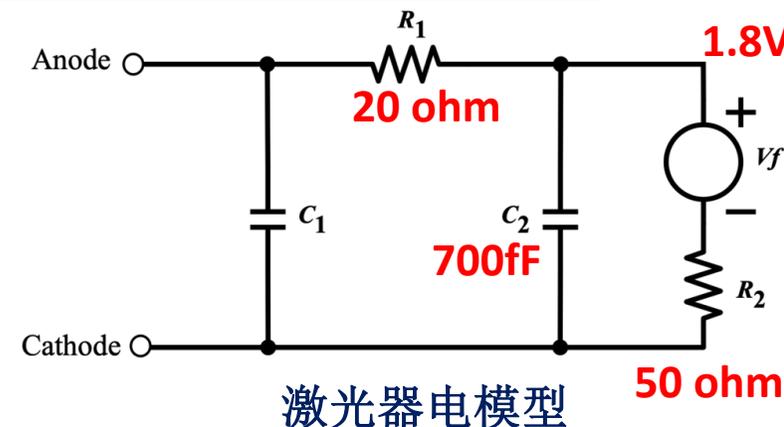
指标	
增益	90.608 dBΩ
带宽	7.507 GHz
功耗	71.7 mW/ch
差分输出电压	510 mV
总抖动@10 ⁻¹² BER	19.11 ps
灵敏度	40 μA

-
- 1、HEP中的高速数据传输系统概要
 - 2、光模块中的跨导放大芯片设计
 - 3、光模块中的激光器驱动芯片设计
 - 4、部分成果展示

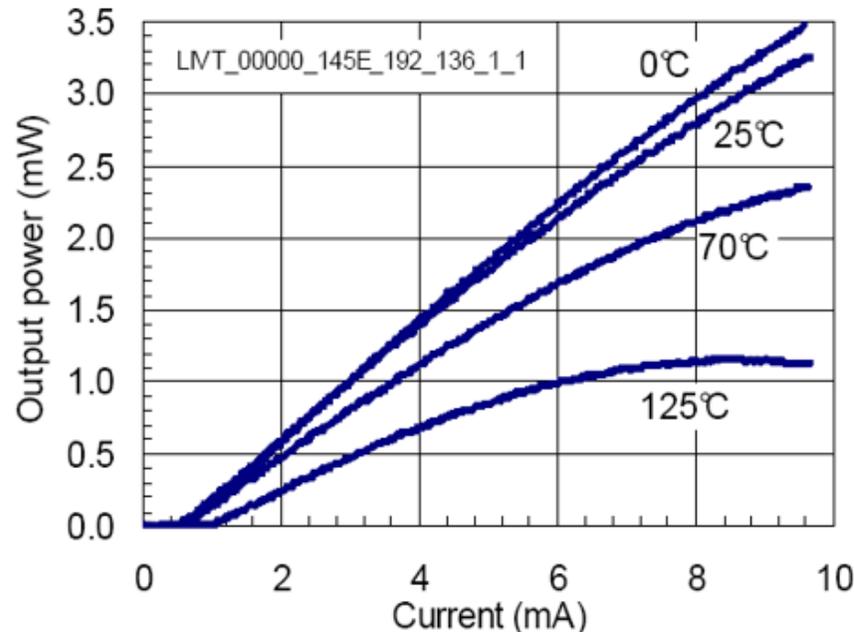
激光器Laser的原理与特性

- VCSEL激光器芯片工作的功能描述

- 激光器的阴极焊盘Cathode接地
- 从阳极焊盘Anode输入电流信号
- 当输入电流超过一定的阈值电流(I_{th})后，激光器发光
- 发出的光强与输入的电流值成正比。



输出光强

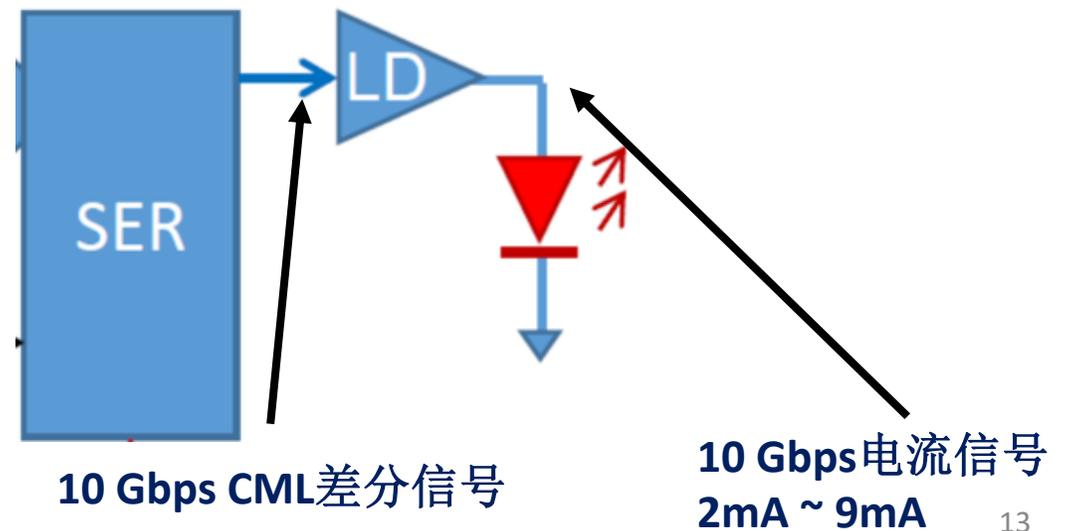
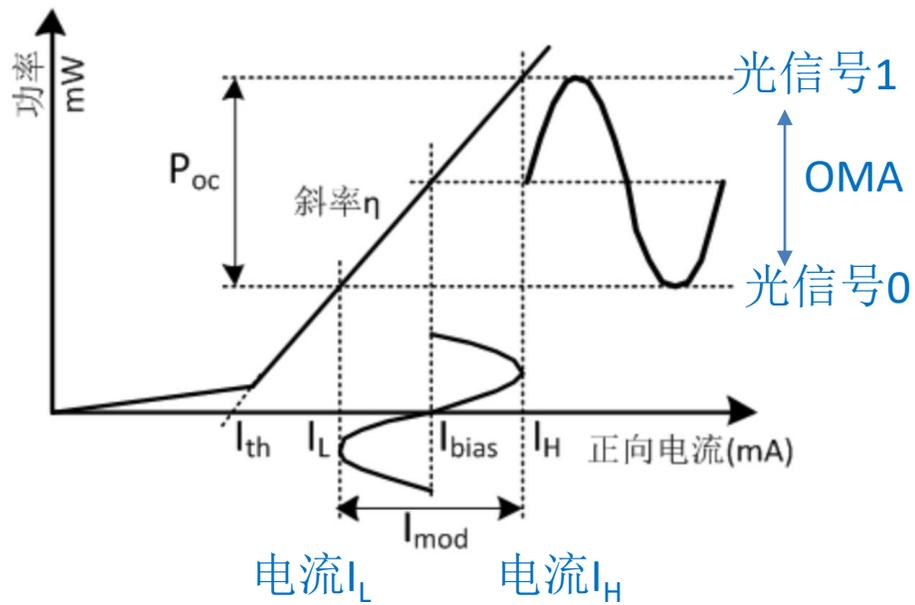


某850 nm VCSEL激光器的输入电流-输出光强曲线

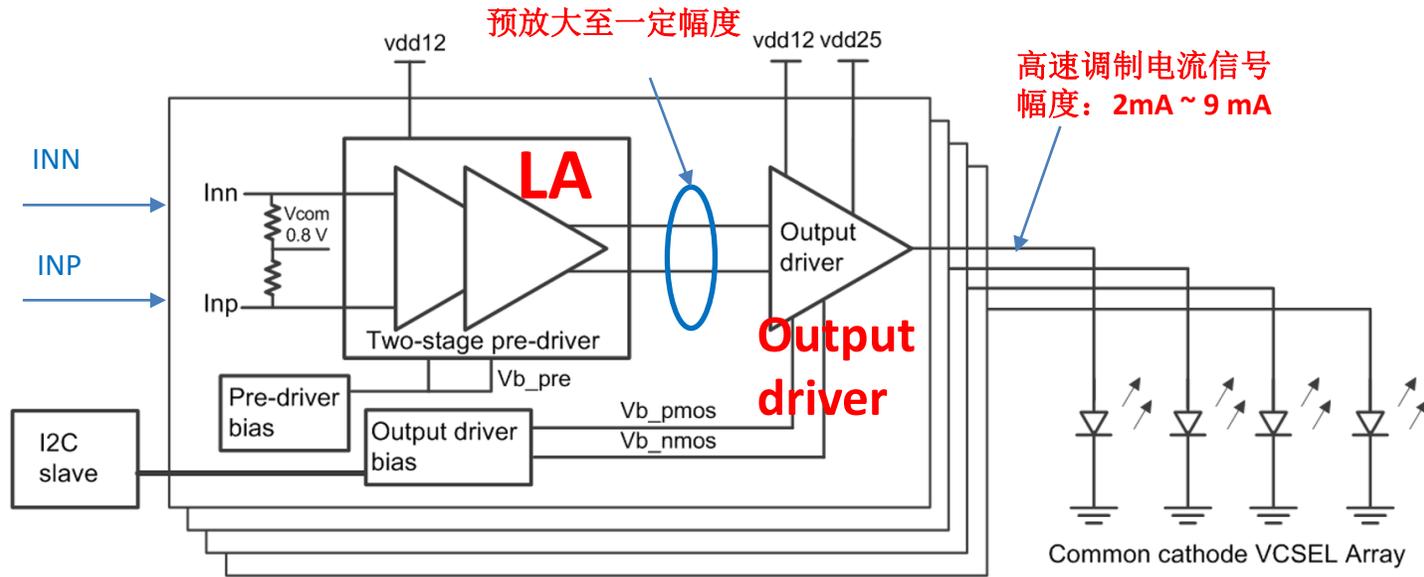
激光器驱动芯片的要求

- VCSEL激光器驱动芯片

- 提供一个随数据0、1信号调制变化的电流 ($I_L \sim I_H$ 之间变化)
- $I_L > I_{th}$ 以免激光器进入“截止”
- 以850 nm VCSEL为例, 需要的典型 $I_L=2\text{mA}$, $I_H=9\text{mA}$
- 因此激光器驱动芯片功能需求即为: 放大一个高速差分 (CML) 信号, 输出一个高速2~9mA调制电流驱动激光器



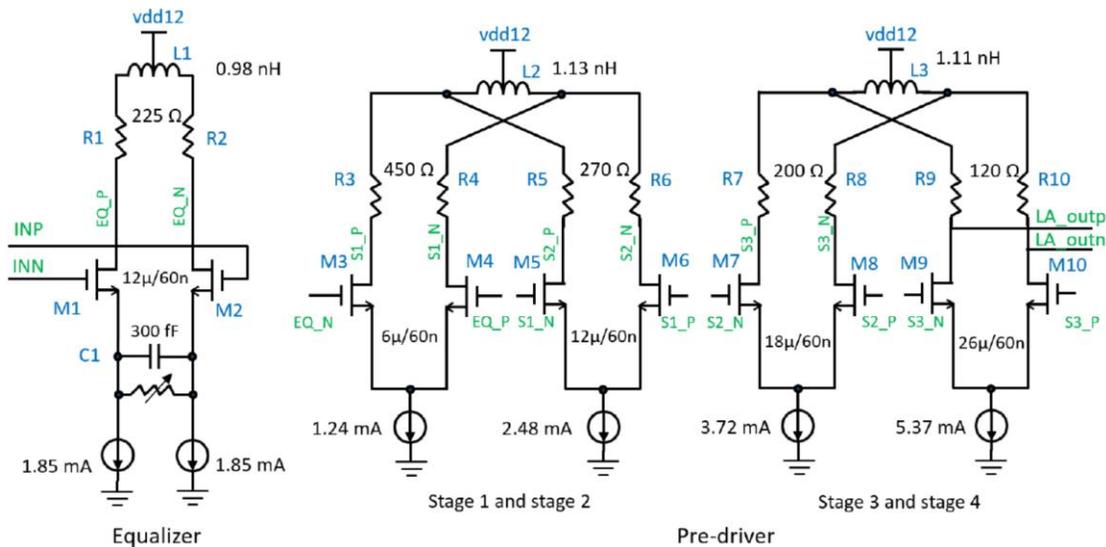
一个典型的激光器驱动芯片设计



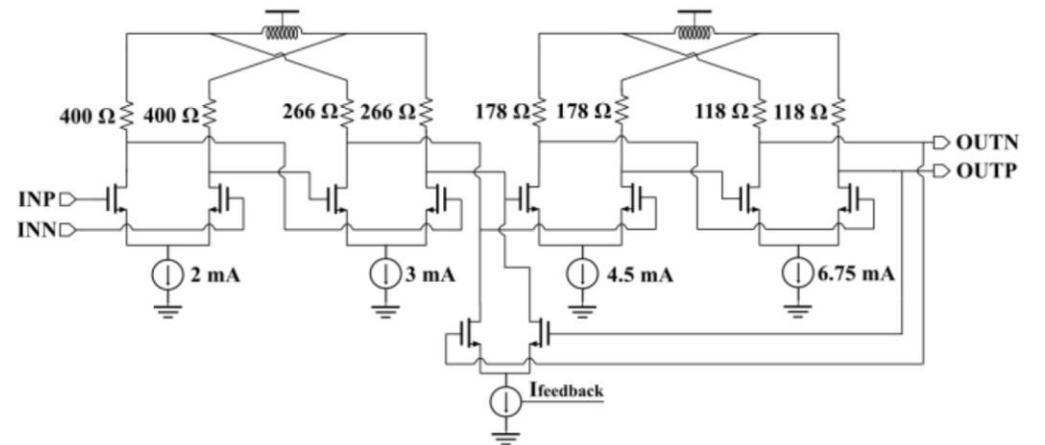
- 一个经典的激光器驱动芯片结构主要由两部分构成：
 - **限幅放大器Limiting Amplifier(LA)**
 - 将输入的高速差分信号（CML信号）预放大至一定的幅度给输出级使用
 - **Output driver输出级**
 - 将LA预放大后的高速差分信号（电压信号），转换成单端、高速电流信号，以驱动激光器发光

LA限幅放大器设计

- LA限幅放大器主要由多级级联的差分放大级构成
 - 在合理的面积、功耗条件下达到特定的增益与带宽要求是LA的设计目标
 - 以一个10 Gbps的激光器驱动芯片为例， $BW = 7\text{ GHz}$, $Av = 15\text{ dB}$ 是一个典型的LA限幅放大器指标
 - 下图是两个激光器驱动芯片中LA限幅放大器的设计原理图示意
 - LA设计的核心是带宽拓展技术**



某激光器驱动LA限幅放大器设计示例1

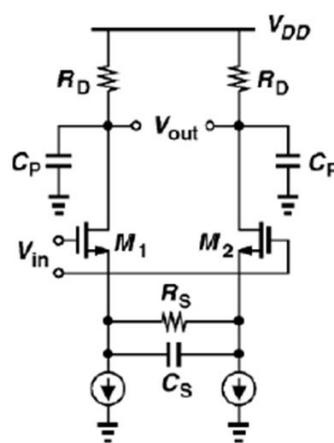


某激光器驱动LA限幅放大器设计示例2

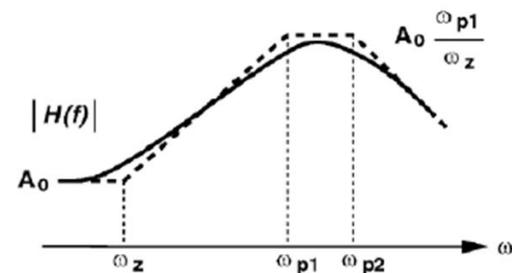
高带宽LA设计1

- Active CTLE (连续时间线性) 均衡技术

- 普通的差分放大级尾电流处，增加一个R和一个C
- 小信号模型分析角度看该电路：
 - 增加一个零点（压低DC低频增益）和一个极点（抬高部分高频增益）
- 另一个直观视角来理解：
 - 在高频处，Cs短路，该电路表现为一个普通的差分放大级，增益 $\text{Gain} = g_m * R_D$
 - 当低频处，Cs断开，当Rs又非常大时，差分级的尾电流被完全切分，增益 $\text{Gain} = 0$



[Gondi JSSC 2007]



零点 极点1 极点2
 原本的主极点

$$H(s) = \frac{g_m}{C_p} \frac{1}{s + \frac{1}{R_S C_S}} \frac{1}{\left(s + \frac{1 + g_m R_S / 2}{R_S C_S}\right) \left(s + \frac{1}{R_D C_p}\right)}$$

$$\omega_z = \frac{1}{R_S C_S}, \quad \omega_{p1} = \frac{1 + g_m R_S / 2}{R_S C_S}, \quad \omega_{p2} = \frac{1}{R_D C_p}$$

$$\text{DC gain} = \frac{g_m R_D}{1 + g_m R_S / 2}, \quad \text{Ideal peak gain} = g_m R_D$$

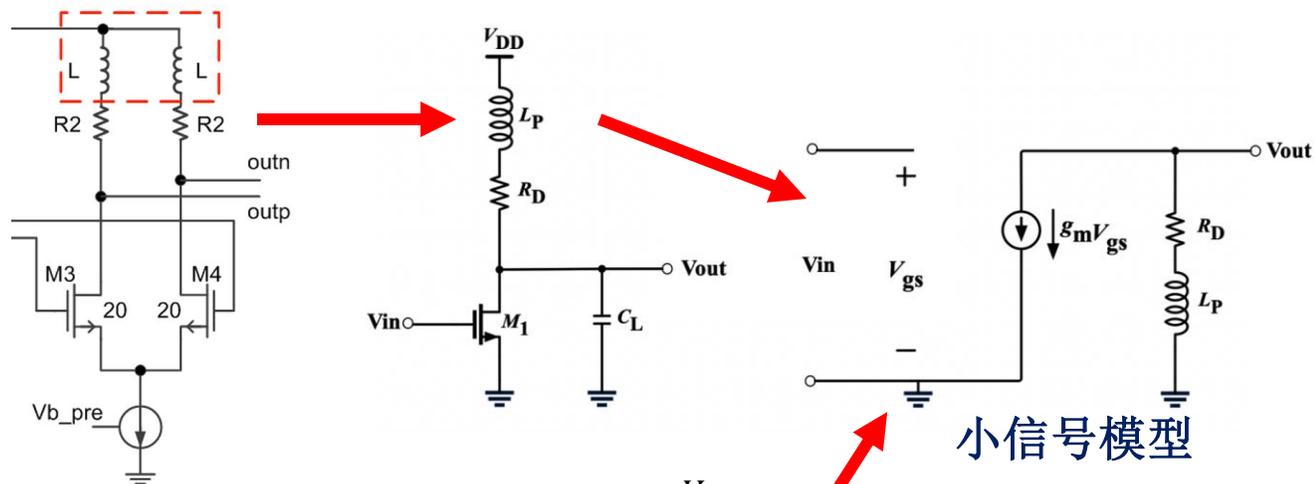
$$\text{Ideal Peaking} = \frac{\text{Ideal peak gain}}{\text{DC gain}} = \frac{\omega_{p1}}{\omega_z} = 1 + g_m R_S / 2$$

高带宽LA设计2

- 2、使用电感拓展差分级带宽
 - 从小信号模型视角来看：
 - 在传递函数中增加了零点和极点

缺点：电感面积大

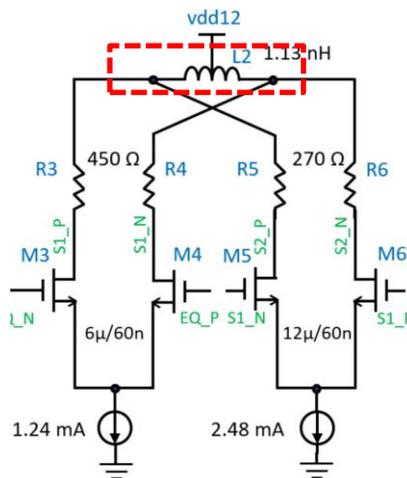
- 使用共享电感(Shared-inductor)同时拓展两级差分级带宽
 - 两级共用一个电感节省面积



$$V_{out} C_L S + \frac{V_{out}}{L_P S + R_D} = -g_m V_{in}$$

$$\frac{V_{out}}{V_{in}} = -g_m \frac{L_P S + R_D}{L_P C_L S^2 + R_D C_L S + 1}$$

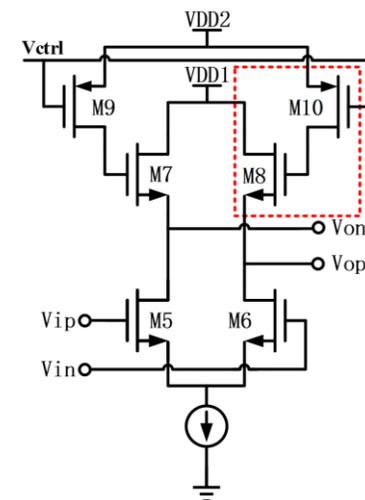
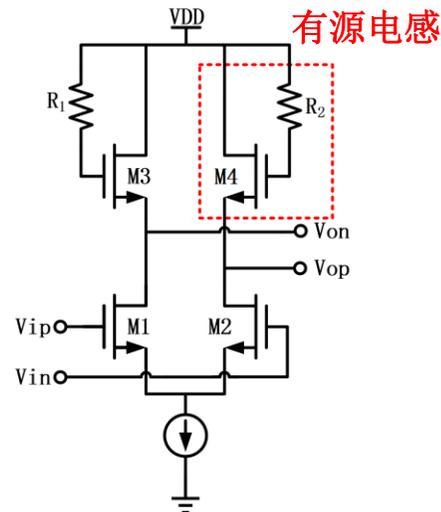
$$= -g_m R_D * \frac{s + 2\zeta\omega_n}{s^2 + 2\zeta\omega_n s + \omega_n^2} * \frac{\omega_n}{2\zeta}$$



T.-C. Huang, T.-W. Chung, C.-H. Chern, M.-C. Huang, C.-C. Lin and F.-L. Hsueh, A 28 Gb/s 1pJ/b shared-inductor optical receiver with 56% chip-area reduction in 28 nm CMOS, in proceedings of the IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, U.S.A., 9–13 February 2014, pp. 144-145

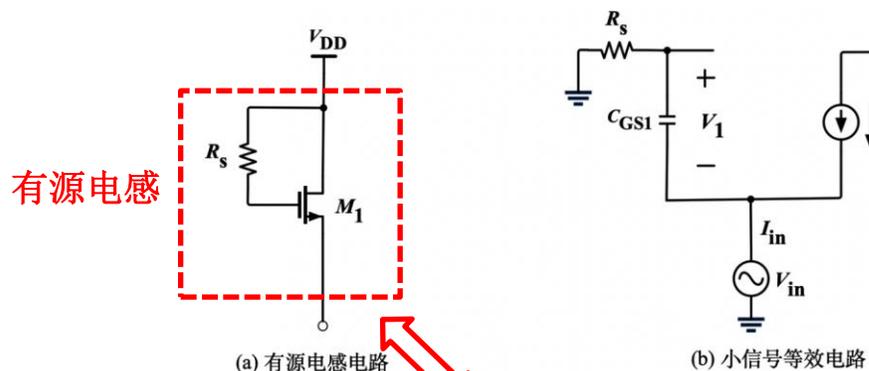
高带宽LA设计3

- 3、使用“有源电感”(Active inductor)代替实际电感
 - 使用MOS管有源器件+电阻构造出电感“成分”
 - 避免使用大面积的“真电感”



有源电感峰化

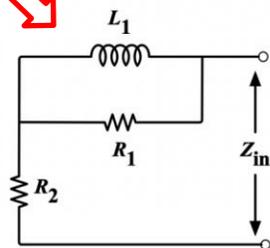
进一步将其中的电阻也用MOS管代替



(a) 有源电感电路

(b) 小信号等效电路

$$Z_{in} = \frac{1 + sR_s C_{GS1}}{g_{m1} + sC_{GS1}} = \frac{R_1 * sL_1}{R_1 + sL_1} + R_2$$



(c) 等效电路模型

$$R_1 = R_s - \frac{1}{g_{m1}}$$

$$R_2 = \frac{1}{g_{m1}}$$

$$L_1 = \frac{C_{GS1}}{g_{m1}} \left(R_s - \frac{1}{g_{m1}} \right)$$

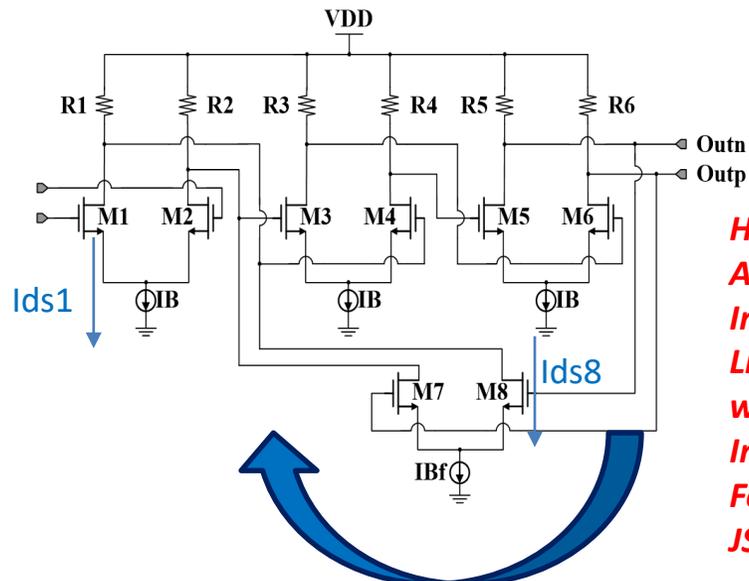
高带宽LA设计4

- 4、使用级间有源反馈方式Active feedback结构的带宽拓展技术

- 多级级联的差分放大级，将后级的差分放大输出信号“反馈”至前级，实现peaking带宽拓展效果

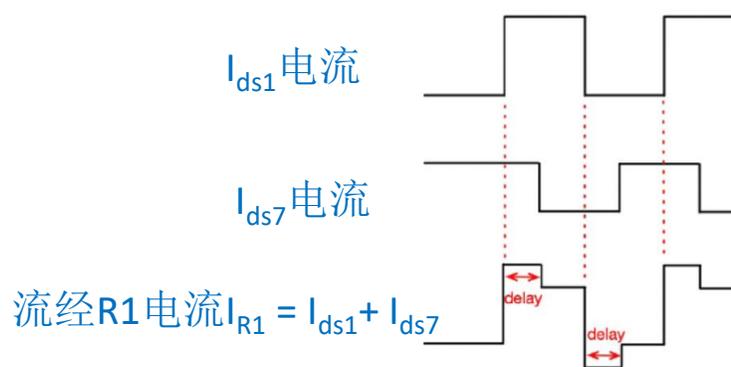
- 从时域角度来看：

- 信号被“反向延迟叠加”在之前的信号上，在时域波形上产生了“边沿peaking效果”
- “延迟时间”、叠加强度决定了峰化的效果



*H-Y Huang, et al.,
A 10-Gb/s
Inductorless CMOS
Limiting Amplifier
with Third-Order
Interleaving Active
Feedback, IEEE
JSSC 2007*

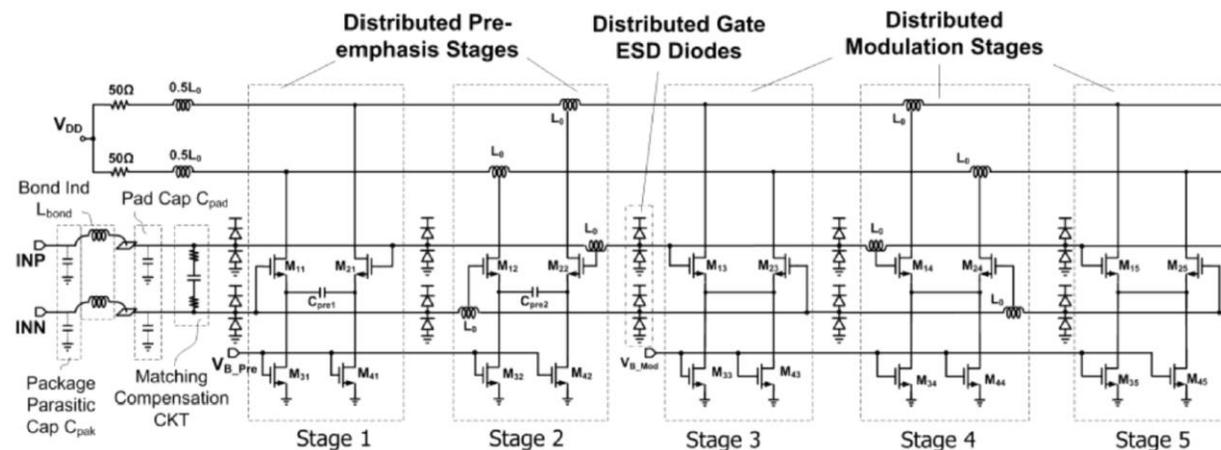
Third-order三阶有源反馈设计



从时域视角来看该电路

高带宽LA设计5

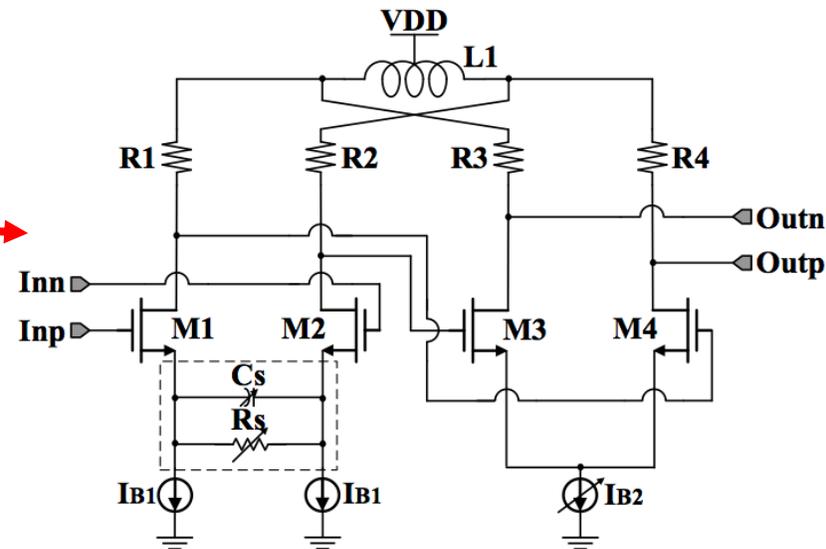
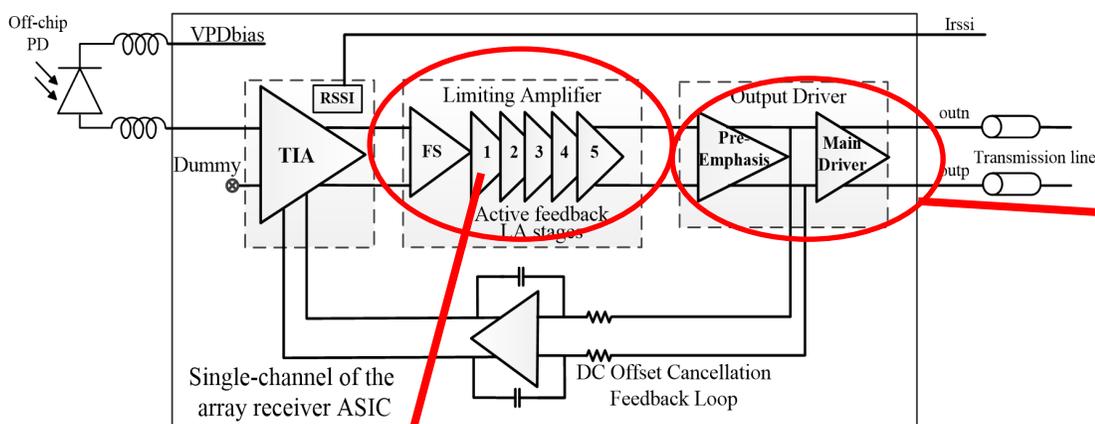
- 5、使用分布式放大器Distributed-amplifier技术拓展带宽
 - 人为构造两条传输线（通过添加LC）
 - 输入信号沿一条传输线传播，途中送给每一级差分级的栅极。
 - 将每级差分级的输出（即漏级）连接在另一条传输线上
 - 选择适当的L,C参数值，使得沿栅极传输的输入信号，产生的各级输出信号能够以正确的相位正好同相叠加，得到最终的放大输出信号。
 - 每一级只需要很小的增益即可，进而大幅度提升带宽。
 - 由于大量使用电感，占用面积大
 - 设计、仿真难度较大



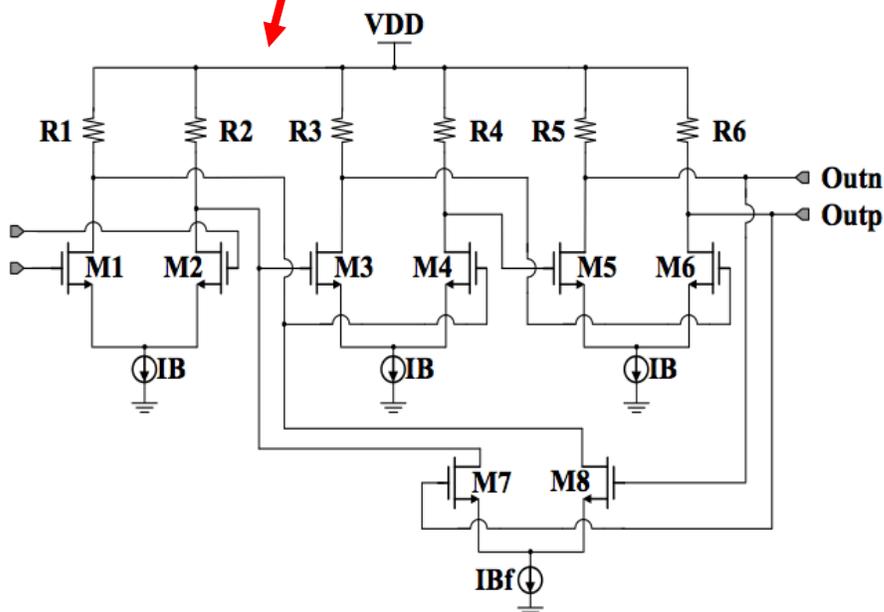
一个分布式放大型LA的设计

T.Zhang et al., A 10 Gb/s laser driver in 130 nm CMOS technology for high energy physics applications, 2015 JINST

带宽拓展技术在某款TIA跨导芯片中的应用



两级差分级共享电感 + CTLE均衡技术



级间有源反馈（三阶）

以上的高带宽LA技术往往融合使用，广泛存在于众多高带宽模拟电路设计场景中

面积---功耗---设计复杂度---带宽拓展效果
折中选择

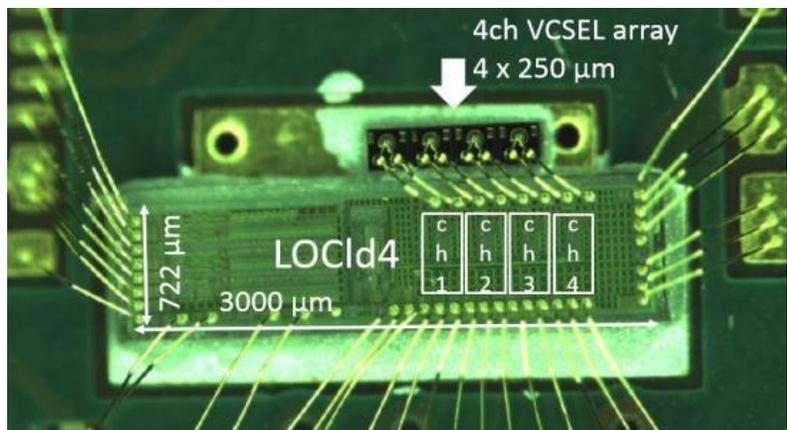
-
- 1、HEP中的高速数据传输系统概要
 - 2、PD（光电二极管）与跨导放大芯片设计
 - 3、激光器与激光器驱动芯片设计
 - 4、部分成果展示

部分芯片设计/实物展示

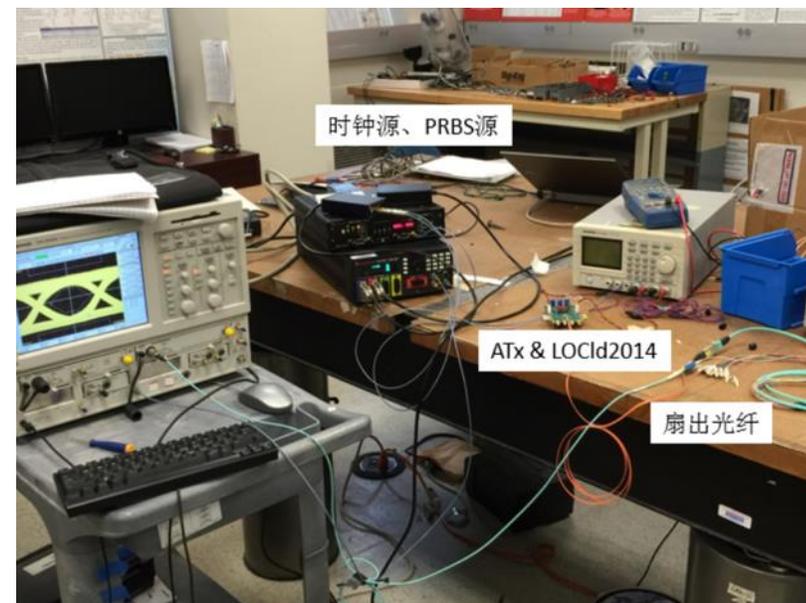
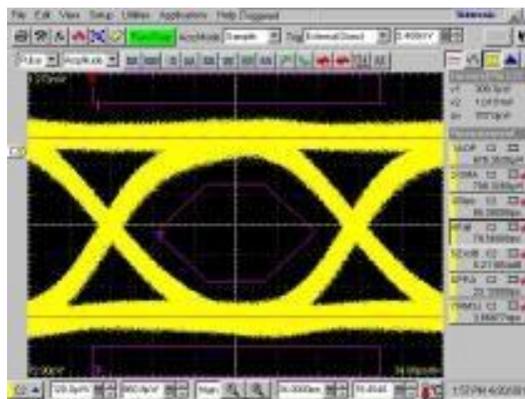
- 4通道VCSEL激光器驱动芯片 LOCI4 (8 Gbps/ch)

- 基于0.18 μm 工艺

Di Guo et al., *A 4 × 8-Gbps VCSEL array driver ASIC and integration with a custom array transmitter module for the LHC front-end transmission*, Nuclear Instruments and Methods in Physics Research Section A, Volume 831, 21 September 2016, Pages 276–282

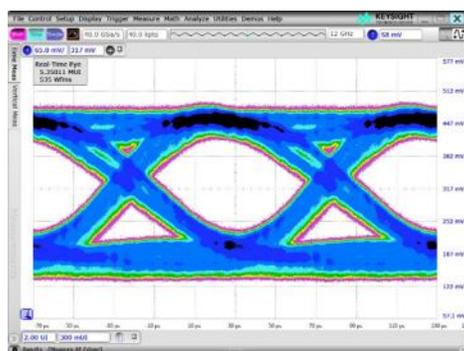
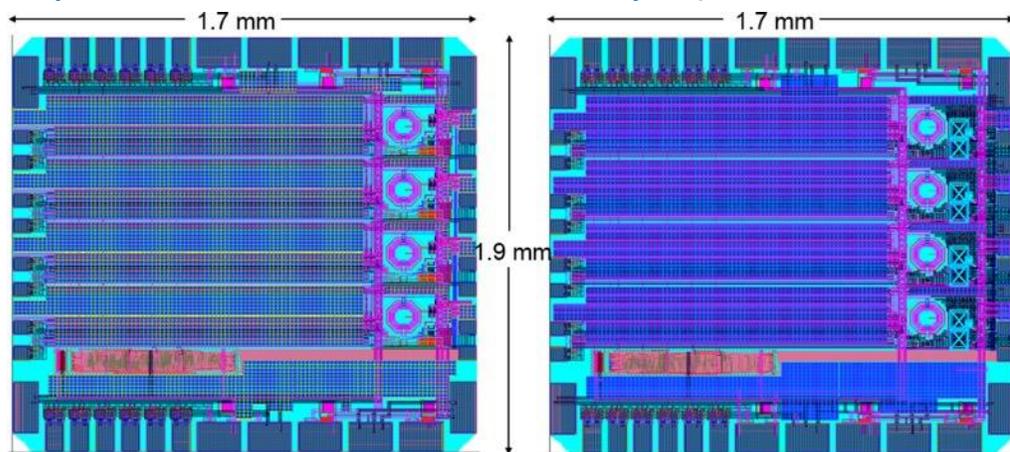


驱动芯片与4通道激光器
显微镜下bond线图

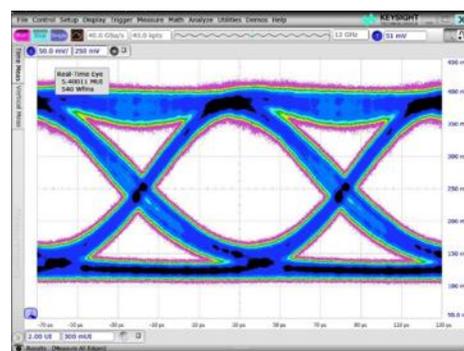


部分芯片设计/实物展示

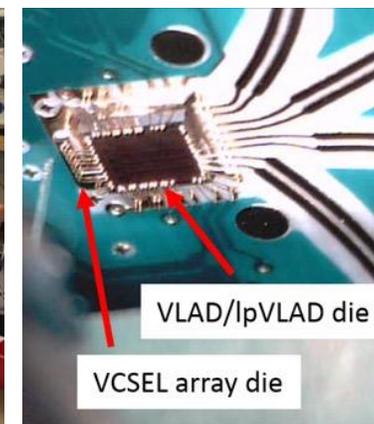
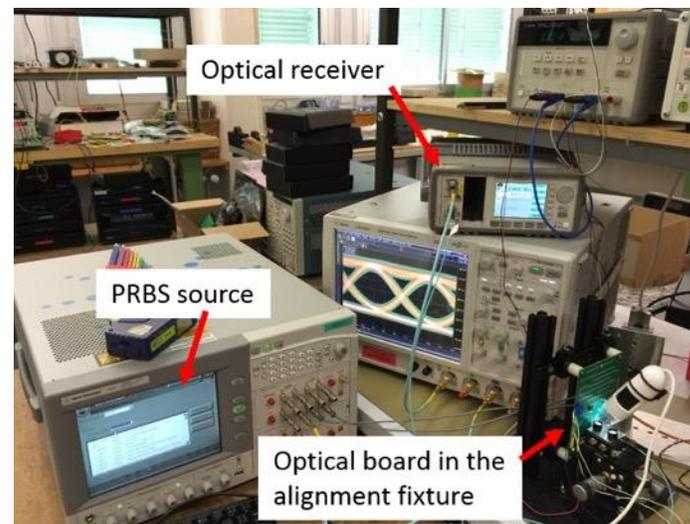
- 4通道VCSEL激光器驱动芯片 VLAD、IpVLAD (10 Gbps/ch)
 - 基于TSMC 65nm CMOS工艺
 - VLAD: 34 mW/ch at 10Gbps
 - IpVLAD: 22 mW/ch at 10Gbps (超低功耗设计/ 专利)



VLAD 10 Gbps光眼图



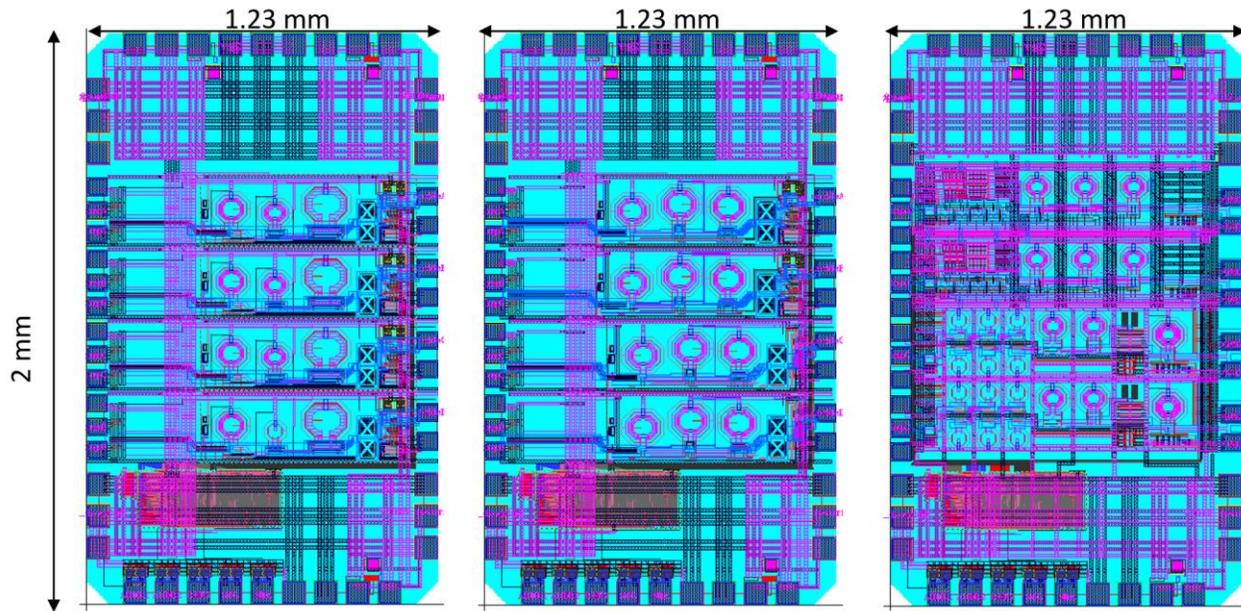
IpVLAD 10 Gbps光眼图



D. Guo et al., *Developments of two 4 × 10-Gbps VCSEL array drivers in 65 nm CMOS*, Journal of Instrumentation, February 2017, Vol.12, C02065

部分芯片设计/实物展示

- 4通道VCSEL激光器驱动芯片 VLAD14、VLAD25
 - 基于TSMC 65nm CMOS工艺
 - VLAD14: 速率提升至 14 Gbps/ch
 - VLAD25: 速率提升至25 Gbp/ch
- 4通道接收放大芯片TIA14 (TIA + LA)

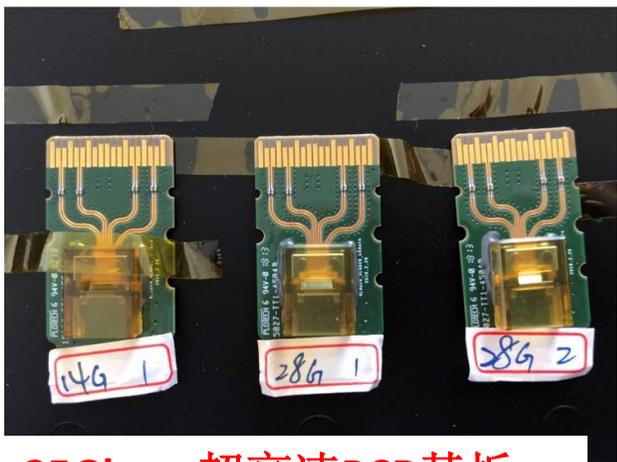


4通道25 Gbps/ch
激光器驱动芯片
VLAD25

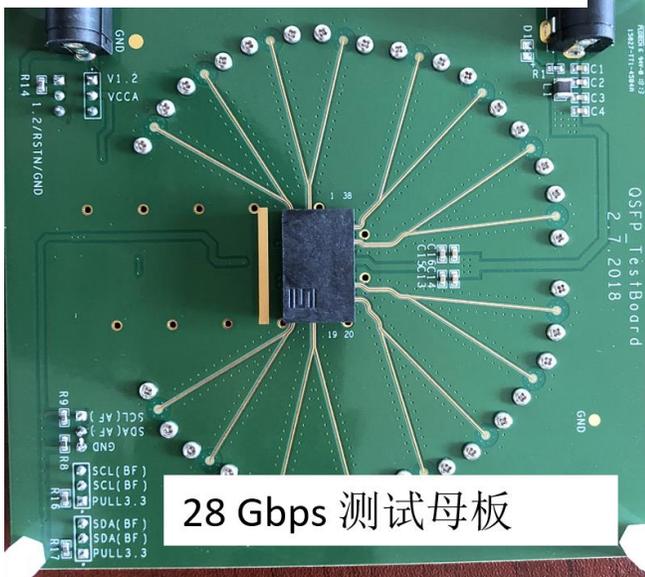
4通道14 Gbps/ch
14 Gbps 版本
VLAD14

4通道14 Gbps/ch 接收芯片
(TIA+LA)
TIA14

部分激光器驱动芯片设计/实物展示

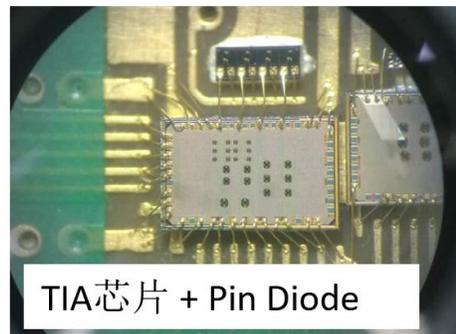


25Gbps+超高速PCB基板、测试母版

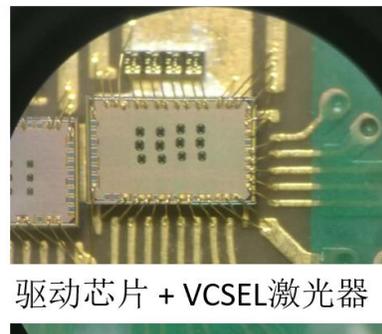


28 Gbps 测试母板

芯片显微镜下打线图

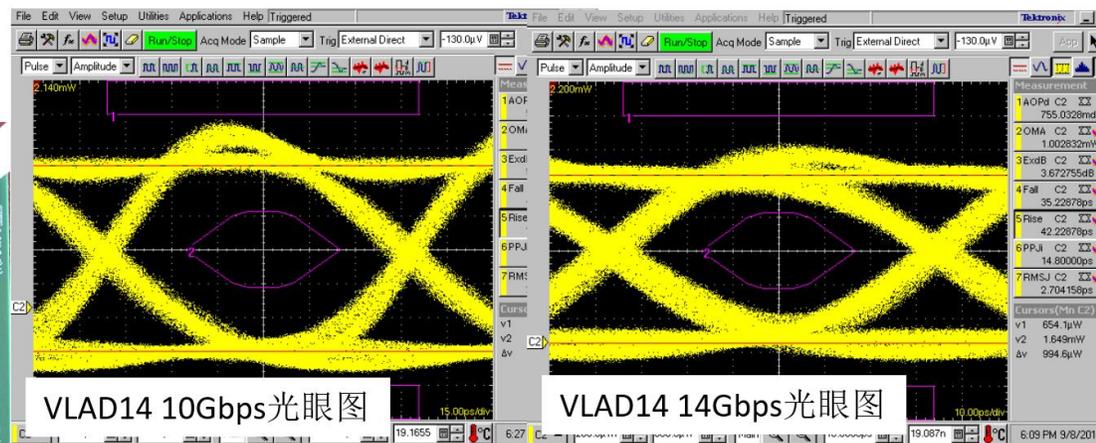


TIA芯片 + Pin Diode



驱动芯片 + VCSEL激光器

Q. Chen, D. Guo* et al., A 14-Gbps VCSEL Driver in 65 nm CMOS with a Power-Efficient Driving Structure for Particle Physics Experiments, in IEEE Transactions on Nuclear Science, vol. 70, no. 6, pp. 1001-1006, June 2023.



VLAD14 10Gbps光眼图

VLAD14 14Gbps光眼图

C. Zhao D. Guo* et al., A 25 Gbps VCSEL driving ASIC: an attempt for ultra-high-speed front-end readout applications, Journal of Instrumentation, 2022_JINST_17_C01040



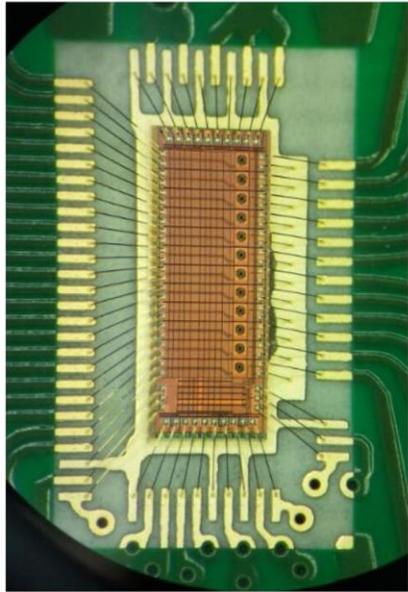
VLAD28 20Gbps光眼图

VLAD28 25Gbps光眼图

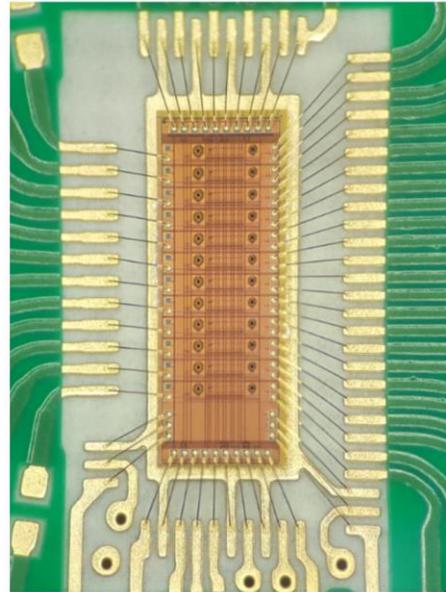
VLAD14
VLAD25
激光器驱动芯片测试
实物图

部分激光器驱动芯片设计/实物展示

- 12通道VCSEL激光器驱动芯片、接收芯片
 - 12通道12 x 10 Gbps/ch VCSEL激光器驱动芯片、接收放大芯片
 - 重庆某所241万元横向项目，已验收交付。
 - 基于某国产CMOS工艺



12通道12 x 10 Gbps/ch
激光器驱动芯片

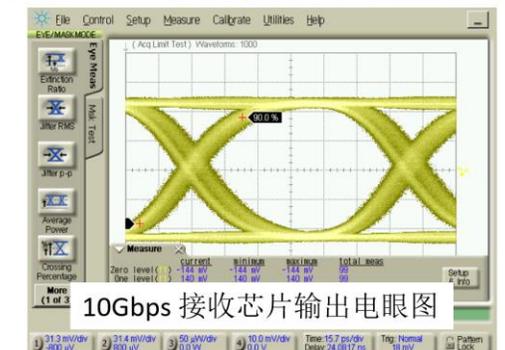
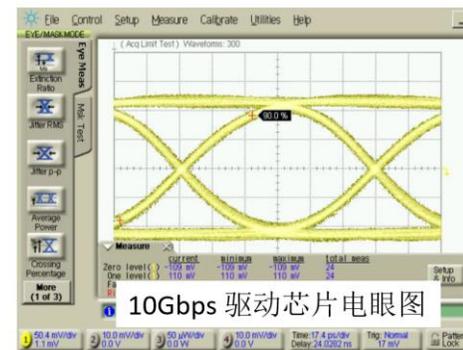
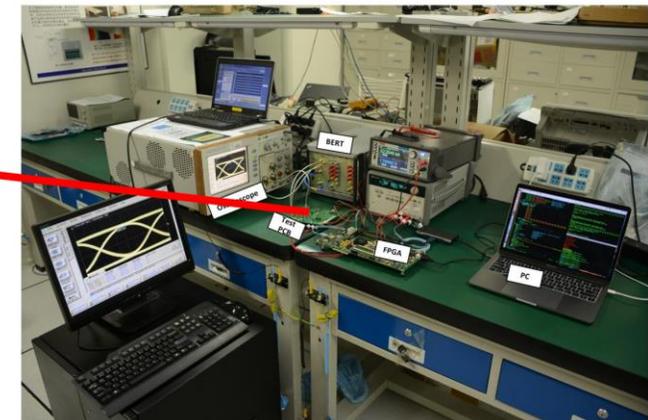


12通道12 x 10 Gbps/ch
接收芯片(TIA+LA)

Hanhan Sun, Di Guo*, A
12-Channel 120-Gb/s
Array Optical Receiver
ASIC in a 55 nm CMOS
technology for High-
Energy Physics
Experiments, 2020 Feb,
NIMA

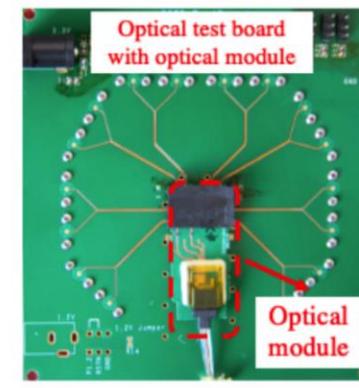
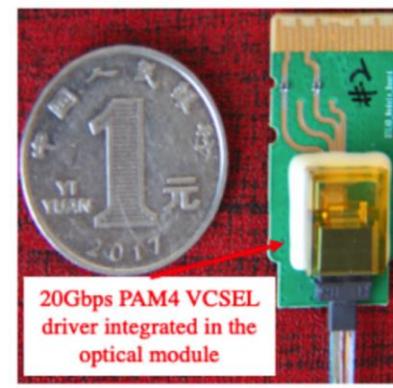
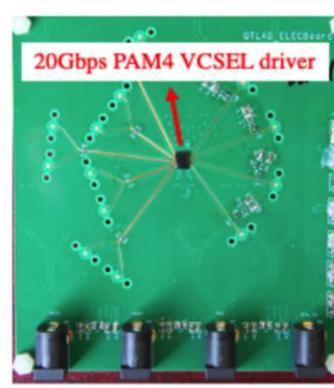
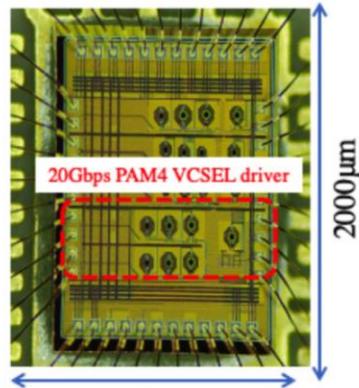
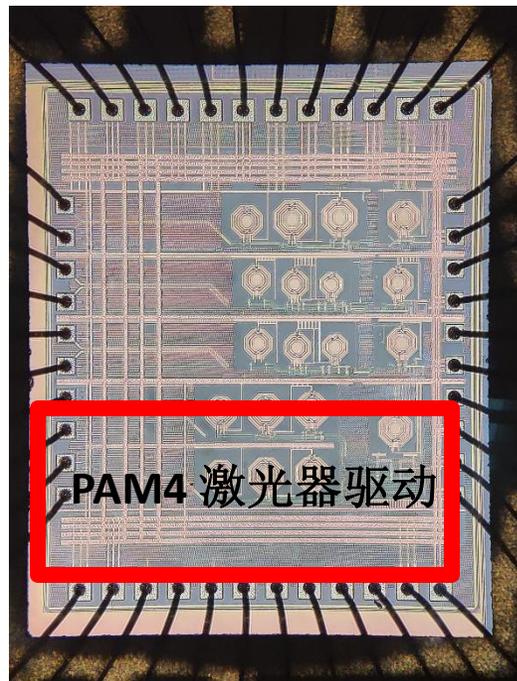


12通道接收芯片电测试板

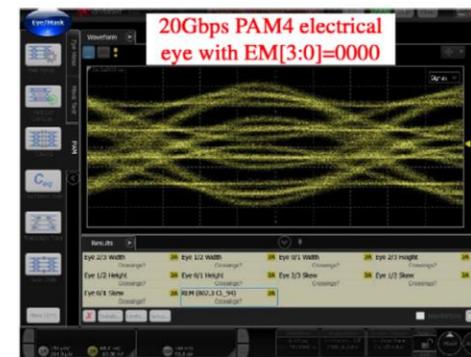
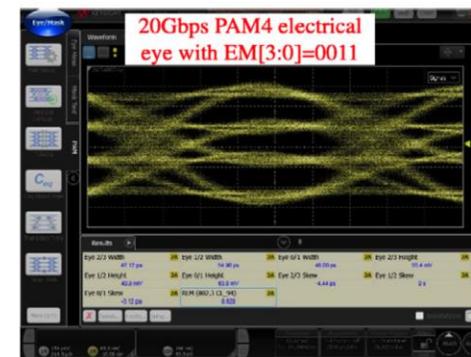
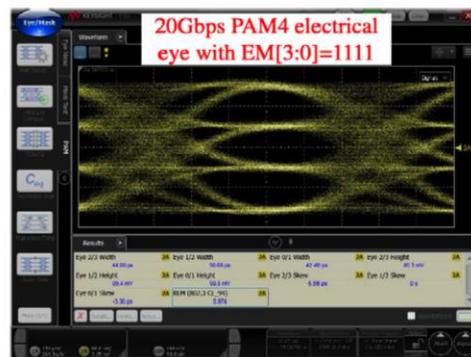


部分激光器驱动芯片设计/实物展示

- PAM4多幅度脉冲调制20 Gbps激光器驱动芯片
 - 基于中芯国际SMIC 55nm
 - 探索PAM4形式光通信前沿技术



18:



Cong Zhao, Di Guo * et al., A 20 Gbps PAM4 VCSEL driving ASIC for detector front-end readout, Nuclear Instruments and Methods in Physics Research Section A, Volume 1039, 11 September 2022, 167027

PAM4激光器驱动芯片测试
实物图与PAM4眼图

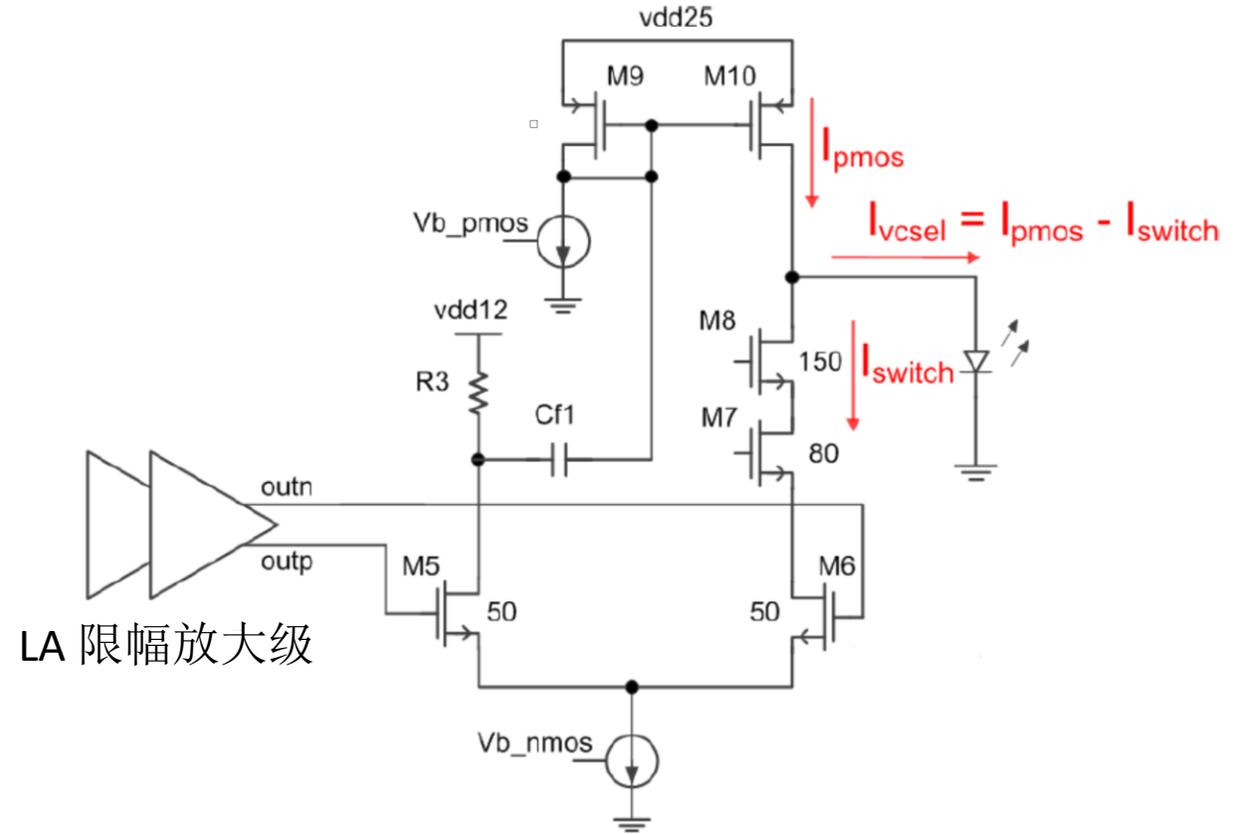
谢谢聆听！

备份

Output Driver输出级设计

- Output Driver输出级别设计

- 输出级的作用是将LA限幅放大器输出的高速差分电压信号，转换成高速电流信号，以驱动激光器
- M9-M10构成PMOS电流镜提供“总电流” I_{pmos}
- M5-M6构成“差分对”，形成不断调制的 I_{switch} 电流
- 最终输出电流 = $I_{\text{pmos}} - I_{\text{switch}}$
- M7-M8构成保护管
- Cf1 前馈电容，将高频信号耦合至电流源栅极，具有提高带宽作用



一个典型的激光器驱动芯片输出级设计原理图

D. Guo et al., *Developments of two 4 × 10-Gbps VCSEL array drivers in 65 nm CMOS*, Journal of Instrumentation, February 2017, Vol.12, C02065