环形正负电子对撞机
Circular Electron Positron Collider

中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

180 nm工艺4 Gbps高速串行器电路设计

李筱婷，魏微，张颖等
中国科学院高能物理研究所
2024. 7.17.

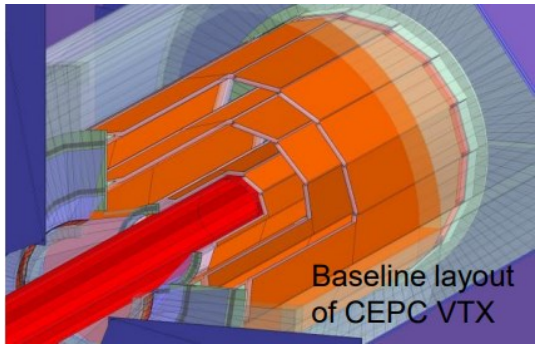
主要内容

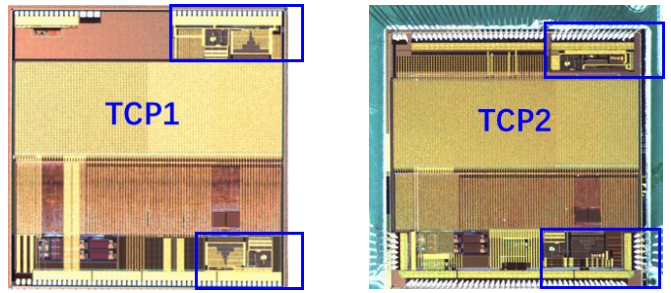
- **研究背景**
  - CEPC顶点探测器像素读出
  - 数据传输需求
- **研发进展**
  - TaichuPix中的串行读出
  - 进一步验证
  - 最新测试结果
- **总结**

研究背景

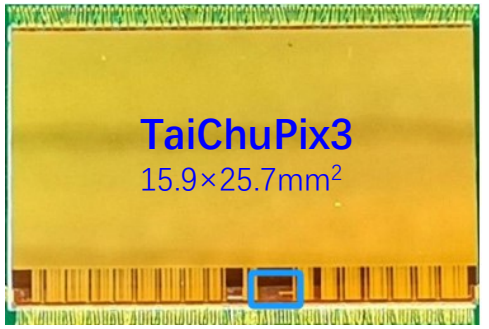
CEPC顶点探测器

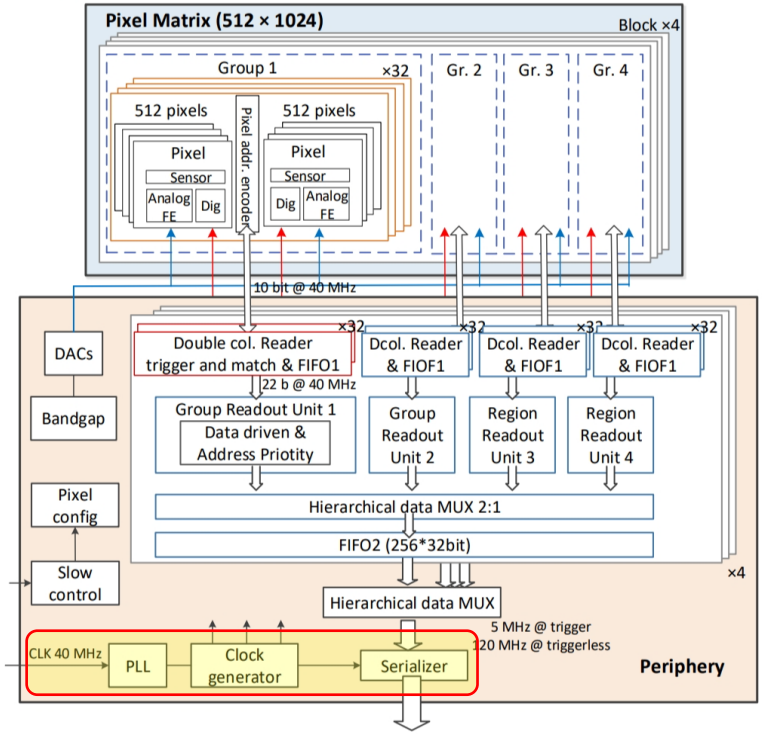
- MOST2性能参数
  - 探测Higgs、W、Z
  - 空间分辨率优于5 μm
  - 像素阵列：25×25 μm^2, 512×1024
  - 低功耗等
- 数据传输需求
  - 击中率~120 MHz/chip@W
  - 裸数据率~3.84 Gbps
  - 触发数据率~110 Mbps
- 芯片研发进程
  - 小阵列原型验证（TCP1、TCP2）
  - 全尺寸工程批验证（TCP3）
  - 串行接口设计
    - 采用CMOS逻辑二叉树结构
    - 环振锁相环（ROPLL）
    - CML驱动器





Array: 64×192 （5×5 mm^2）

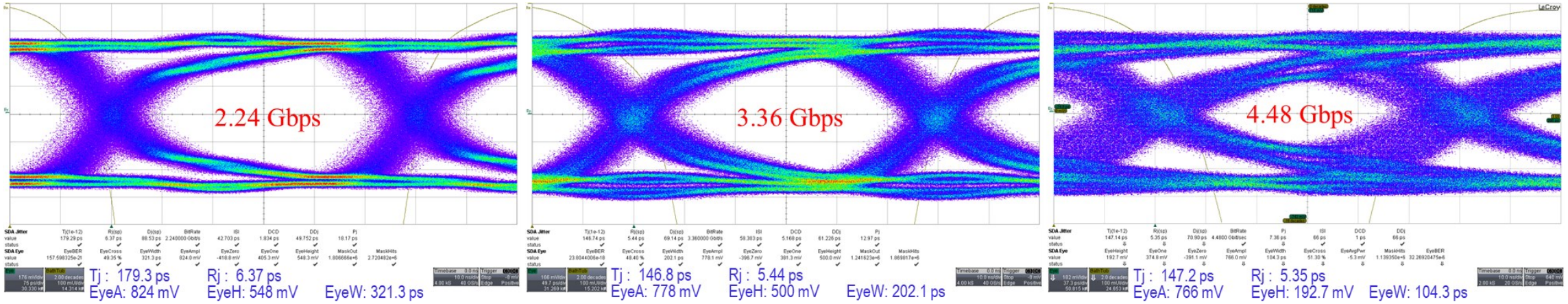




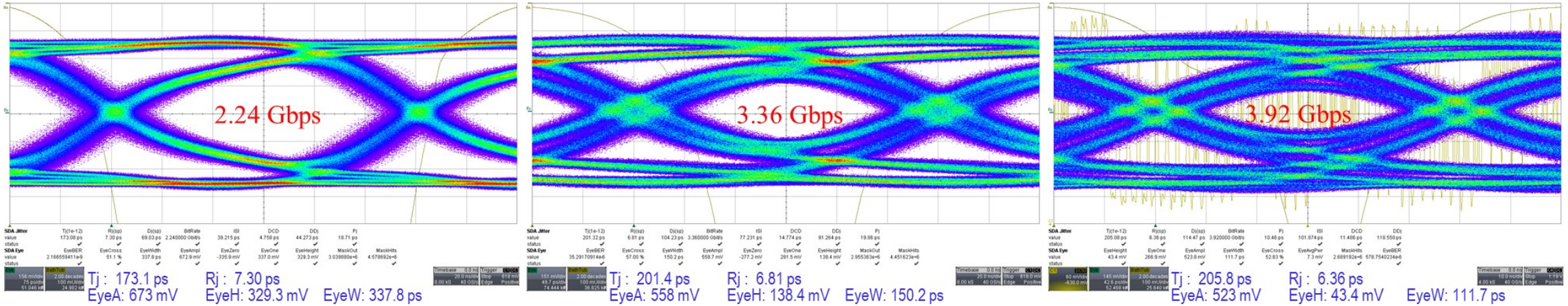
For Vertex	Specs	For High rate Vertex	Specs.	For Ladder Prototype	Specs.
Pixel pitch	≤ 25 μm	Hit rate	120 MHz/chip	Pixel array	512 row × 1024 col
TID	>1 Mrad	Data rate	**3.84 Gbps** --triggerless **~110 Mbps** --trigger	Power Density	< 200 mW/cm^2 (air cooling)
		Dead time	< 500 ns --for 98% efficiency	Chip size	~1.4 × 2.56 cm^2

CEPC顶点探测器像素读出芯片

TaiChuPix1芯片串行器自测试眼图



(a) 6-GHz differential probe tests



(b) 1-m SMA cable tests

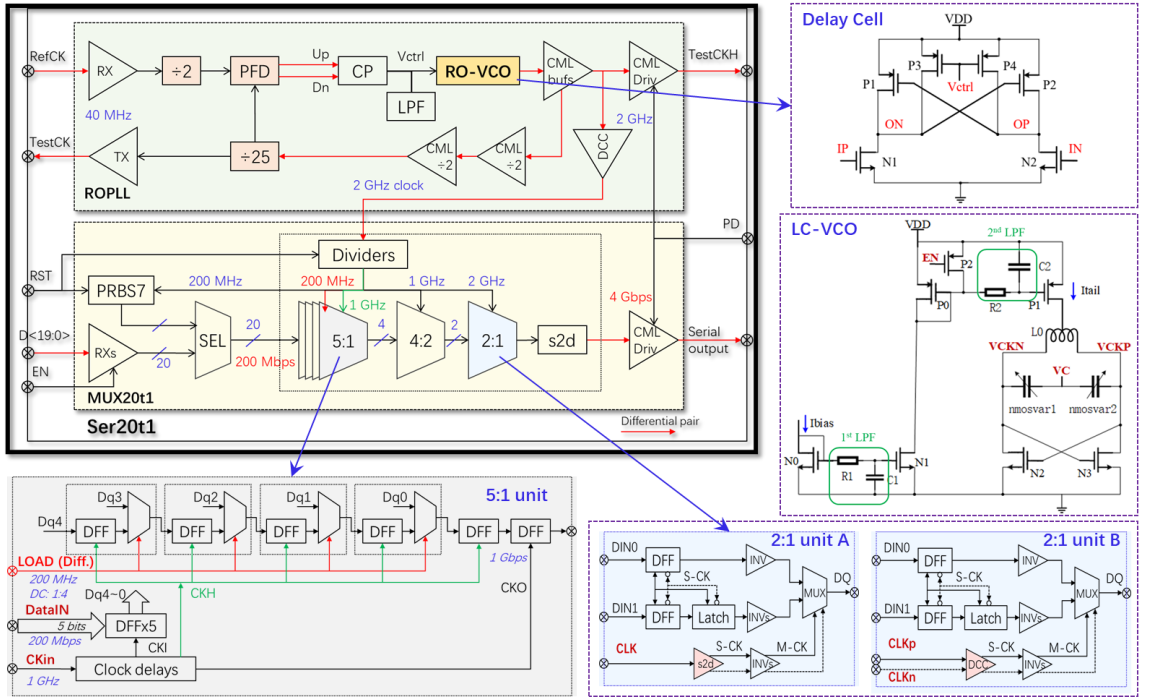
研发进展

存在的问题

- 抖动偏大（Tj：150~200ps）
- 功耗偏大（>100 mA）
- 编码后数据位宽不足（32→40）
- 驱动力不足

进一步验证

- 其它180 nm工艺（成本、周期等）
  - 4.48 → 4 Gbps
- 20:1/40:1 串行核心
  - CMOS逻辑
  - 移位链+二叉树
- RO/LC锁相环
- 后仿真电流
  - SER20t1：75 mA
  - SER40t1：84 mA



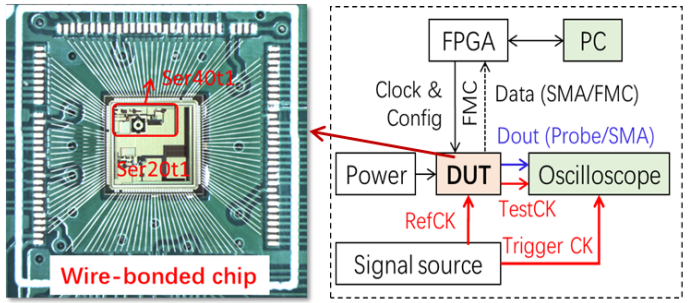
Performance parameters of the PLLs.

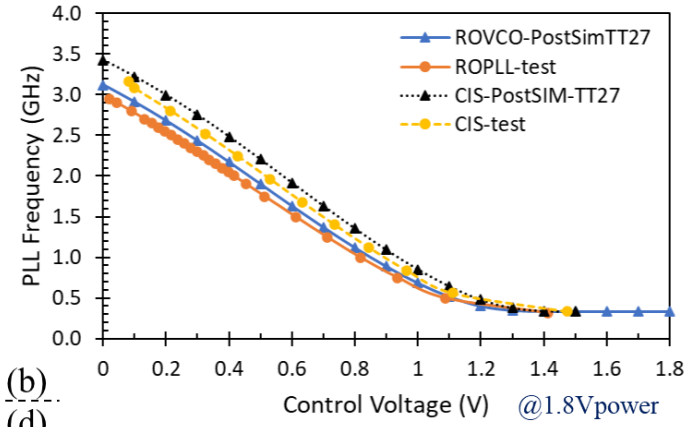
Performance	RO-PLL	LC-PLL	PLL in TaiChuPix
Frequency range (FTR) (GHz)	0.34–3.12	1.8–2.3	0.32–3.4
Phase Noise @1 MHz (PN-1M) (dBc/Hz)	−103	−118	−100 @ 2.24 GHz
Loop Bandwidth (LBW) (MHz)	0.5–2.9	0.22–1.3	0.53–4.8
Current (mA)	~27.63	~34	~40
Area (including test modules) (mm^2)	0.35	0.68	0.24

研发进展

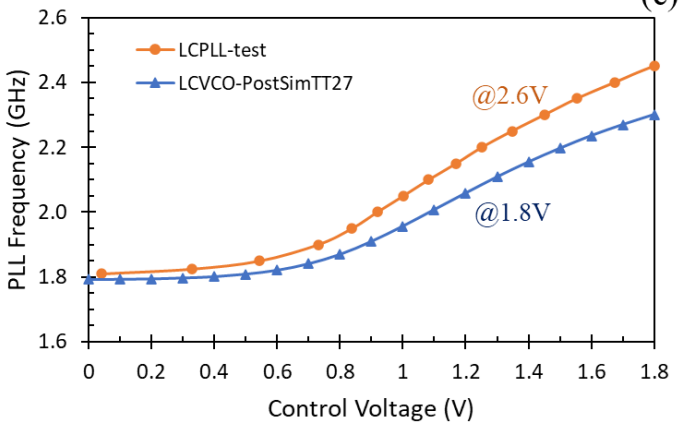
初步测试结果

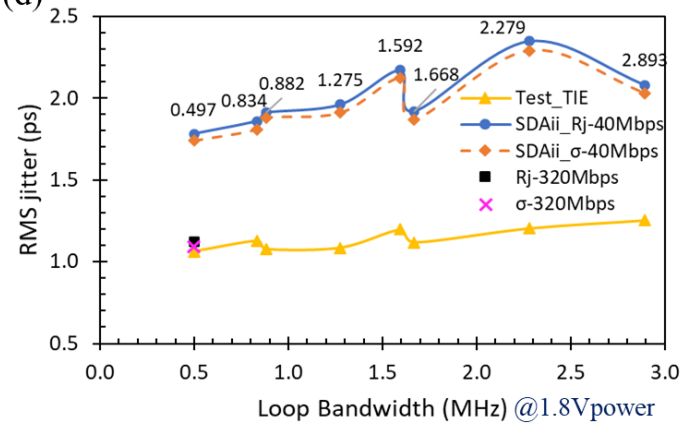
- ROPLL
  - 频率范围：0.32~2.95 GHz
  - 20MHz时钟Rj:
    1.8ps（SDAii），1.07 ps （TIE）
- LCPLL（2.6 V）
  - 频率范围：1.81~2.45 GHz @2.6V
  - 20MHz时钟Rj:
    1.0ps（SDAii），0.7 ps （TIE）
- 整体功能@4 Gbps、2.6V
  - 两个设计串行码流均正确
  - 眼图清晰，但幅度偏小





(a) (b)
(c) (d)



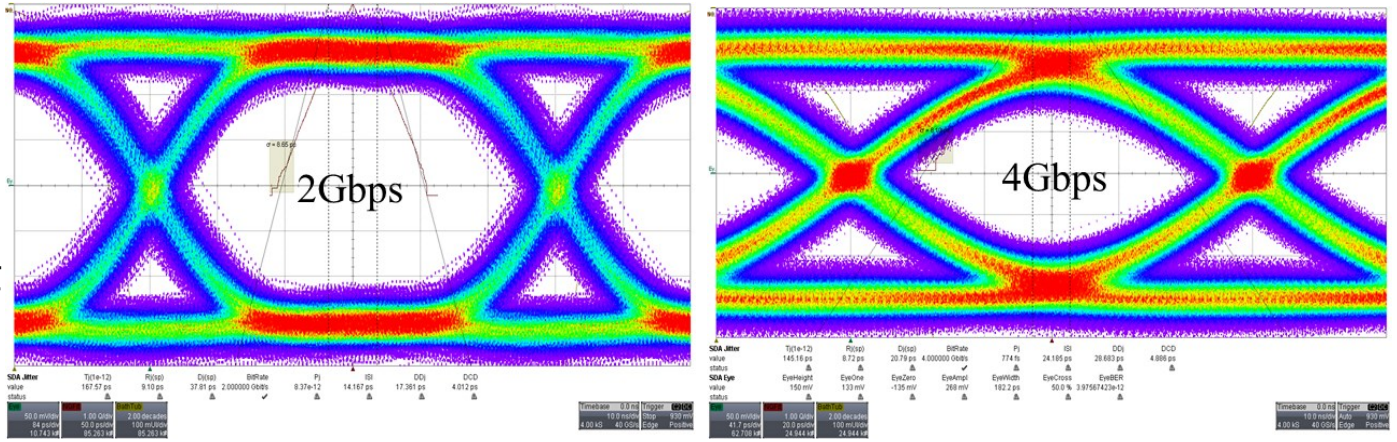


Xiaoting Li, Wei Wei*, Ying Zhang et al., NIM-A 2024

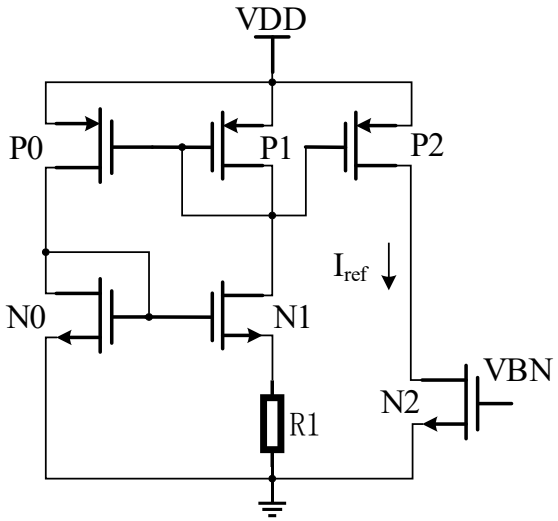
研发进展

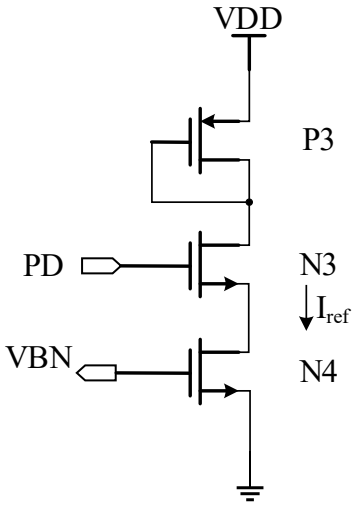
存在的问题

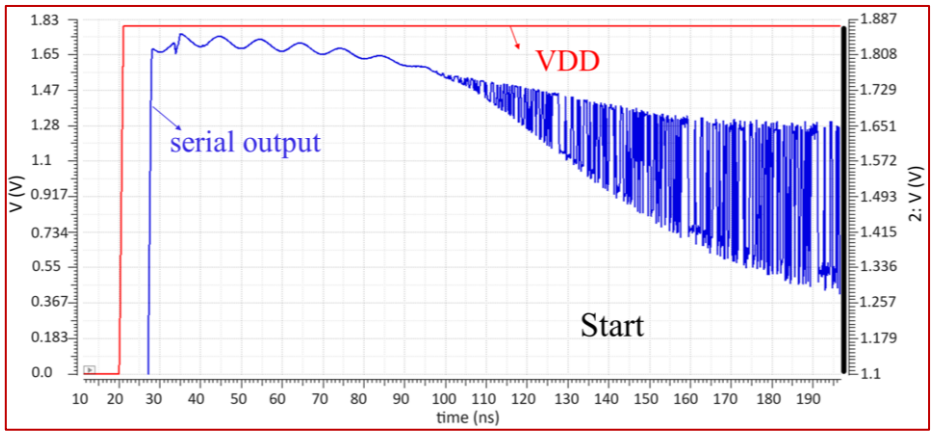
- 偏置电路
  - LCVCO、CML driver
  - 导致LCVCO需提高供电电压才能工作
  - 导致CML driver输出电流不足
- 仿真重现
  - 上电能启动，但时间偏长（相对其它工艺、其它设计）



SER40t1眼图@2.6V

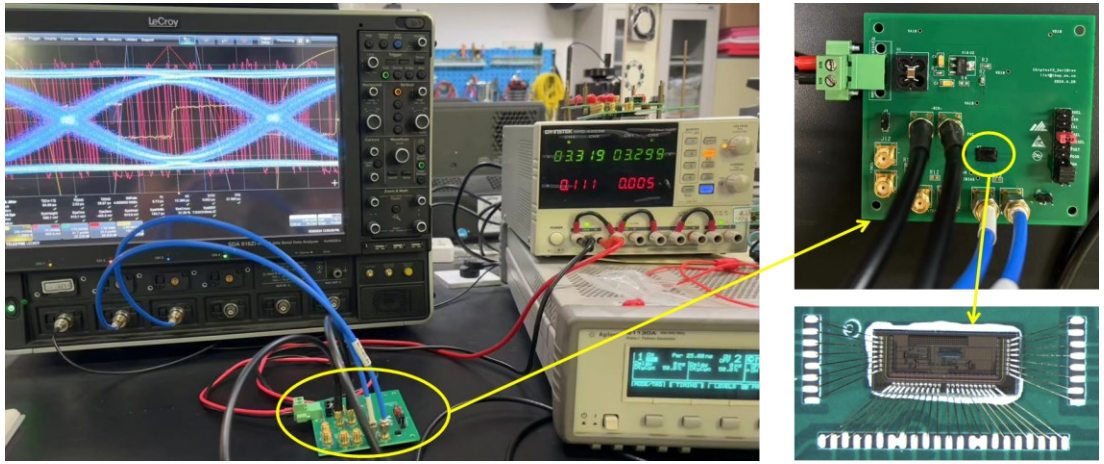


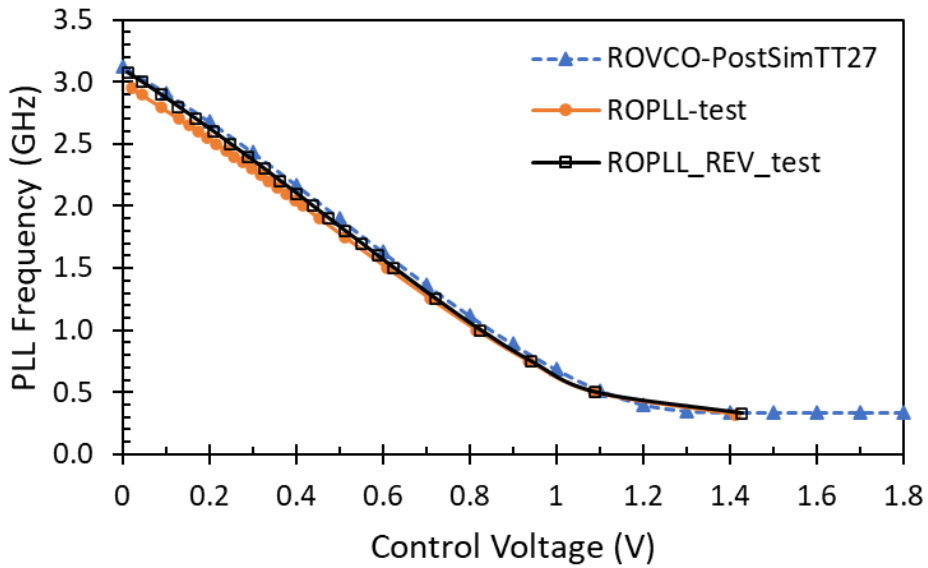




研发进展

- **修正版再验证**
  - 简化偏置电路，并引出尾管电压偏置
  - SER40t1更新版（23年10月）
    - ROPLL，~78mA
- **最新测试结果**
  - ROPLL时钟性能
    - 调频范围：0.33~3GHz
    - 20MHz时钟Rj：
      - ~2.1ps（SDAii）、~1.5ps（TIE）
    - 2GHz时钟Rj：
      - ~1.33ps（SDAii）、~2.3ps（TIE）

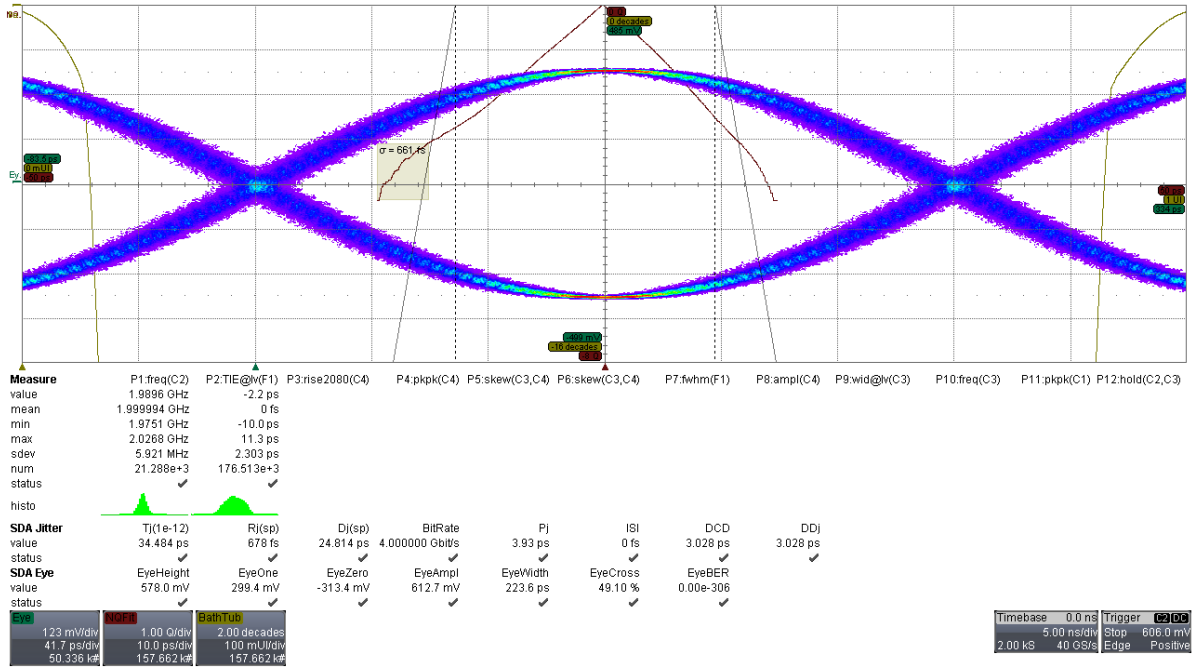


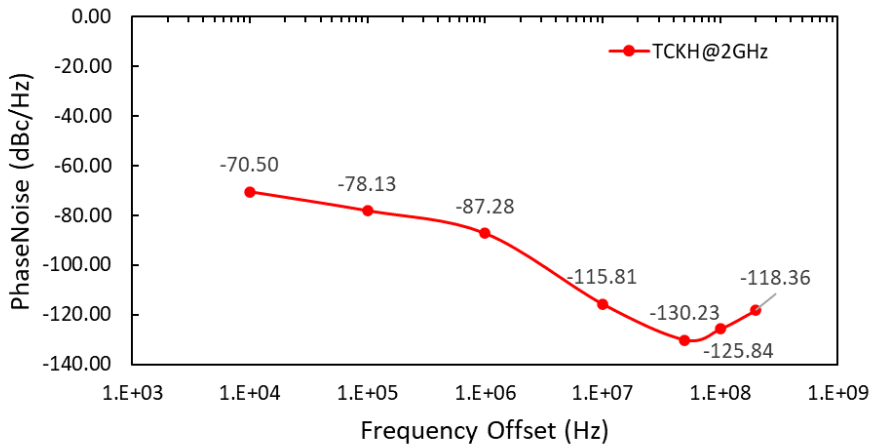


研发进展

最新测试结果

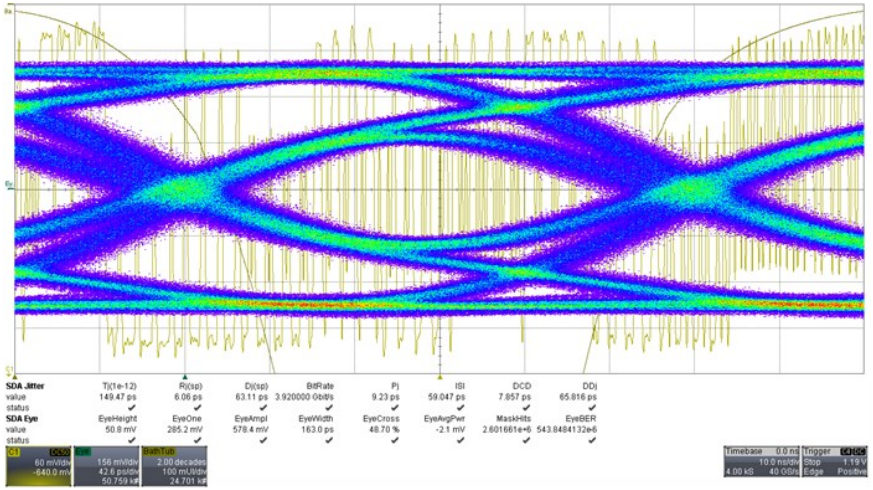
- ROPLL时钟性能
  - 相位噪声：-87.28dBc/Hz @2GHz、1MHz offset （初步结果，待确定）
- 整体@4 Gbps、1.8V
  - 总电流：84mA（相比后仿真，多的6mA来自driver）
  - 串行码流正确，眼图清晰



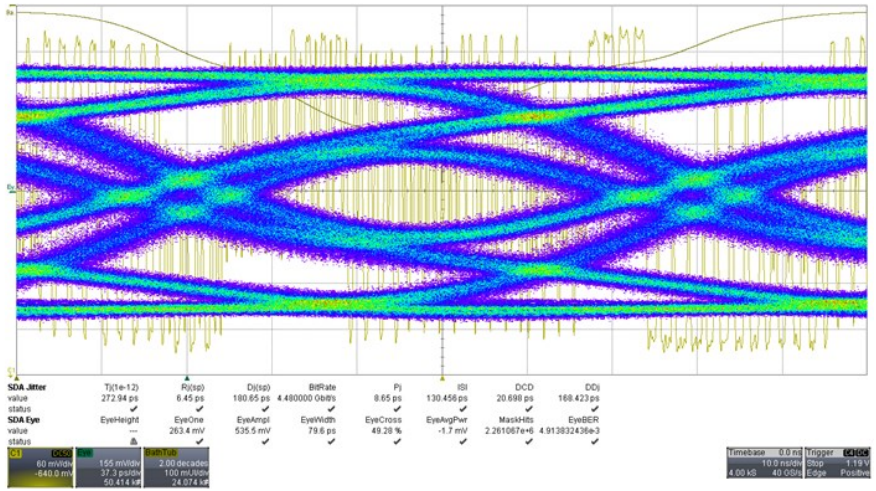


研发进展

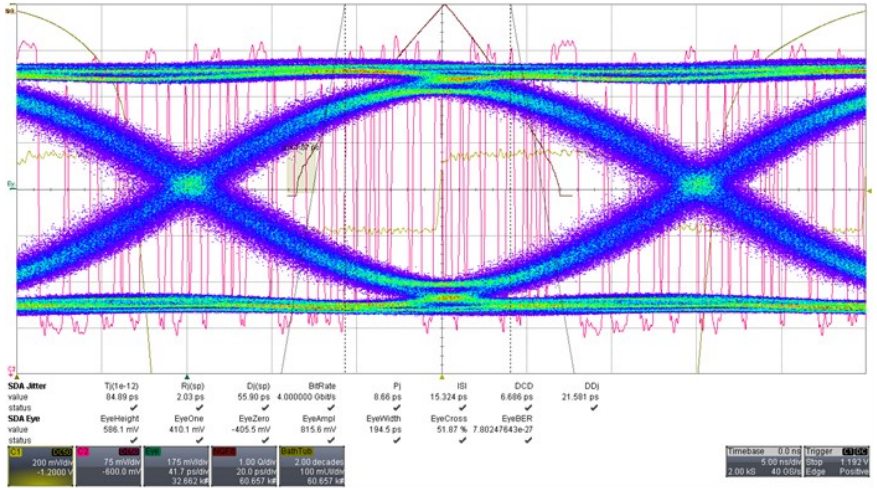
- **眼图测试对比**
  - 4Gbps：
    - Rj=2.1ps, Tj=85ps, EyeH=0.58V, EyeW=0.778UI
  - 4.8Gbps
    - Rj=1.7ps, Tj=85ps, EyeH=0.51V, EyeW=0.717UI
- **下一步计划**
  - 加重负载测试
  - 增强驱动力设计
  - 尝试FIB修正
    - LCPLL方案性能
  - 65 nm调研与评估



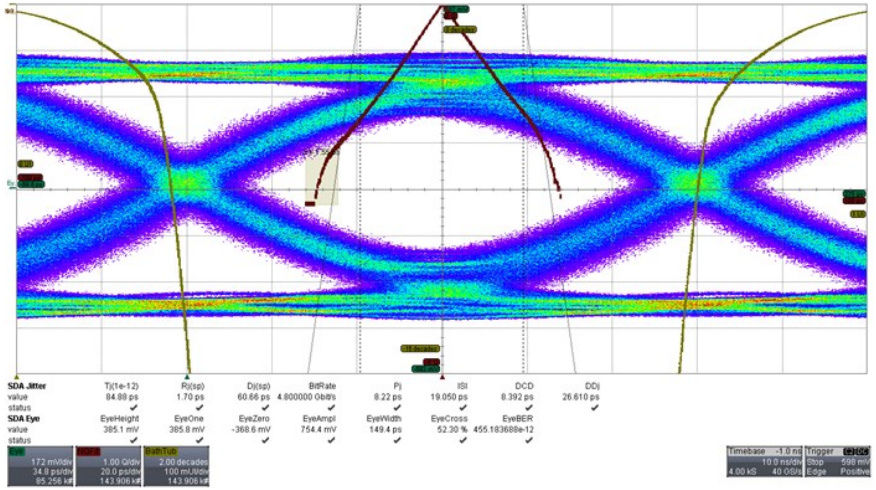
TaiChuPix1: 3.92Gbps



TaiChuPix1: 4.48Gbps



SER40t1Rev: 4Gbps



SER40t1Rev: 4.8Gbps

总结

- 在180nm工艺上实现了4 Gbps的串行数据传输，验证了方案可行性
- 通过优化设计进一步降低了高速率时的功耗
- CEPC顶点探测器65nm工艺上的研发，可采用相似设计架构

感谢各位老师！