

180 nm 工艺 4 Gbps 高速串行器电路设计

Wednesday, 17 July 2024 09:00 (15 minutes)

随着高能物理实验亮度逐步提升,数据量显著增长,如环形正负电子对撞机(CEPC)顶点探测器研发的TaiChuPix芯片,采用180 nm工艺实现,像素尺寸 $25\times 25\mu\text{m}^2$ 、阵列规模 512×1024 ,原始数据速率高达3.84 Gbps。基于其中一个小规模原型,测试的最高串行数据速率为3.36Gbps,峰间抖动及电流消耗均偏大,且存在数据宽度不匹配的问题。为优化和解决上述问题,同时考虑资金和时间成本,我们基于同尺寸另一工艺,开展了4 Gbps串行器的两个原型电路的设计验证(20:1和40:1)。串行器主要由环振或LC型锁相环(PLL)、基于移位链的5:1子多路复用器、基于二叉树结构的4:1或8:1子多路转换器、时钟分配器和高速驱动器组成。该芯片的测试结果表明,其中一个偏置电路设计存在启动问题(于LCPLL及高速驱动器中),可通过抬升供电电压暂时回避此问题。测得ROPLL时钟调频范围为 $0.32\sim 2.95\text{GHz}$ @1.2V,随机抖动约1.1ps;LCPLL调频范围为 $1.81\sim 2.45\text{GHz}$ @2.6V,随机抖动约0.7ps;两者均远好于TaiChuPix。电压抬升后,工作在4 Gbps时,两者串行码流输出正确,且能观测到幅度较小但比较清晰的眼图。修正版芯片更正了偏置问题,初步测试4Gbps眼图清晰可见,其眼高和眼宽分别为0.58V和0.778 UI,随机和总抖动分别约为2.1ps和85ps;该结果表明初版芯片问题确实存在于偏置,后续将在初版芯片上通过FIB技术修正或引出偏置,进一步测试验证。详细测量结果及部分电路设计将在会议上报告。

Primary author: LI, Xiaoting (高能所)

Co-authors: WEI, Wei (高能所); ZHANG, Ying (IHEP)

Presenter: LI, Xiaoting (高能所)

Session Classification: 第二分会场 (RBS5)

Track Classification: 电子学