

## 完全基于片上资源的三级高精度、低抖动、宽范围数字延迟发生器原型研制

Tuesday, 16 July 2024 11:15 (15 minutes)

本文介绍了一种数字延迟发生器 (DDG) 原型的设计方案与实现过程, 该原型具备高精度、低抖动和宽延迟范围的特点, 并完全基于现场可编程门阵列 (FPGA) 实现。该 DDG 的结构融合了嵌入式时间-数字转换器 (TDC) 与多级时间插值 (MTI) 延迟逻辑的组合。本文深入探讨了在外部触发模式下影响延时抖动的各种因素, 并精心选取了针对这些因素的优化策略。嵌入式 TDC 通过自动校准, 能够精准地测量外部触发器与 FPGA 内部时钟信号之间的时间差。当其 MTI 延迟逻辑结合时, 便实现了对延迟时间的高精度调控。此设计完全利用 FPGA 的内置资源, 不仅简化了实现过程, 还提高了对各种应用场景的适应性。测试结果表明, 该原型的延迟分辨达 20 ps, 并且在外部触发模式下工作时, 能够实现峰峰值 105 ps (RMS 值 20 ps) 的抖动性能。

**Primary authors:** 刘, 金鑫 (Microsystem and Terahertz Research Center); Dr 邓, 佩佩 (中国工程物理研究院微系统与太赫兹研究中心); Ms 刘, 娟 (中国工程物理研究院微系统与太赫兹研究中心); Ms 王, 颖 (中国工程物理研究院微系统与太赫兹研究中心); Dr 吴, 错 (中国工程物理研究院微系统与太赫兹研究中心); Mr 徐, 伟杰 (中国工程物理研究院微系统与太赫兹研究中心)

**Presenter:** 刘, 金鑫 (Microsystem and Terahertz Research Center)

**Session Classification:** 第二分会场 (RBS2)

**Track Classification:** 电子学