



**KIT**  
Karlsruher Institut für Technologie



# 55nm单片HVCMOS探测器原型芯片

陆卫国 ( [luwg@ihep.ac.cn](mailto:luwg@ihep.ac.cn) )

On behalf of the CEPC Inner Tracker group

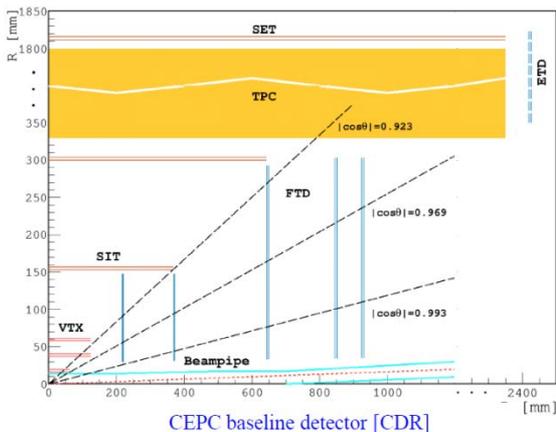
NED2024  
青岛, 7月17日

# 报告内容

- 研究背景
  - CEPC内层径迹探测器
  - 硅径迹探测器现状和趋势
- COFFEE芯片研发
  - COFFEE1和COFFEE2的设计
  - 测试准备和部分结果
- 总结与展望

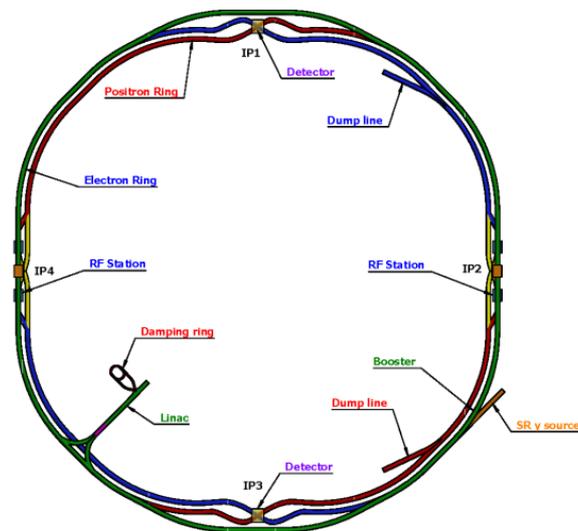
# CEPC内层硅径迹探测器

- CEPC内层硅径迹探测主要需求
  - 面积： $> \sim 70\text{m}^2$
  - 位置分辨： $< \sim 10\mu\text{m}$
  - 功耗： $< 200\text{mW}/\text{cm}^2$
  - 质量： $< 1\%$  ?
  - 抗辐照： $\text{NIEL} > \sim 10^{14} n_{\text{eq}}/\text{cm}^2$  ?



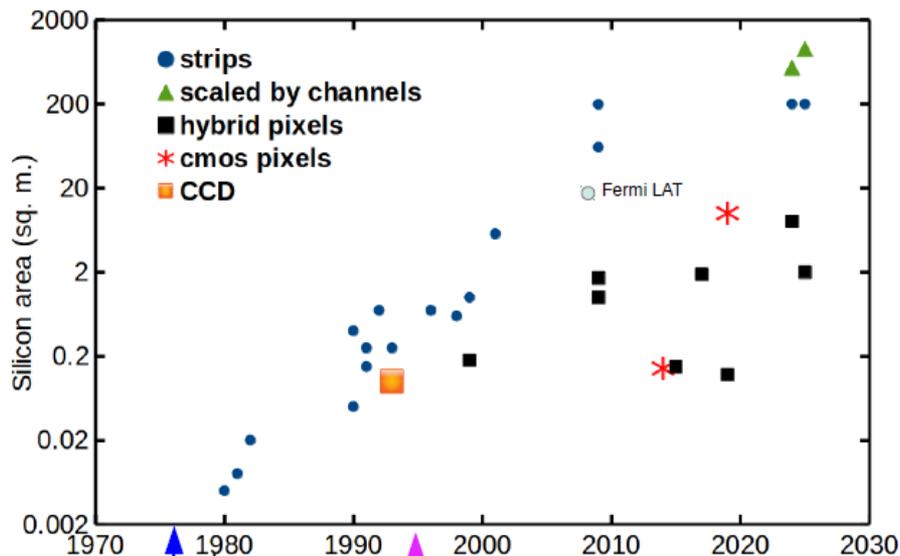
$$\sigma_{1/p_T} = a \oplus \frac{b}{p \sin^{3/2} \theta} \quad [\text{GeV}^{-1}]$$

$a \sim 2 \times 10^{-5} \text{GeV}^{-1}$   
 $b \sim 1 \times 10^{-3}$



CEPC：正负电子对撞机，Higgs工厂

# 加速器粒子物理实验中的硅探测器



## Strip Detectors

- 1980 NA1
- 1981 NA11
- 1982 NA14
- 1990 MarkII
- 1990 DELPHI
- 1991 ALEPH
- 1991 OPAL
- 1992 CDF SVX
- 1993 L3
- 1996 CDF SVX'
- 1998 CLEO III
- 1999 BaBar
- 2001 CDF SVXII+ISL
- 2009 ATLAS SCT
- 2009 CMS tracker
- 2025 ATLAS ITK
- 2025 CMS upgrade

## Hybrid Pixels

- 1999 Delphi
- 2009 ATLAS
- 2009 CMS
- 2015 ATLAS IBL
- 2017 CMS
- 2019 velopix
- 2025 ATLAS
- 2025 CMS

## CMOS Pixels

- 2014 STAR
- 2019 ALICE

## CCDs

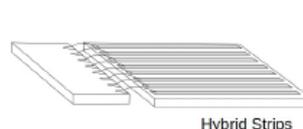
- 1993 VXD

First CCD  
digital  
cameras

Start of HEP  
IC design

Year of first data taking

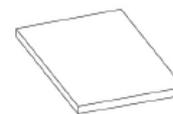
CMOS sensors  
used in webcams



Hybrid Strips



Hybrid Pixels



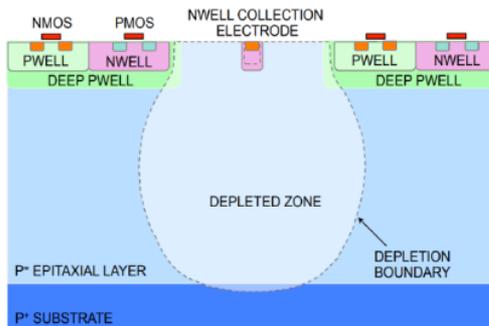
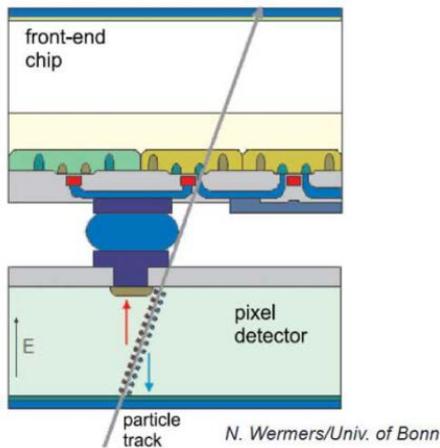
Monolithic

M. Garcia-Sciveres @ HSTD 13, Dec 2023

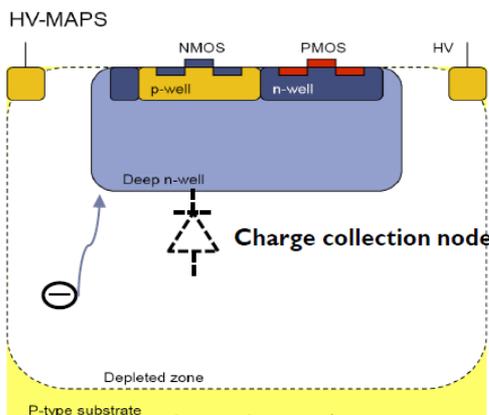
# Hybrid to Monolithic

- 混合式向单片式发展

- 混合式：目前运行系统的主流探测器类型，传感器和读出电路可分别优化，复杂的组装工艺
- 单片式：传感器和读出电路集成到同一硅片上，低组装成本，低物质质量



小电极：更小的收集极电容，低噪声，低功耗



大电极：更快的电荷收集，更好的抗辐照性能

# HVCMOS芯片现状

Chip	Pixel size [ $\mu\text{m}^2$ ]	Array size	Noise [e-]	Power density [ $\text{mW}/\text{cm}^2$ ]	Fluence [ $n_{\text{eq}}/\text{cm}^2$ ]
ATLASPix (AMS/TSI 180 nm)					
ATLASPix1	60 × 50	56 × 320	~200	170	$1 \times 10^{15}$
ATLASPix3	50 × 150	372 × 132	~60	~150	$1.5 \times 10^{15}$
MuPix10	80 × 80	256 × 250	75	190	
LF-Monopix (LFoundry 150 nm)					
LF-Monopix1	50 × 250	129 × 36	~200	~288	$10^{15}$
LF-Monopix2	50 × 150	340 × 56	~100	~400	
RD50 (LFoundry 150 nm)					
RD50-MPW1	50 × 50	40 × 78			$2 \times 10^{15}$
RD50-MPW2	60 × 60	8 × 8	~50		$2 \times 10^{15}$

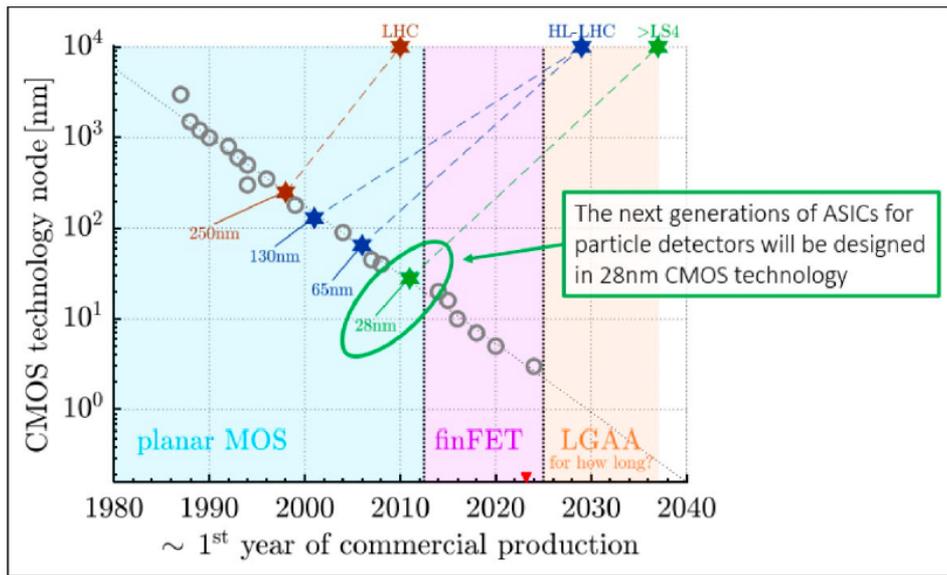
\* An incomplete compilation of HVCMOS sensors

from周扬

- 主流工艺180nm和150nm
- 性能和功耗受限于工艺
- NIEL >  $\sim 10^{15} n_{\text{eq}}/\text{cm}^2$

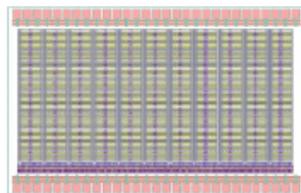
# 55nm工艺节点

- 更好的性能表现
  - 更高的集成密度
  - 相同的面积可以集成更多的功能电路
  - 更低的功耗
  - 更快的速度
- 工艺可持续
  - 半导体制程的发展趋势
  - 高能物理实验5-10年的研发周期
  - 批量生产支持
- 性价比
  - 国外已经开始28nm的研发，国内基本130nm以上
  - 成本和性能上的折衷



P. Moreira @ CEPC workshop, Oct 2023

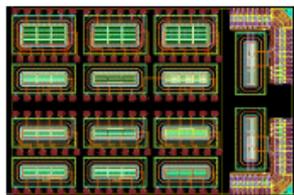
# COFFEE系列芯片研发



计划 2022.3

- 55nm HV-CMOS工艺上的第一次设计尝试;
- 因当年半导体行业产能问题, **流片被迫取消**

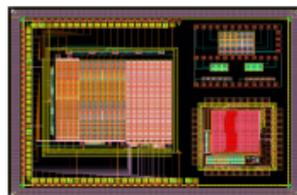
COFFEE1



2022.10

- 55nm Low-leakage 工艺;
- 第一版成功投片的设计;
- 特殊的DNW规则, 验证信号收集原理;

COFFEE2



2023.8

- 55nm HV-CMOS 工艺;
- 高阻衬底: 1k  $\Omega\cdot\text{cm}$ ;
- 工艺摸索;
- 传感器特性研究;
- 像素内电子学验证;

COFFEE3



计划 2024.10

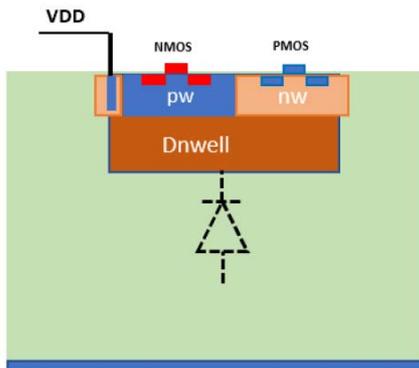
- 55nm HV-CMOS 工艺;
- 高阻衬底: 1k or 2k  $\Omega\cdot\text{cm}$
- 设计方案和功能验证;



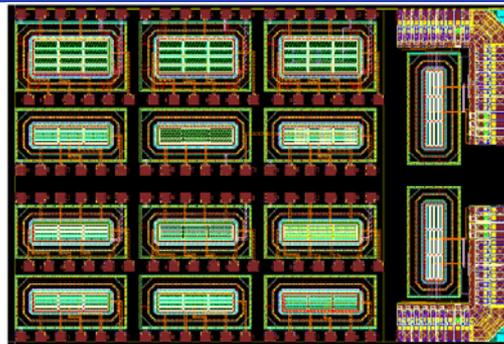
CMOS SENSOR IN  
FIFTY-FIVE NM PROCESS

# COFFEE1

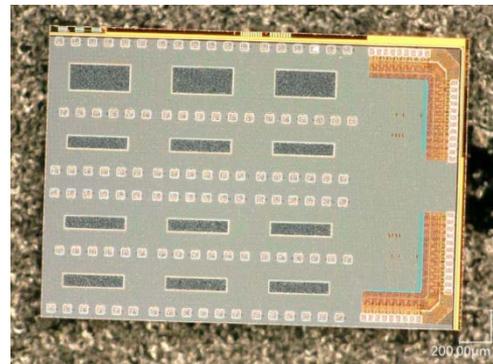
- MPW in 55nm Low Leakage process
- 非高阻衬底
- 具有深N阱结构（非常规）
- Diode阵列
- 部分像素集成放大器



工艺剖面示意图



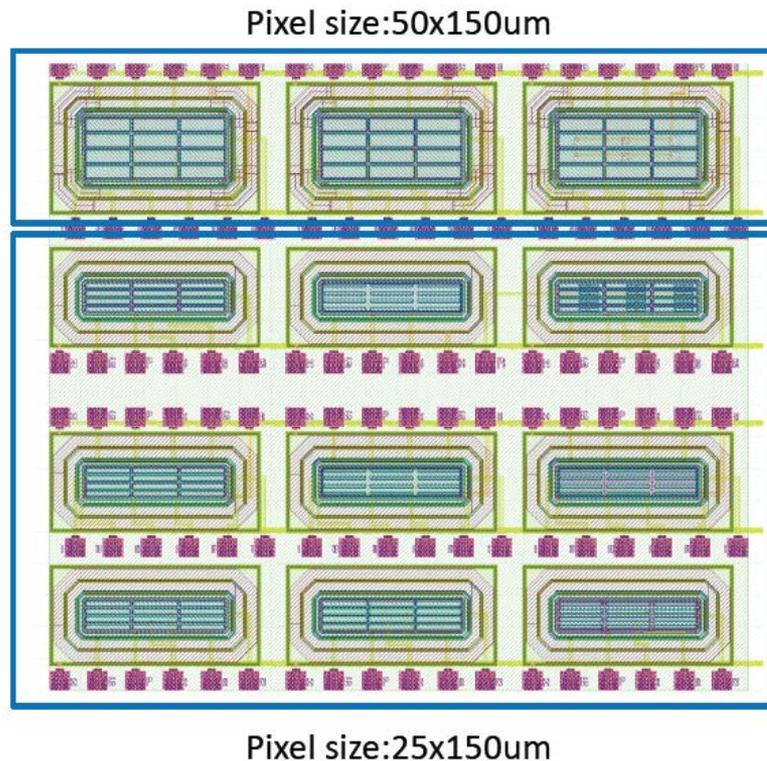
整体版图：3×2mm<sup>2</sup>。2022年10月提交



芯片实物：2023年4月收到，尺寸×0.9

# COFFEE1 : diodes

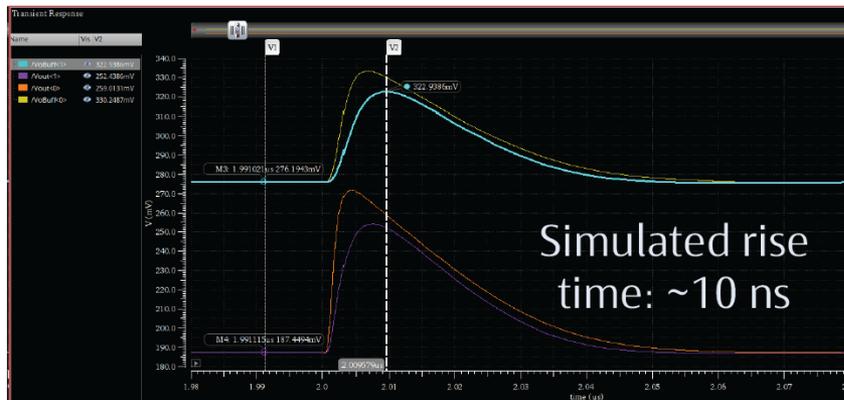
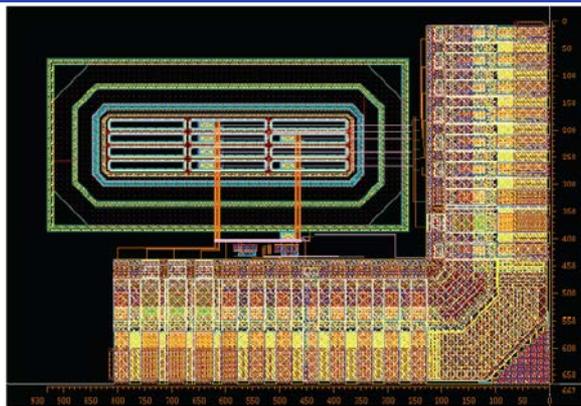
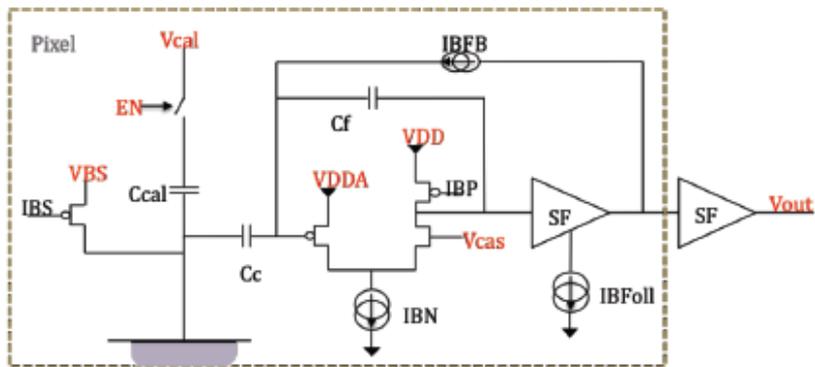
- 12种不同的传感器尺寸设计
  - 两种像素尺寸
    - $50\mu\text{m} \times 150\mu\text{m}$
    - $25\mu\text{m} \times 150\mu\text{m}$
  - 像素间是否有P stop
  - DNW间距： $5\mu\text{m}$ ， $10\mu\text{m}$ ， $15\mu\text{m}$
  - 不同的连接方式
- 每种设计对应 $3 \times 4$ 的设计用于电荷共享效应研究
- 像素内填充了Pwell，用于研究有源情况下的收集极电容



赵梅

# COFFEE1 : 读出电路

- 信号收集极采用有源电阻偏置，AC耦合到CSA
- 包含电荷注入测试端
- 电荷灵敏前放
  - 折叠共源共栅结构
  - 双电源
  - PMOS输入管
  - 恒流源做反馈电阻
- 源极跟随驱动模拟信号输出
- 6路接sensor，1路独立CSA



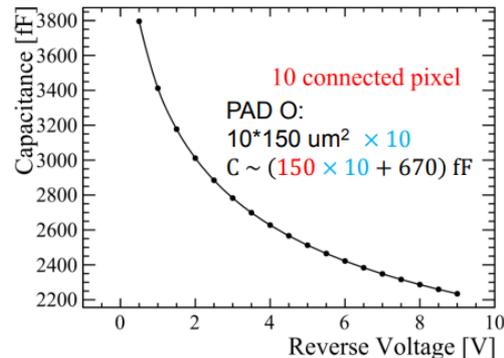
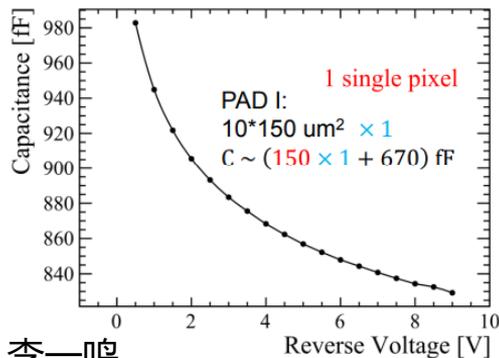
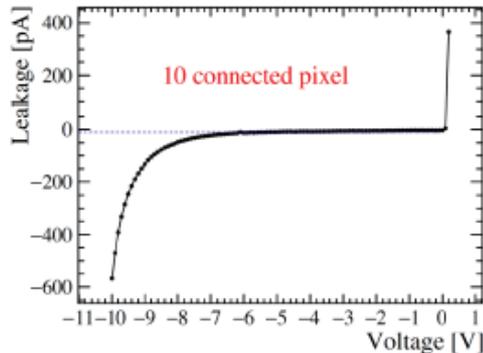
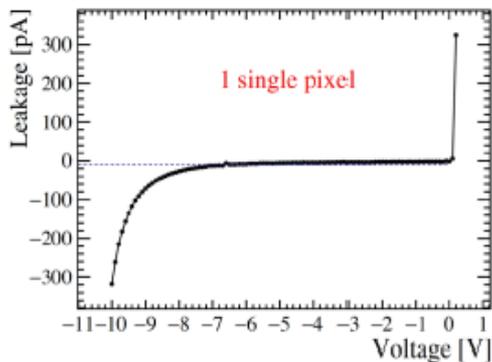
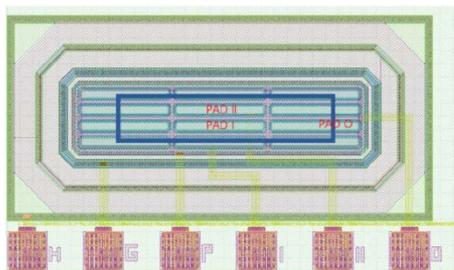
# COFFEE1测试

- IV测试

- 击穿电压：~-8V
- 漏电流：~10pA

- CV测试

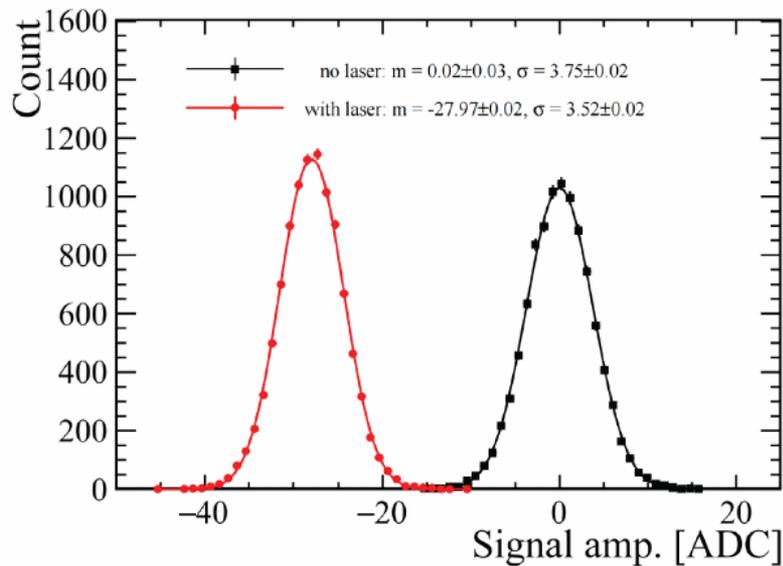
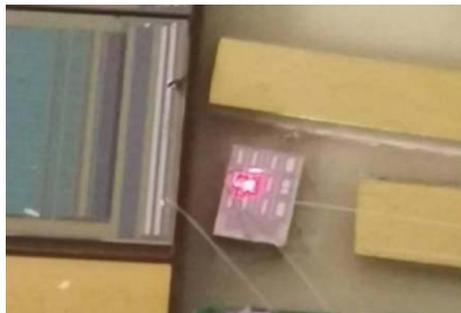
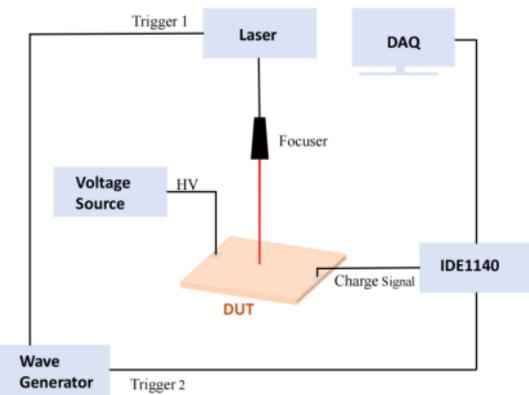
- 收集端等效电容  
( $25\mu\text{m} \times 150\mu\text{m}$ ) : ~150-200fF



项治宇, 徐子骏, 李一鸣

# COFFEE1激光测试

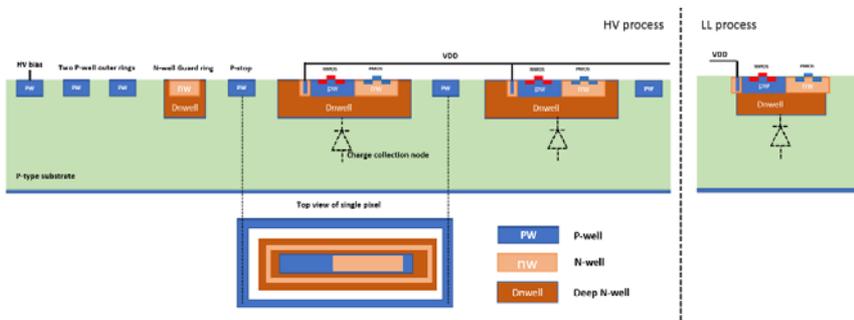
- 650nm激光
- 清晰的信号响应
  - 对应于 $\sim 2400e^-$



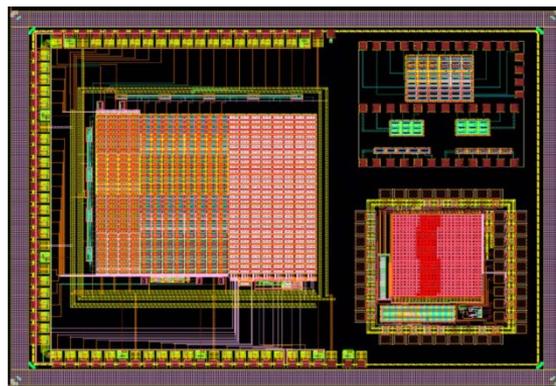
项治宇, 徐子骏, 李一鸣

# COFFEE2

- 55nm HVCMOS process
- 高阻衬底：1k  $\Omega\text{cm}$
- 三阱工艺：no deep Pwell
- 8层普通金属+2层顶层金属
- 无标准IO库



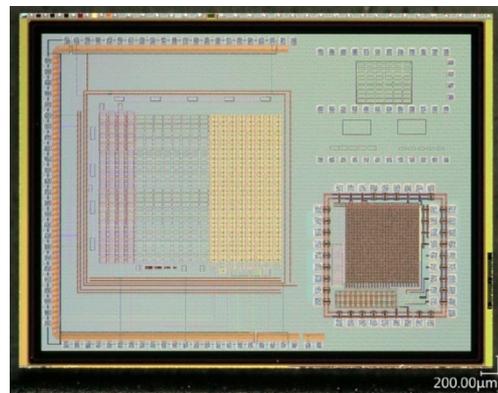
COFFEE2 保护环和像素结构示意图（左），与COFFEE1使用的工艺示意图对比（右）



整体版图：

4×3mm

2023年8月提交

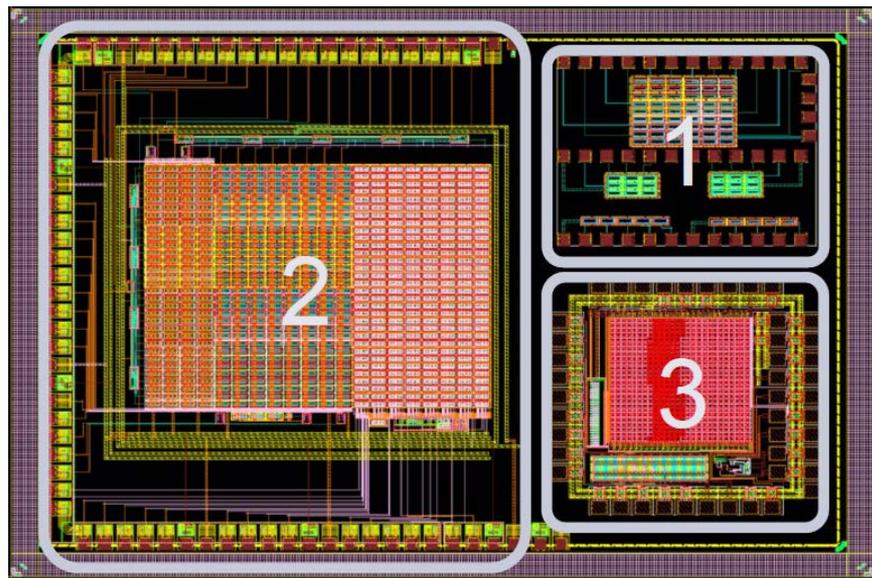


实物芯片：

2023年12月收到

# COFFEE2设计

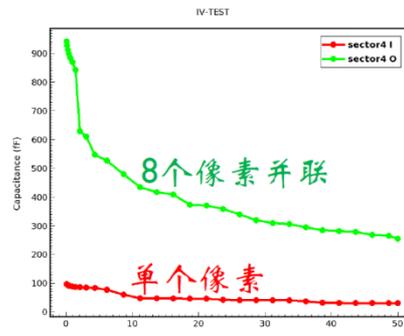
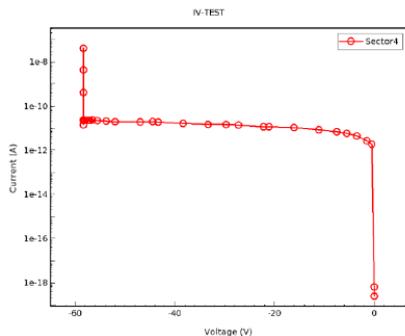
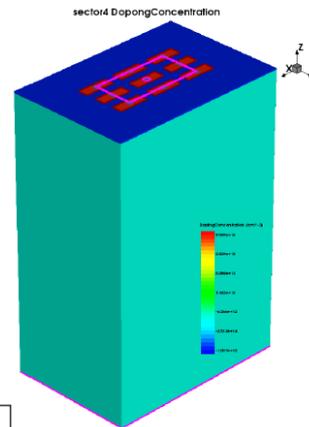
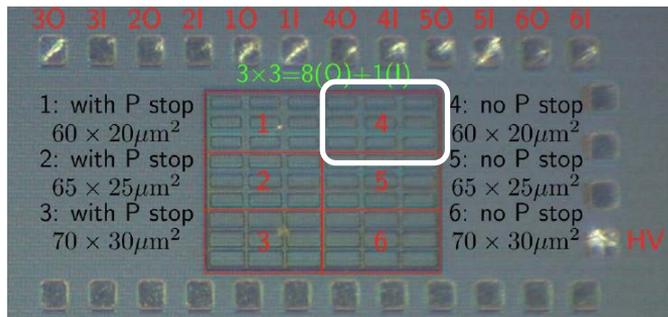
- 设计目标
  - 工艺摸索
  - 验证传感器结构和信号收集
  - 与电路集成的探索
- 设计
  - 区域1: 纯diode阵列，验证6种不同的结构
  - 区域2:  $32 \times 20$ 的像素的阵列，包含6种信号收集极结构和3中像素内电路结构
  - 区域3:  $26 \times 26$ 规模的像素阵列以及外围数字处理和读出模块



周扬，赵梅，谢坤妤，李乐怡，陈卓俊，  
Ivan，张慧，董若石

# COFFEE2 : diode

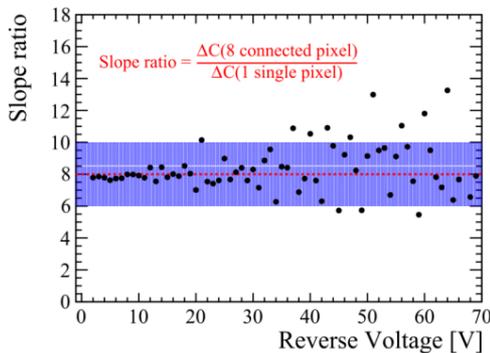
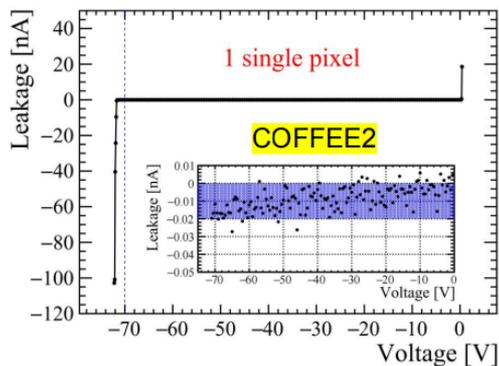
- 区域—6种不同的电荷收集diode设计
- TCAD仿真
  - 3×3像素阵列
  - 实际尺寸 (×0.9)
  - 芯片厚度500μm
  - 工艺掺杂按照经验值设定
- 初步仿真结果
  - 击穿电压：~58V
  - 漏电路：~10pA
  - 单个diode电容：~30fF (-50V)
  - 耗尽深度：~50μm



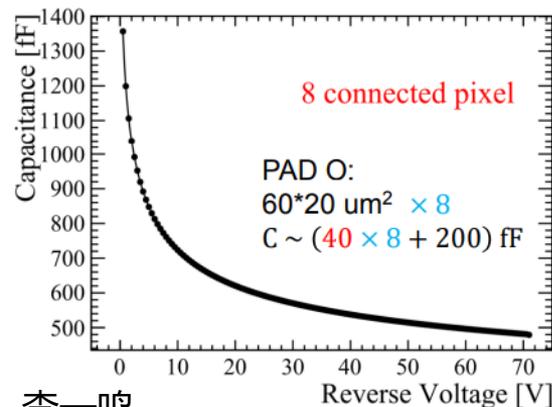
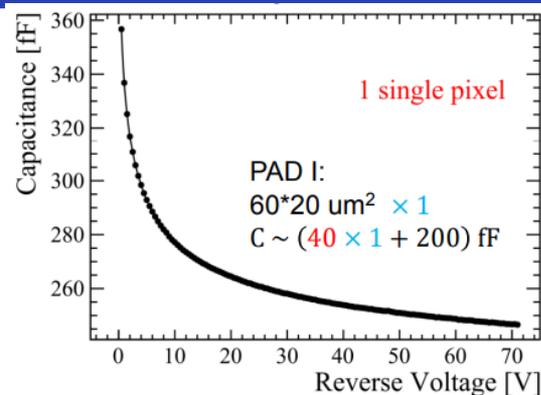
邓建鹏, 赵梅, 朱宏博

# COFFEE2 diode测试

- 初步测试结果
  - 击穿电压：~70V
  - 漏电流：~10pA
  - 单个diode电容
    - ~30-40fF (50V到70V偏置)
    - 走线引入的寄生电容~200fF

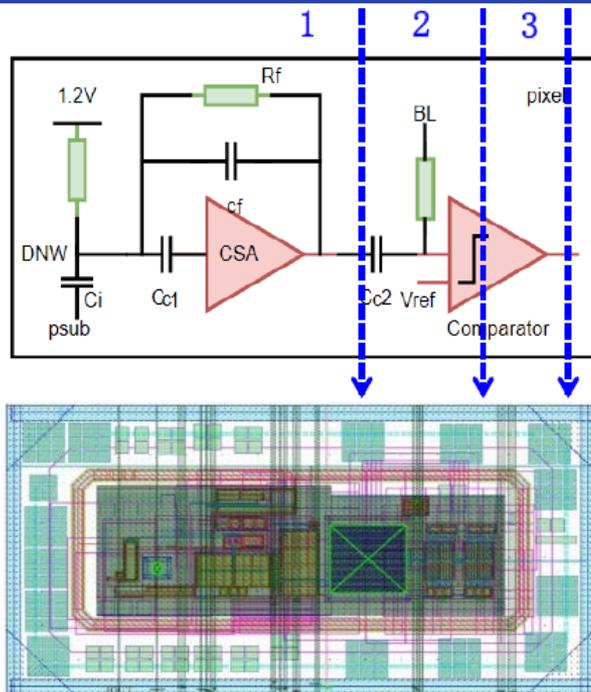
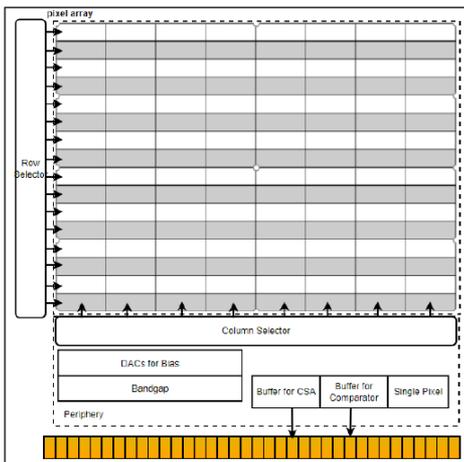


项治宇, 徐子骏, 李一鸣



# COFFEE2 电路设计

- 区域二目标
  - 像素内数字电路对电荷收集的影响
  - 关键模块的设计积累
- 三种像素内电路结构
  - 1, 仅CSA模拟读出
  - 2, CSA+NMOS比较器
  - 3, CSA+CMOS比较器
  - 行列选通控制读出地址

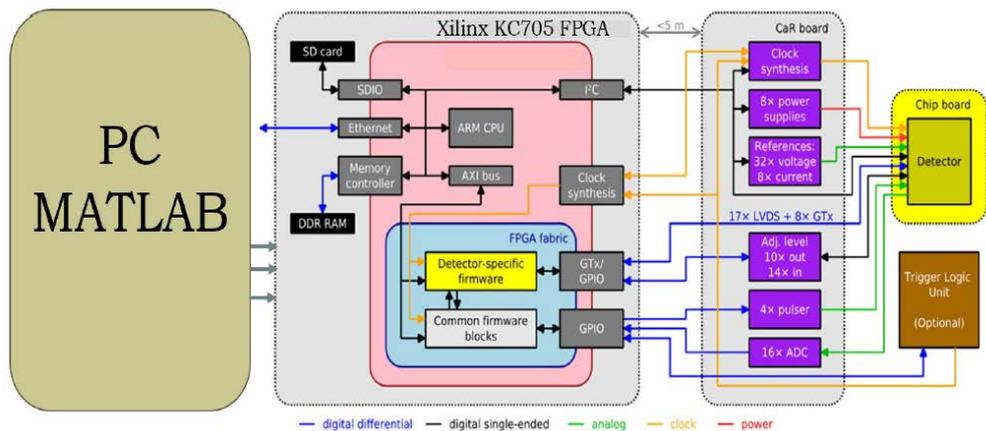
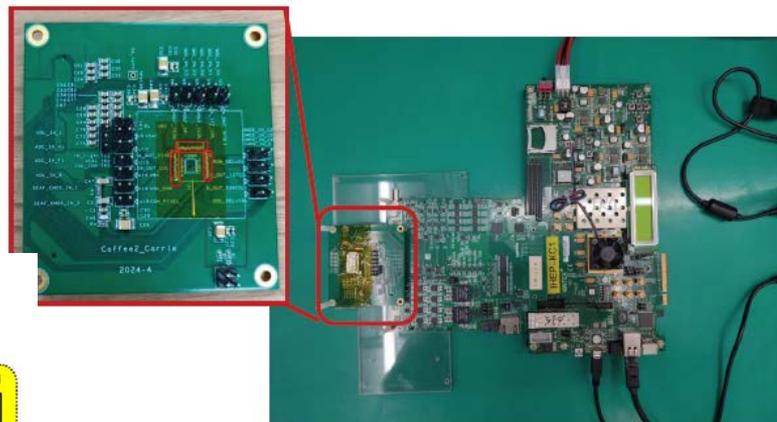


像素版图: 设计尺寸  $80\ \mu\text{m} \times 40\ \mu\text{m}$ ; 制造尺寸  $72\ \mu\text{m} \times 36\ \mu\text{m}$

周扬, 赵梅, 谢坤好, 李乐怡, 陈卓俊

# COFFEE2电路测试准备

- 测试系统
  - 芯片载板+CaR接口板+KC705+PC
  - I2C总线控制CaR板为芯片提供可调电源、偏置、刻度注入和控制信号



# 总结与展望

- 面向未来硅径迹探测需求，开展了基于HVCMOS 55nm的单片式像素型芯片研发
- COFFEE1芯片基于LL工艺，开启了设计和测试的积累
- COFFEE2基于高阻衬底HVCMOS工艺
  - Diode设计和测试取得了初步结果
  - 电路测试正在开展
- 基于测试结果和更完善的仿真，计划COFFEE3的提交

欢迎批评指正