

TSV制造与组装工艺及应用

任征宇

2024年10月25日

华进半导体封装先导技术研发中心有限公司



TSV概述



TSV制造工艺



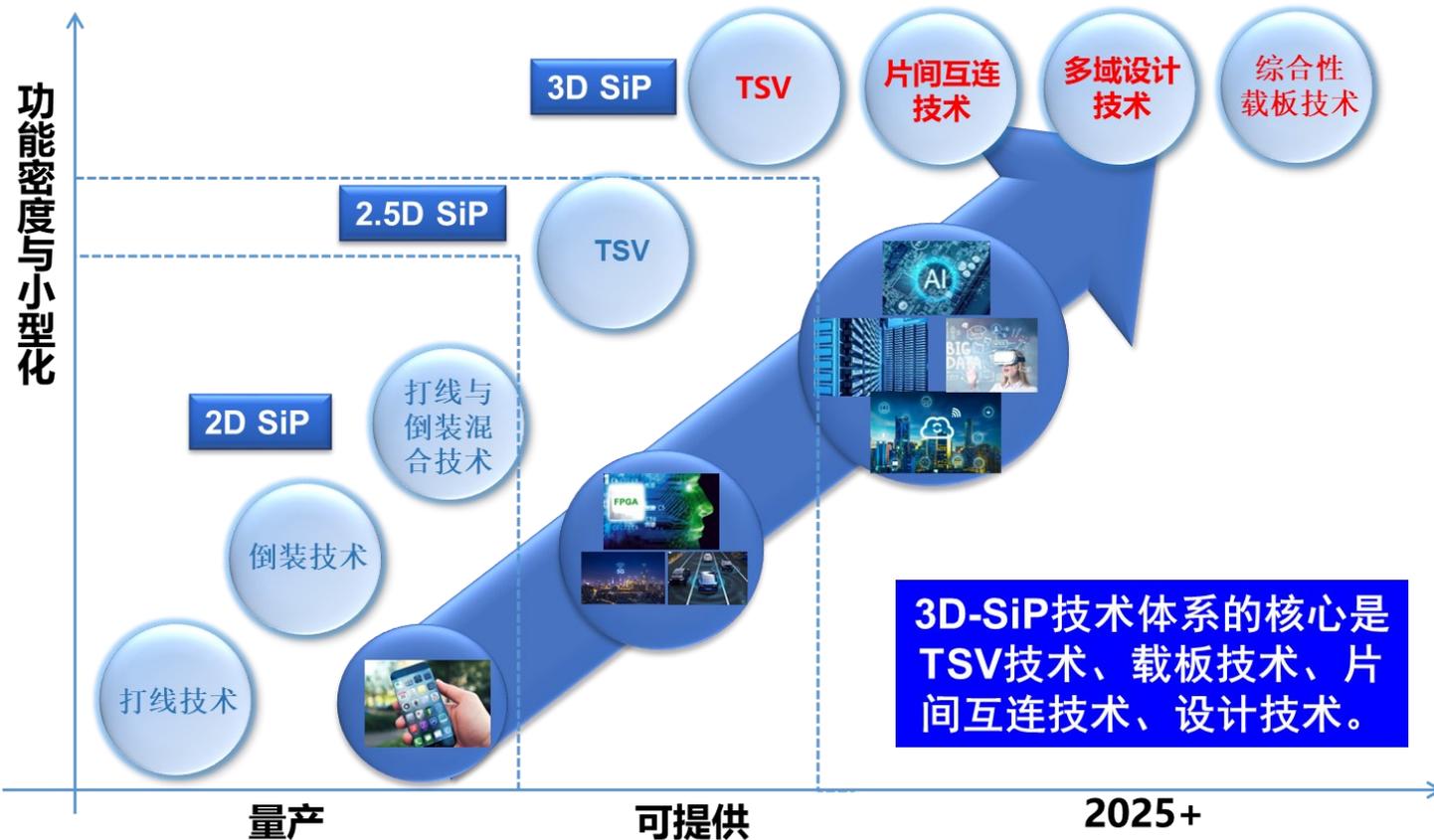
华进半导体TSV制造及应用案例



华进研发平台介绍

1.TSV概述

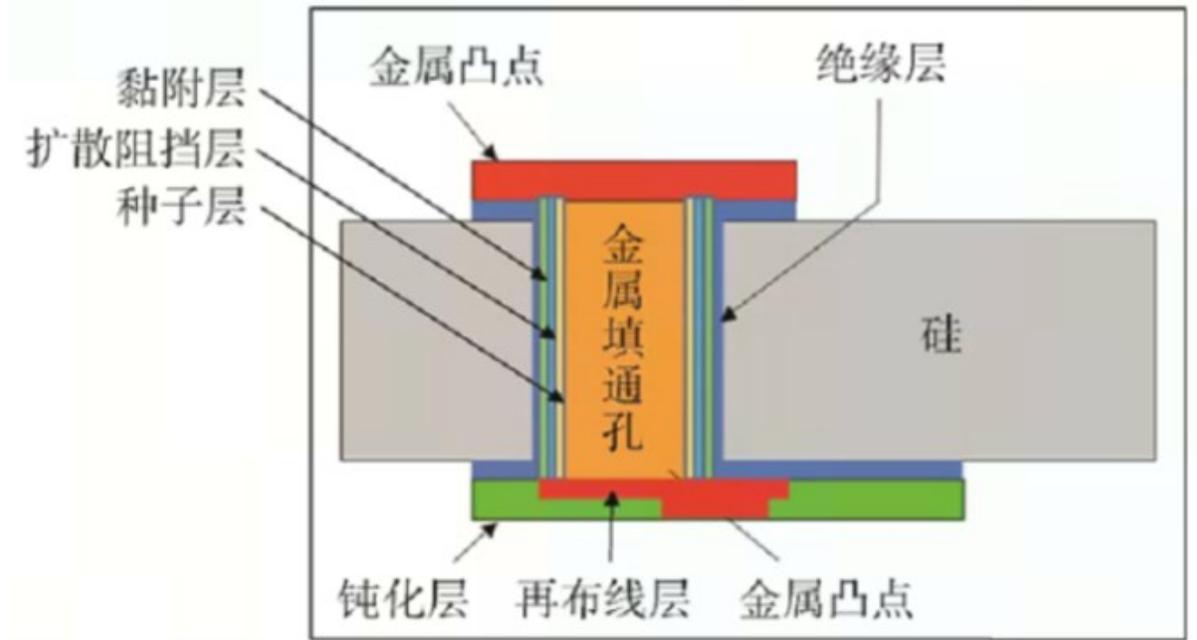
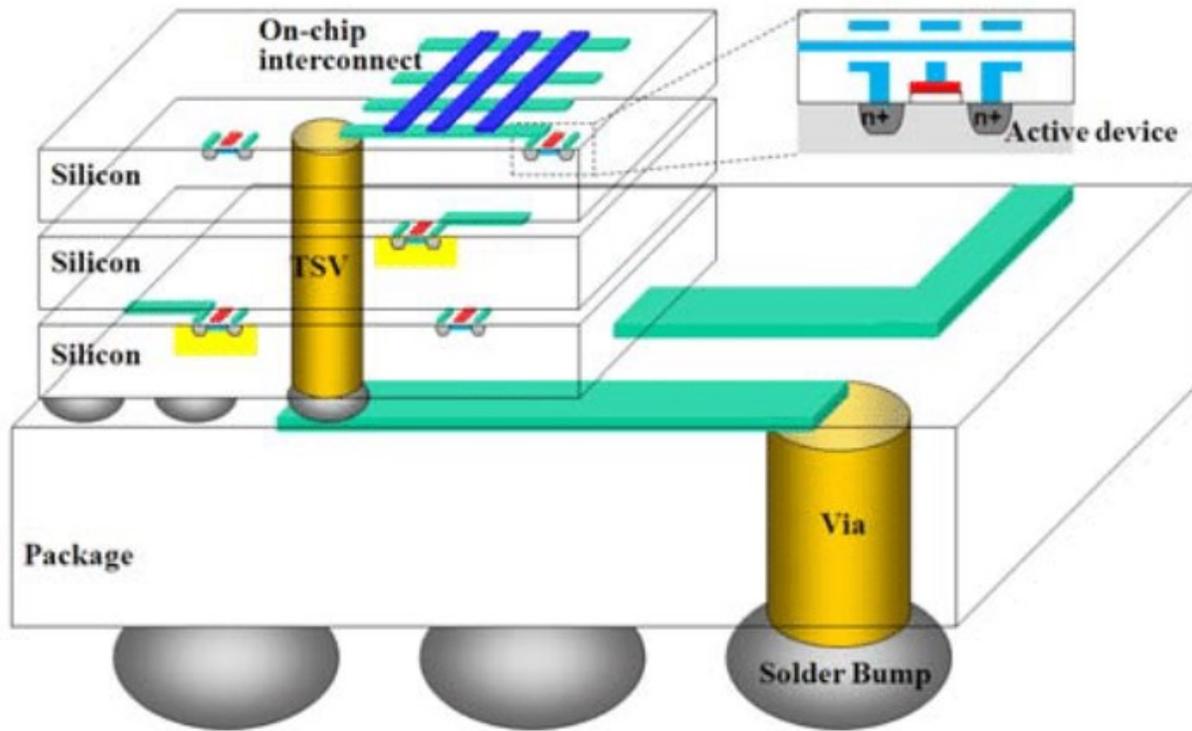
- 后摩尔时代，**TSV硅转接板**日益成为**高密度互连、高带宽及高性能应用**的重要解决方案。



- 新兴产业兴起的驱动：**AI、5G、HPC、IoT、Chiplet**
- 半导体器件对集成封装的需求：**多功能化、小型化、高集成度、高带宽、低功耗、低延迟**
- 新的片间互连方式和互连密度需求：
 - 片内到片间：利用**晶粒**技术，重组**SoC**；
 - 多功能集成：利用**异质&异构集成**技术；
 - 互连密度增加：**微凸点** (μBump) 键合到**混合键合** (hybrid bonding) 。

1.TSV概述

- TSV: Through silicon Via, 定义为链接硅晶圆两面并与硅衬底和其他通孔绝缘的电互连结构。通过在硅基板上直接刻蚀出贯穿整个厚度的微孔，并在孔内填充导电材料，以形成垂直电气连接通道。



1.TSV概述

■ TSV带来的优势

- 易实现堆叠芯片之间最短的电信号连接通道，更小的封装尺寸；
- 高带宽、低功耗、低信号延迟，信号损失小；
- 易于实现圆片级三维封装与异构集成；



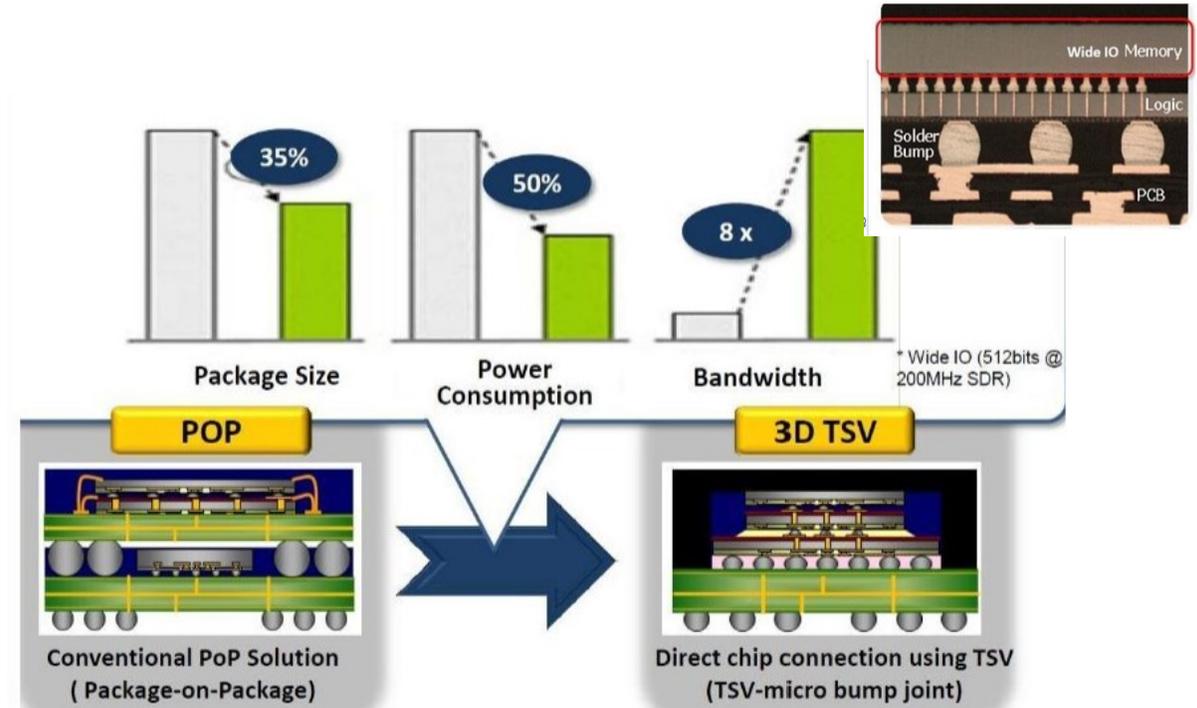
TSV带来的优势

$$\tau = RC \propto L^2$$

τ : RC延时常数, 延时正比于线路电阻R和电容C, R&C大小都和线路长度L成正比

$$P = fCV^2 \propto L$$

P: 互连线本身功耗, f 为频率, V为电压, 和线路长度L成正比



三星采用PoP和3D TSV两种解决方案制备Wide I/O 3D存储器的对比结果显示, 相对于PoP封装结构:

- 封装尺寸缩小了**35%**;
- 能源功耗降低了**50%**;
- 带宽增加了**8倍!**

1.TSV概述

■ TSV技术分类： 1) Via-First; 2) Via-Middle; 3) Via-Last

□ Via-First

- 局限：通孔填充材料必须要能经受住高于1000°C的全部热加工工艺。**没有广泛应用。**

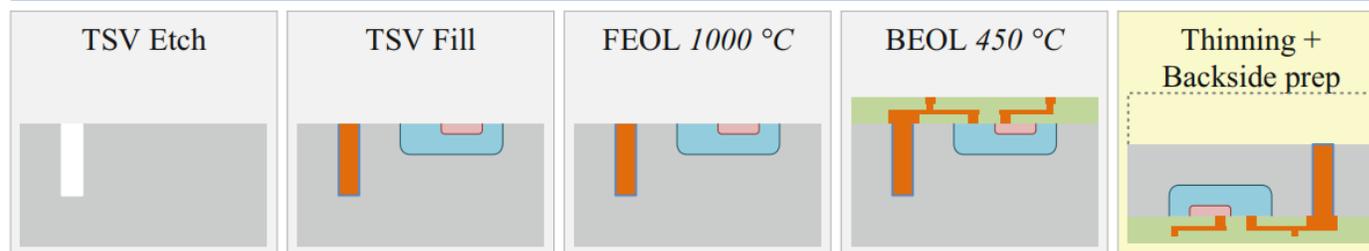
□ Via-Middle

- 优势：较小的 TSV 结构间距，较小的TSV结构电阻及较小的再布线层通道阻塞。
- 劣势：适合产品器件性能要求才能避免干扰。

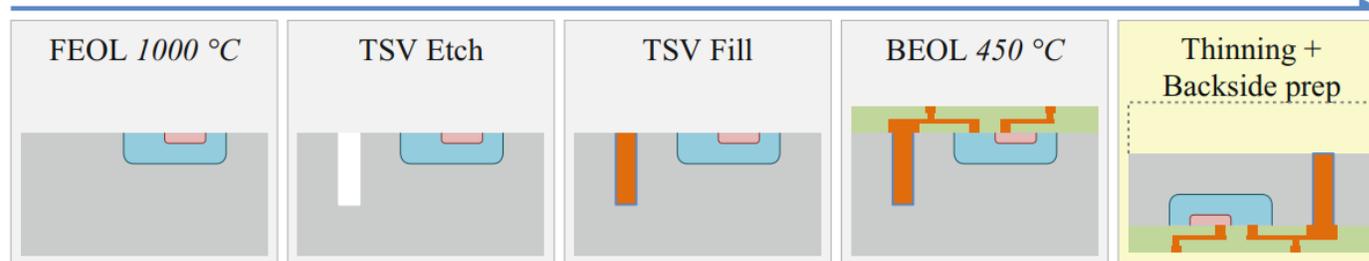
□ Via-Last

- **广泛用于图像传感器和 MEMS 器件**

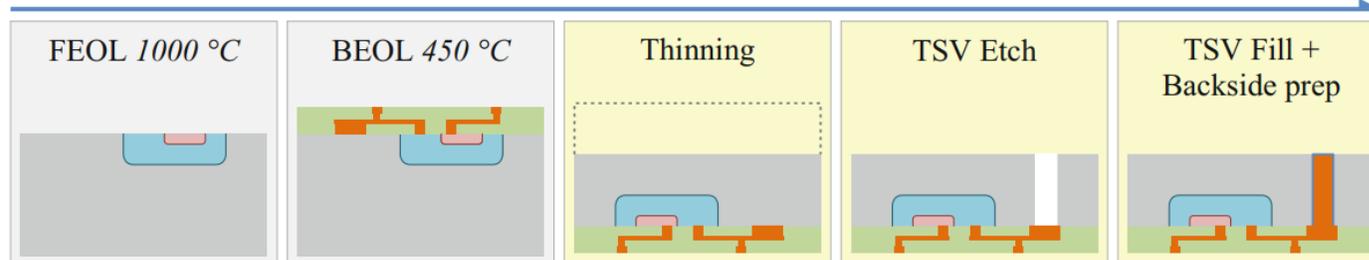
Via First TSV process



Via Middle TSV process

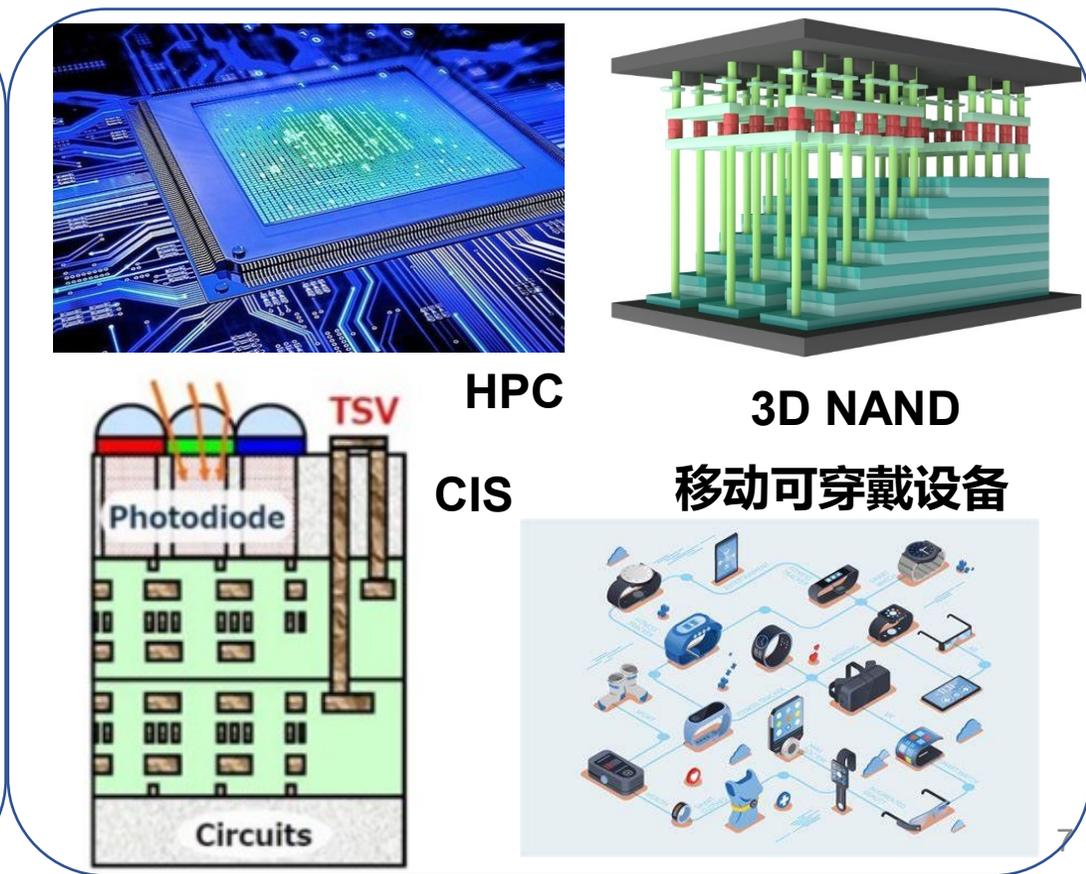
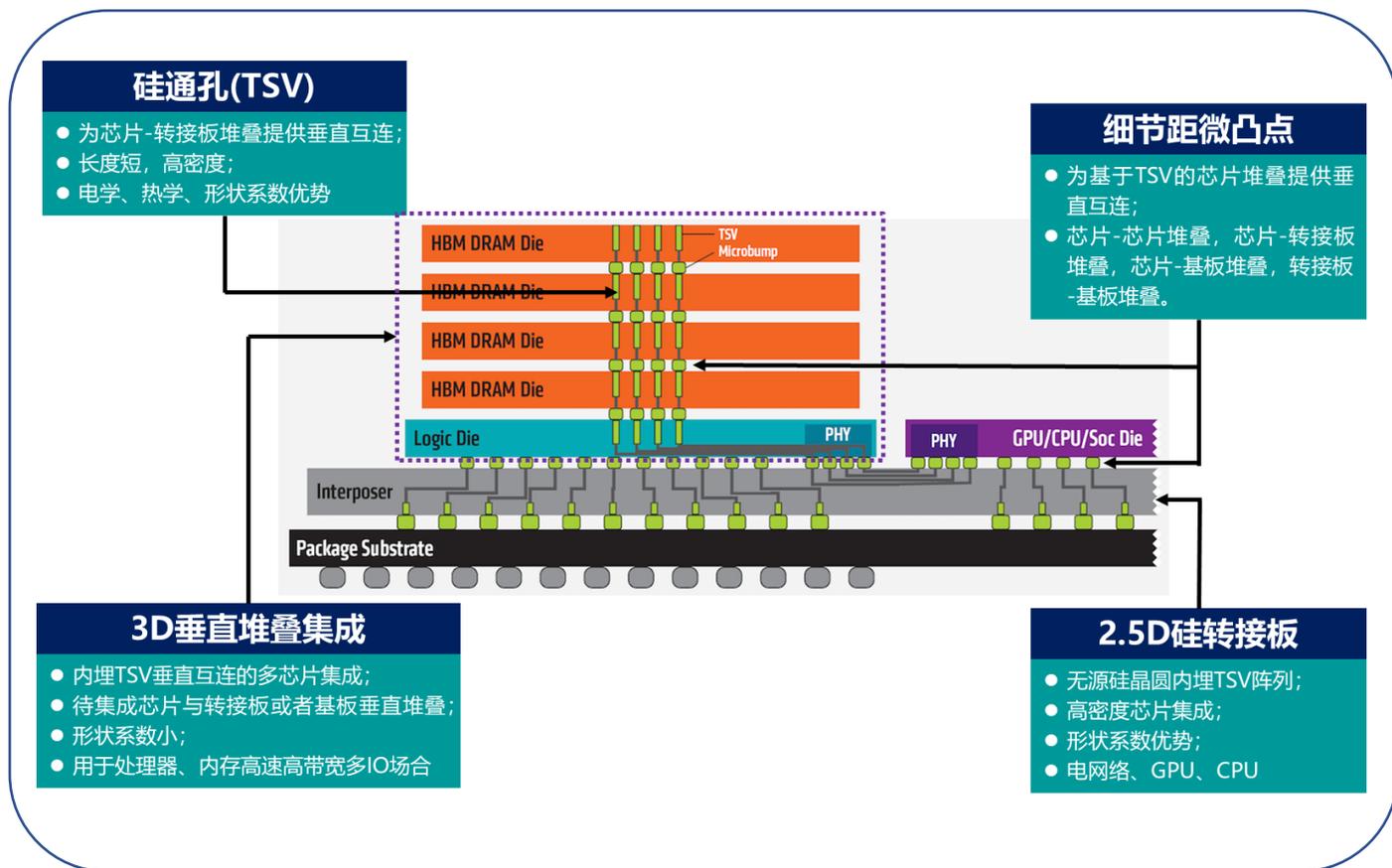


Via Last TSV process



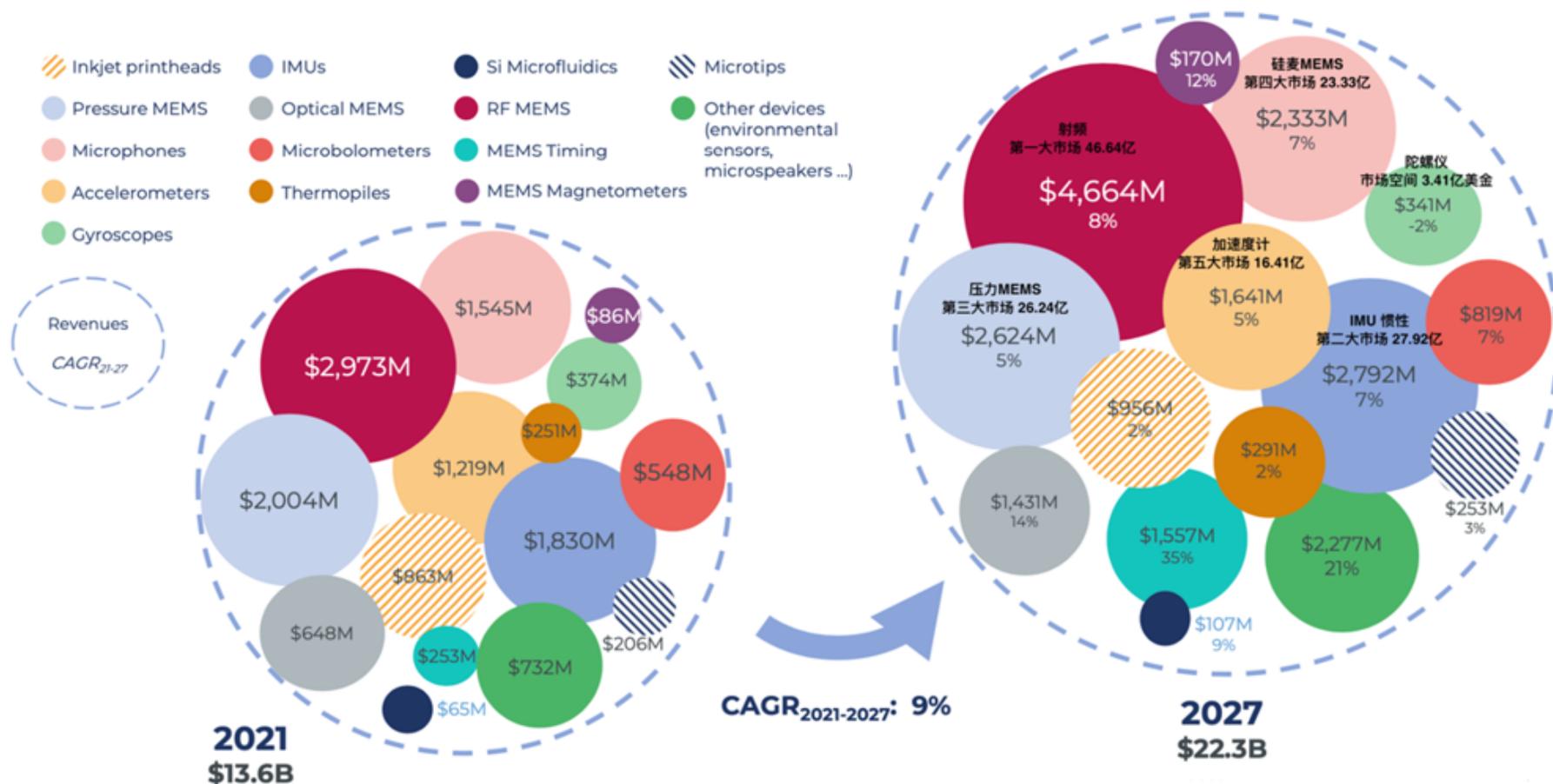
1.TSV概述

- TSV技术应用方式：2.5D、3D集成封装
- 应用领域：高性能计算、存储器封装、图像传感器、移动可穿戴设备等



1.TSV概述

■ TSV市场：增长迅猛，未来，随着半导体制程节点的不断缩小和对高性能、高密度集成需求的增长，TSV技术将取得更广泛的应用。





TSV概述



TSV制造工艺



华进半导体TSV制造及应用案例

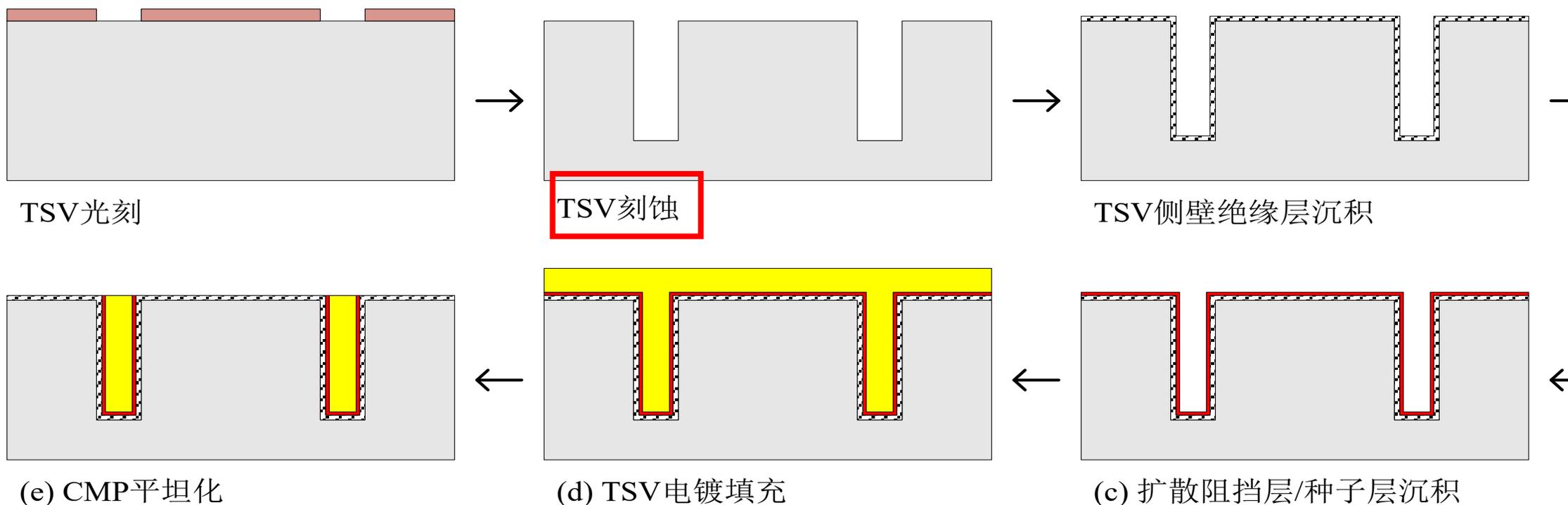


华进研发平台介绍

2.TSV制造

■ TSV制造流程

- TSV制造流程需要用到晶圆级平台的工艺模块有：光刻、刻蚀、薄膜、湿法。
- 光刻+刻蚀模块：TSV CD \pm 10%，TSV深度 \pm 5%，TSV深度均匀性 < 5%；
- 薄膜模块：绝缘层台阶覆盖率 > 10%，min thickness > 200nm；
- 薄膜+电镀模块：TSV电镀无空洞
- CMP模块：dishing < 500A (@10um CD) ，overgrinding < 200nm

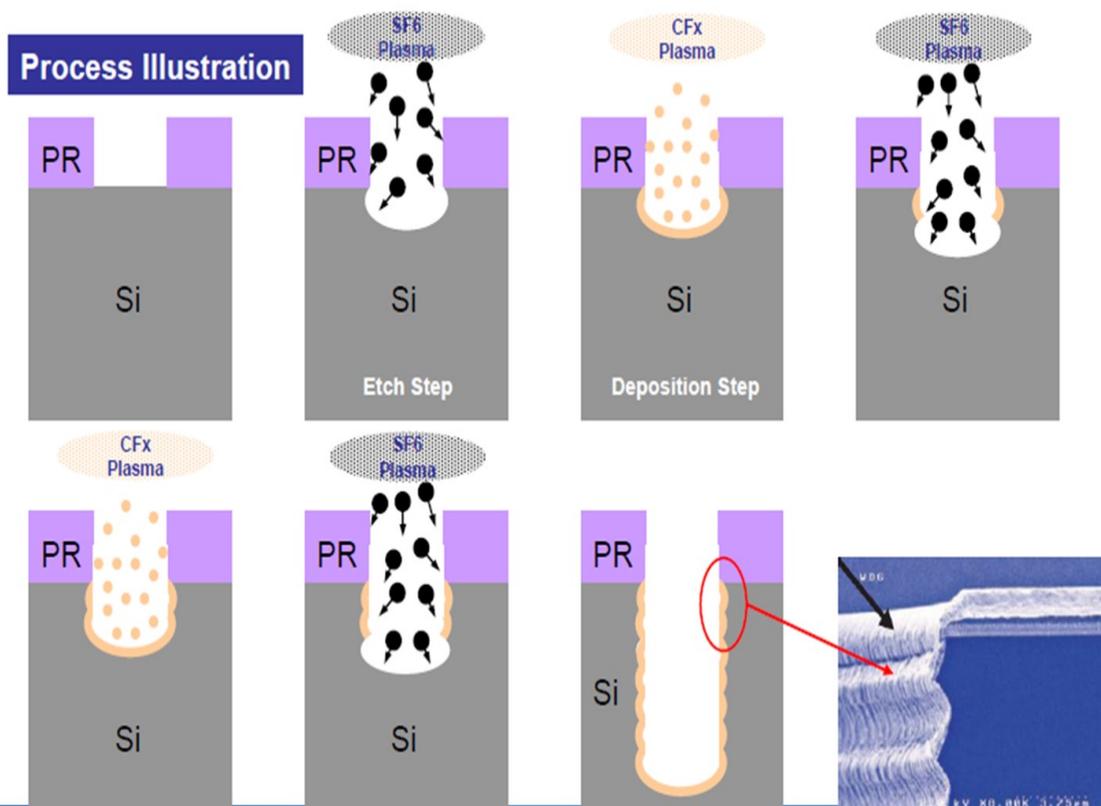


2.TSV制造

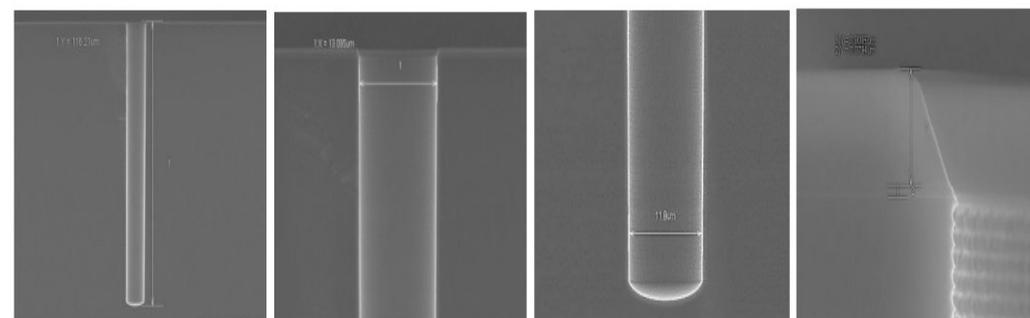
■ TSV刻蚀原理及流程

- TSV刻蚀采用Bosch工艺，利用光刻形成的掩膜档阻挡层，用等离子体在晶圆上刻蚀硅基底，以形成TSV结构。应用于2.5D/3D产品的TSV刻蚀。

工艺过程:



CD 12um* Depth 120um Via



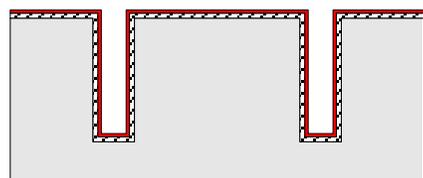
Item	Depth 120um
Profile	89.5-90.0°
Scallop	<50nm
Sel to PR	36 : 1
Undercut	Free
WPH	~2

2.TSV制造

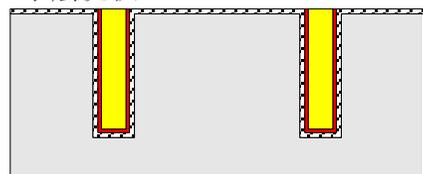
2.5D TSV转接板制造流程



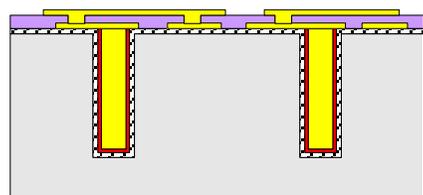
(a) TSV刻蚀



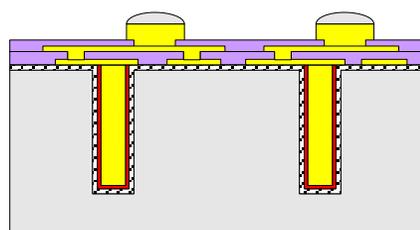
(b) 绝缘层、扩散阻挡层、种子层沉积



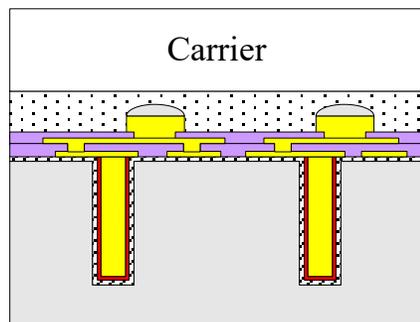
(c) 电镀填充及CMP平坦化



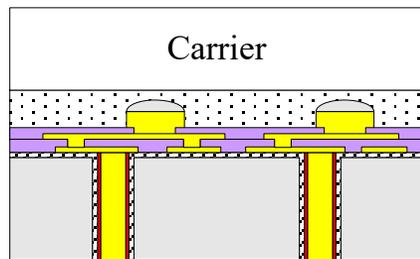
(d) 正面RDL制作



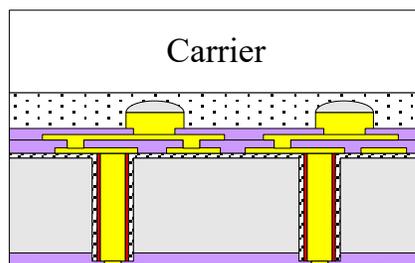
(e) 正面微凸点制作



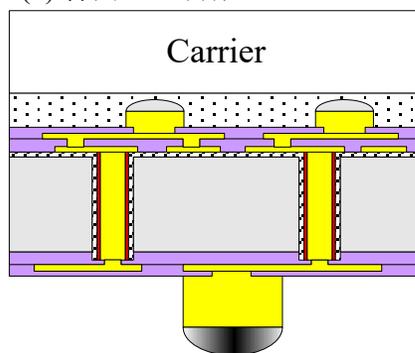
(f) 临时键合



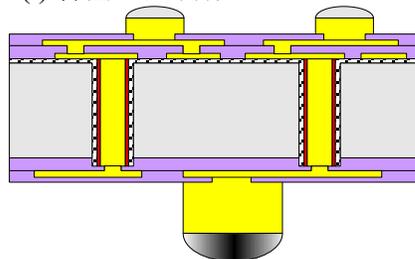
(g) 衬底减薄及露孔



(h) 背面RDL制作



(i) 背面凸点制作



(j) 拆键合及划片

- 工艺流程主要有四个模块：1) TSV制造；2) 多层RDL及微凸点加工；3) **TSV背面露头**；4) 键合/拆键合

关键工艺

1. **TSV etching**;
2. TSV cleaning;
3. TEOS-PECVD SiO₂;
4. RDL/TSV plating;
5. **背面露头**;
6. Bump;

2.TSV制造



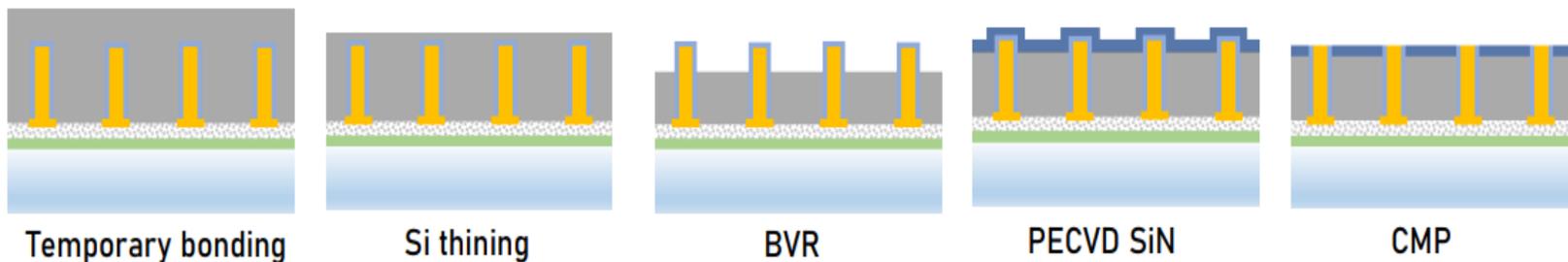
华进半导体



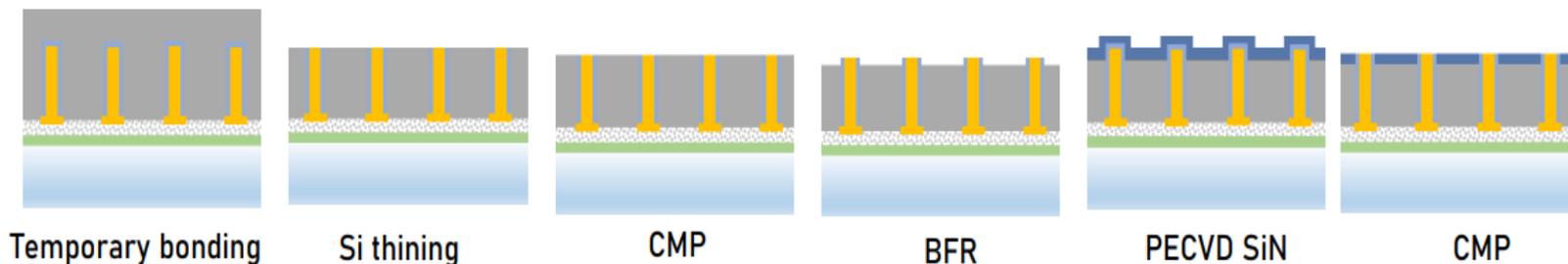
JITRI
JIANGSU INDUSTRIAL TECHNOLOGY
RESEARCH INSTITUTE

■ TSV背面露头流程

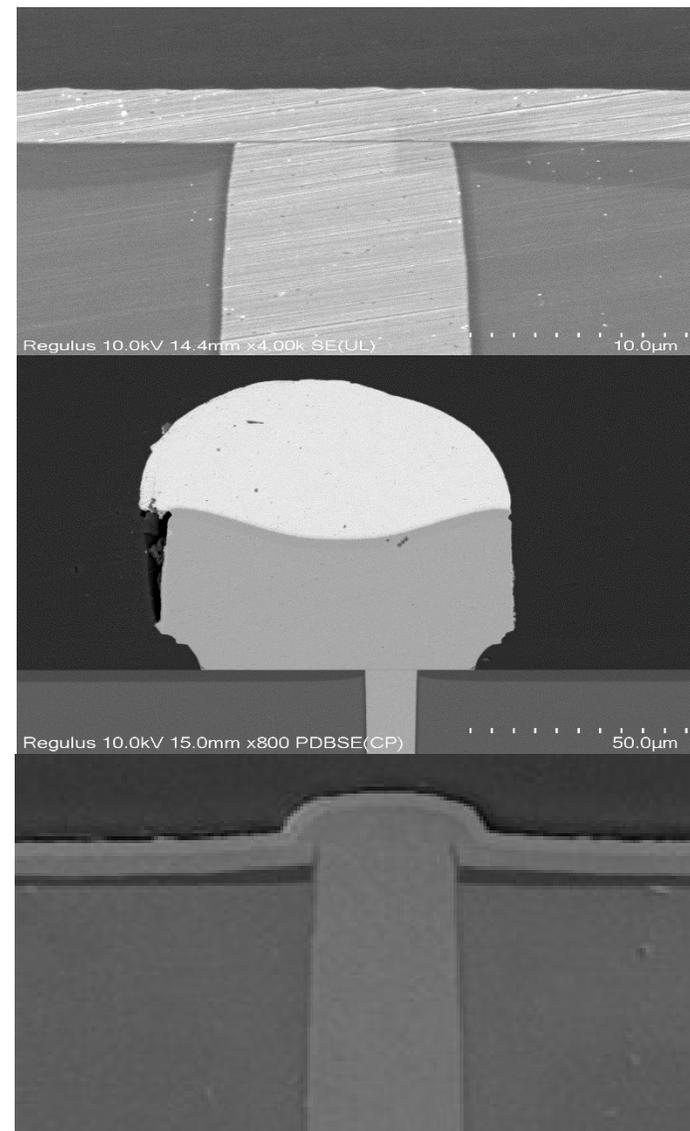
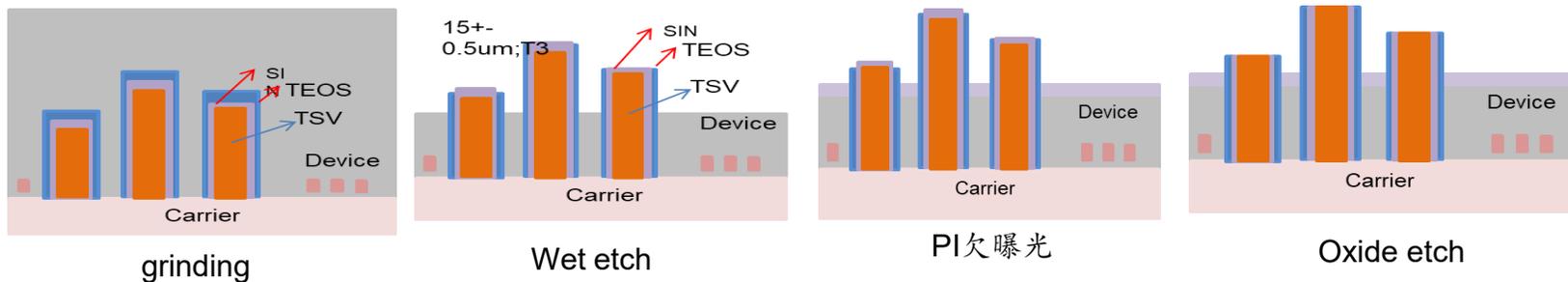
1.BVR工艺



2.BFR工艺



3. 湿法工艺：TSV背面露头Cu柱高低不平，影响后续RDL的平整性和Bump的共面性



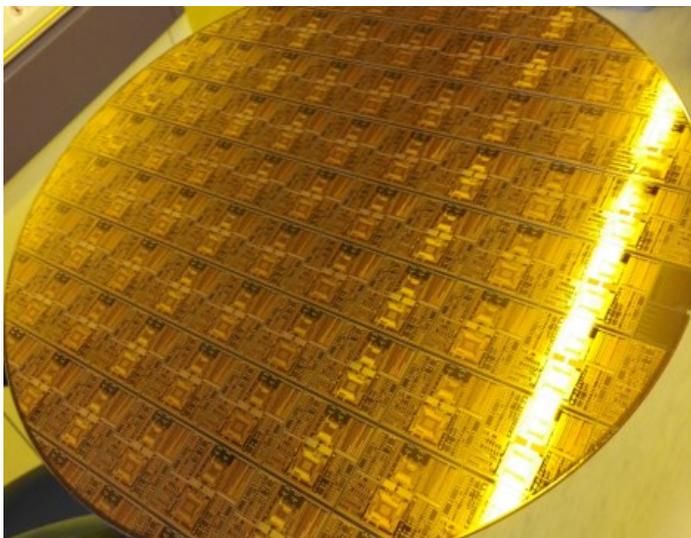
B
V
R
/
B
F
R
露
头

湿
法
露
头

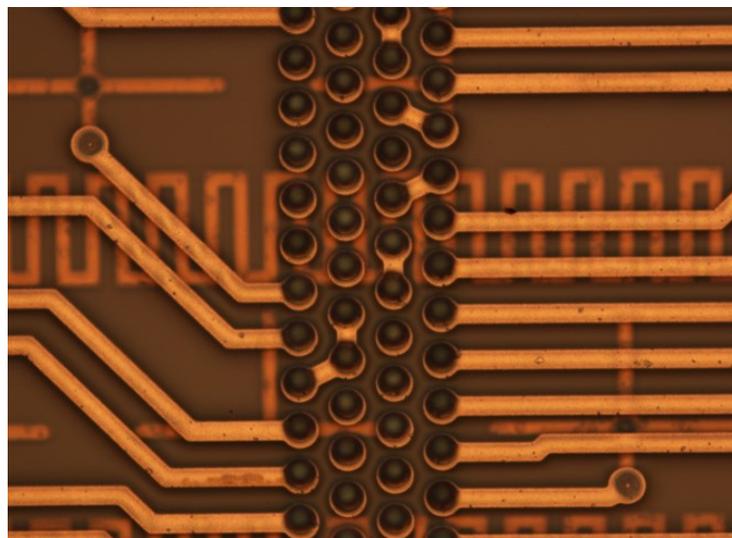
TSV背面露头工艺图片

2.TSV制造

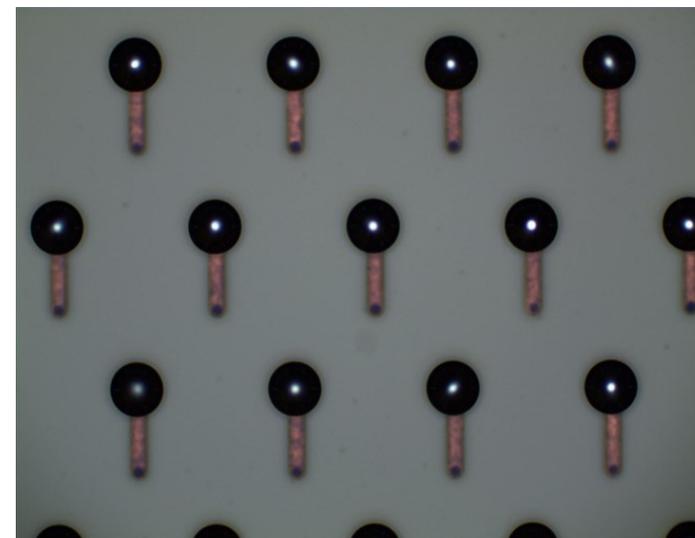
■ 2.5D TSV转接板实例



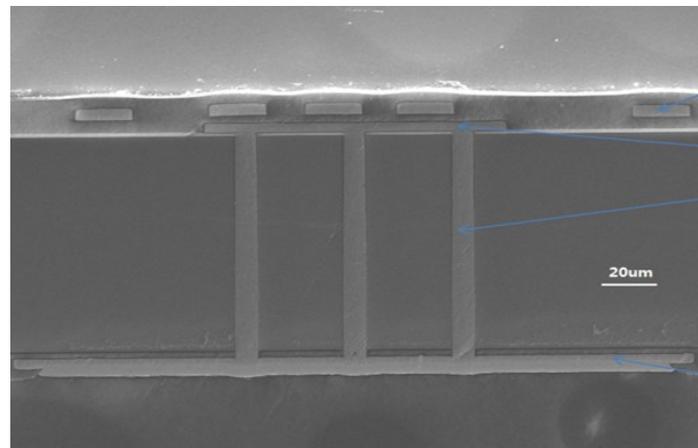
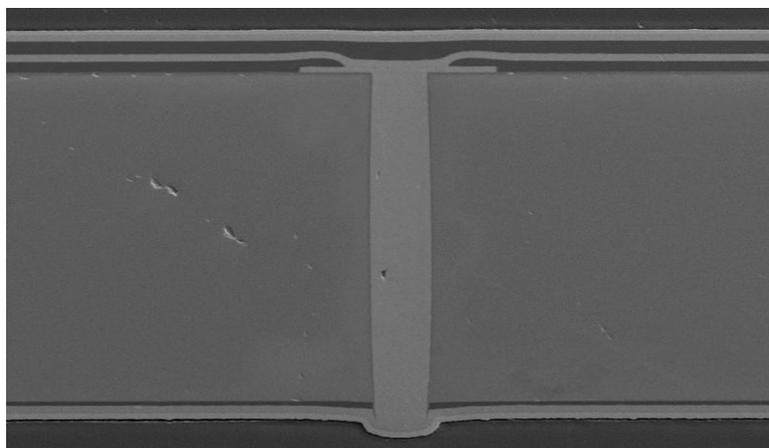
转接板



转接板正面



转接板背面



M2_top

M1_top

TSV

转接板截面

Back side pad for
ball drop



TSV概述



TSV制造工艺



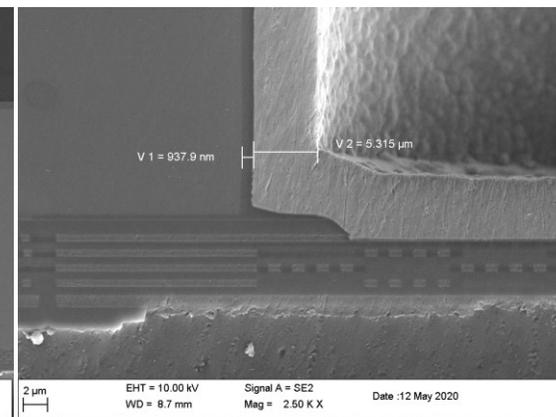
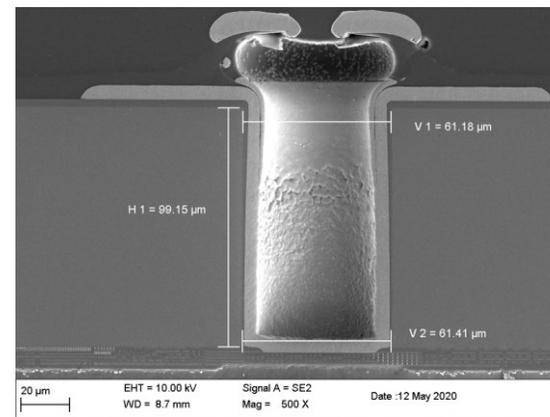
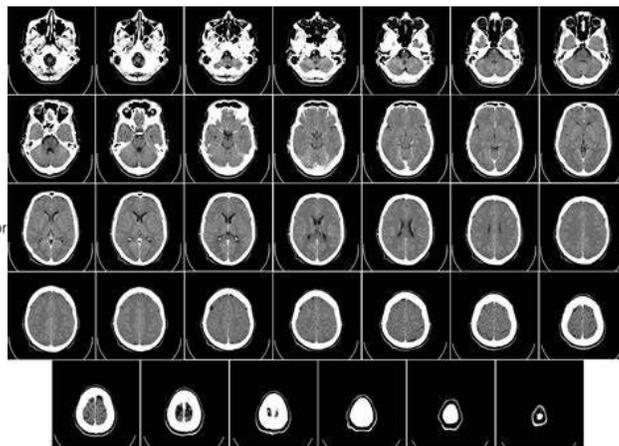
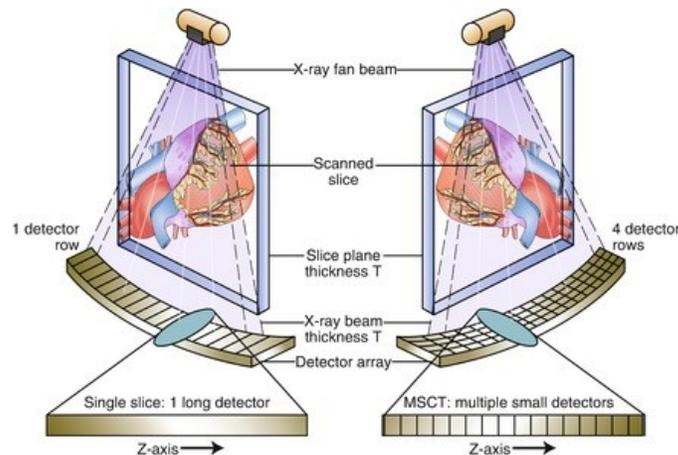
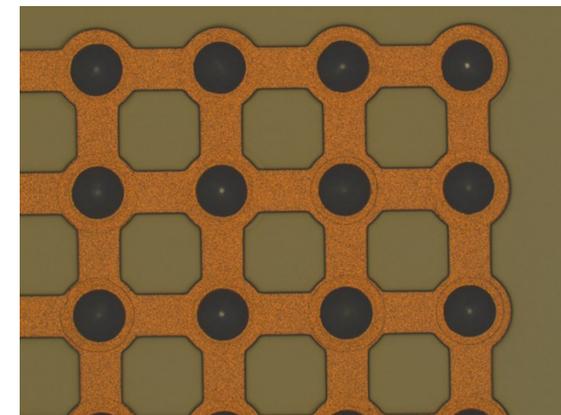
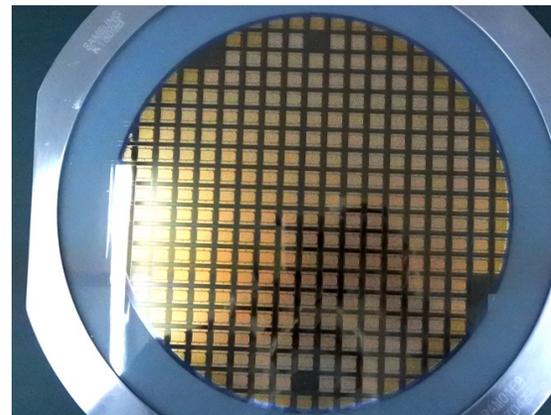
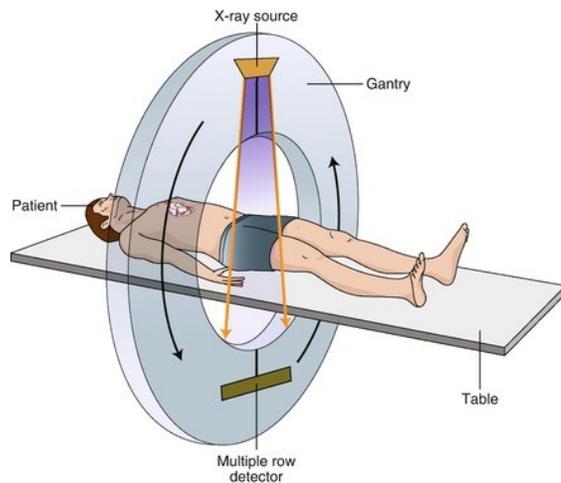
华进半导体TSV制造及应用案例



华进研发平台介绍

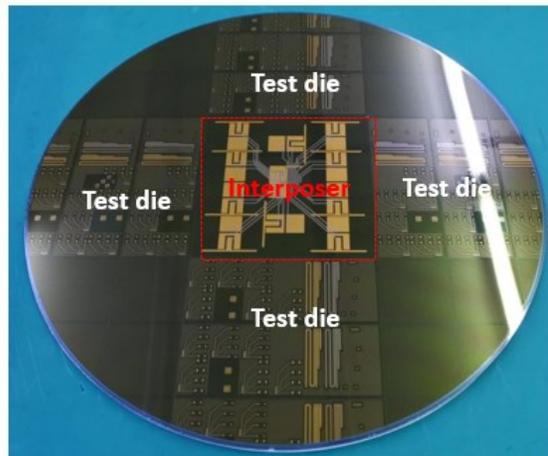
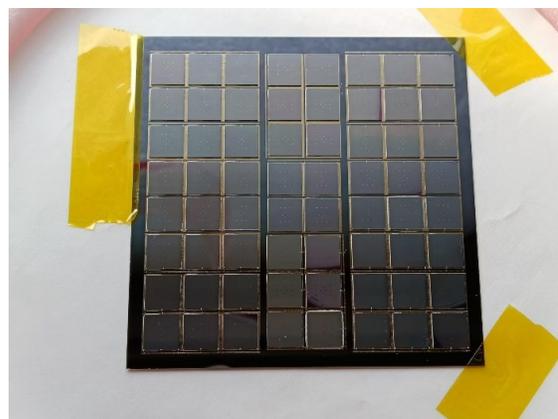
3. 华进案例

■ CT 探测器——光子计数

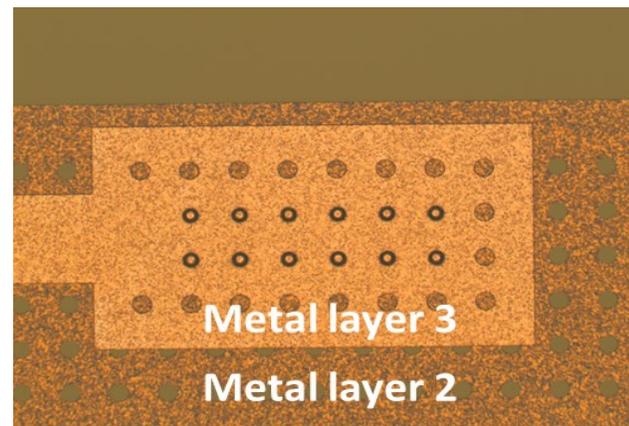
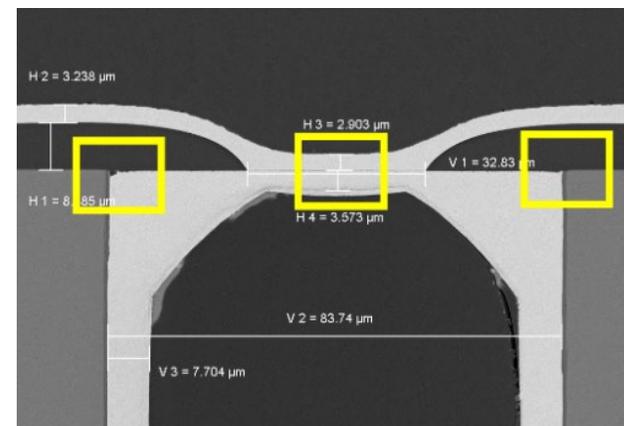
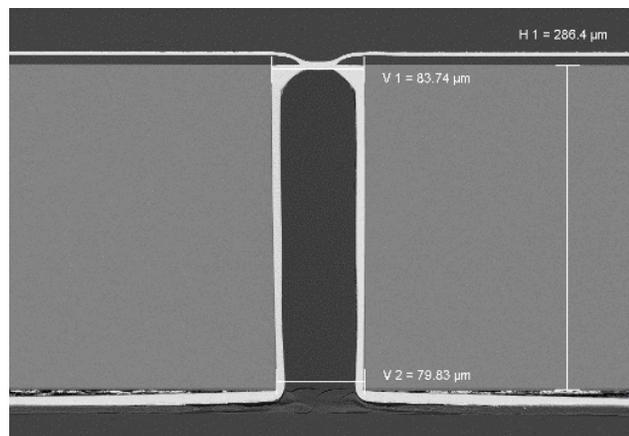


3. 华进案例

- 超大尺寸100mm×100mmTSV转接板，nEXO检测是否存在无中微子双贝塔衰变，回答中微子是否为自身的反粒子这一重要物理问题；



SiPM晶圆外观

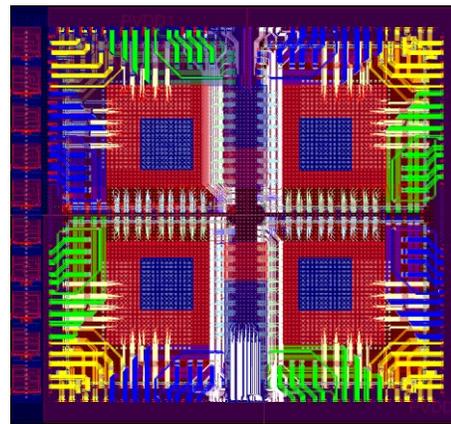


转接板基本结构和局部放大，表面RD L互连外观

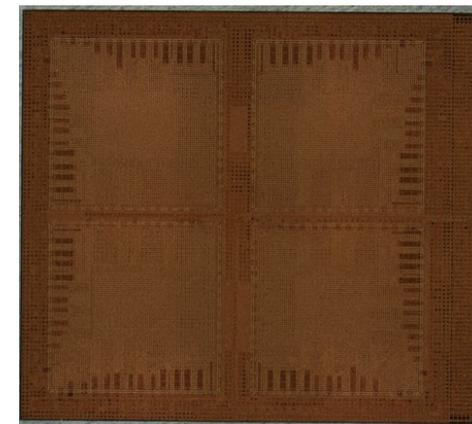
3. 华进案例

■ 面向网络处理Chiplet芯粒的3D集成应用

- 有源晶圆上首次实现正面Via-last TSV工艺;
- 有源TSV转接板上集成4颗网络处理Chiplet芯粒;
 - TSV尺寸为10x100 μm
 - TSV转接板尺寸: 22.2mmx19.9mm
 - Chiplet芯粒尺寸: 8.7mmx8.7mm
 - 基板尺寸: 45mmx45mm



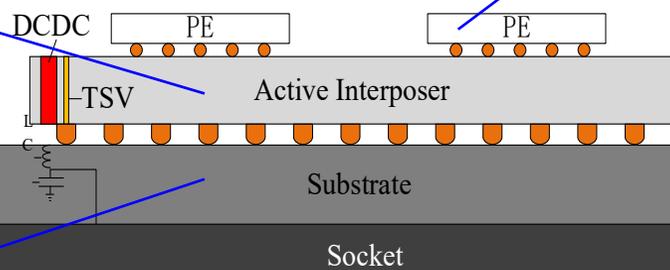
有源转接板设计图



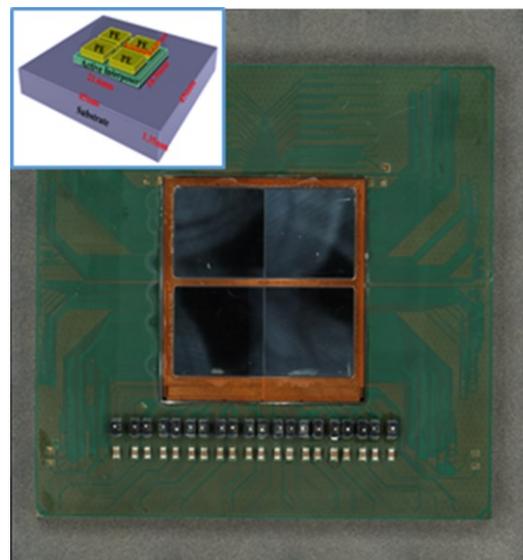
有源转接板实物图

关键技术点2: 有源转接板制造

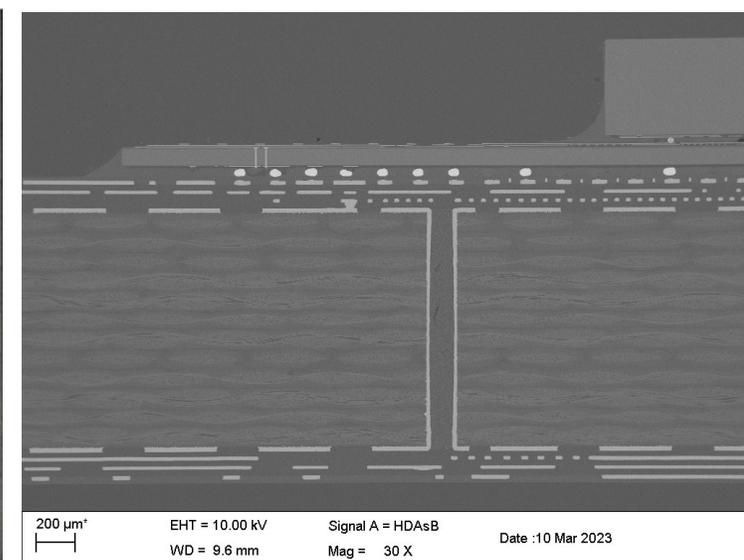
关键技术点3: 3D组装



关键技术点1: Chiplet/interposer/Substrate协同设计



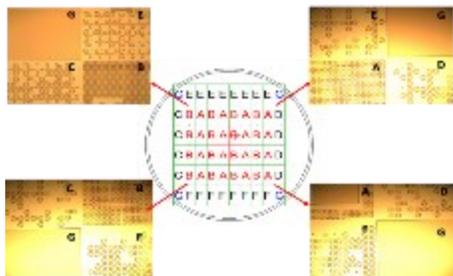
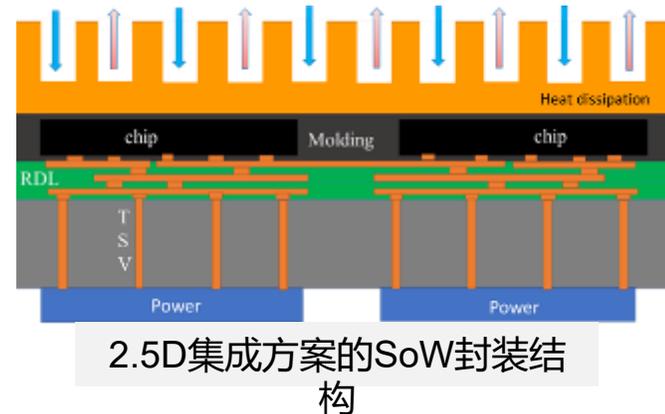
3D Chiplet集成组装结构



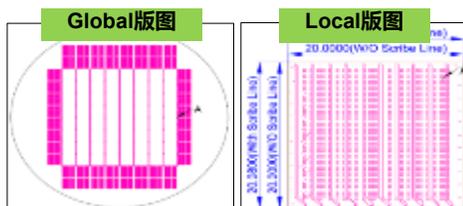
3. 华进案例

■ 华进针对晶上系统集成需求，提出针对性解决方案：

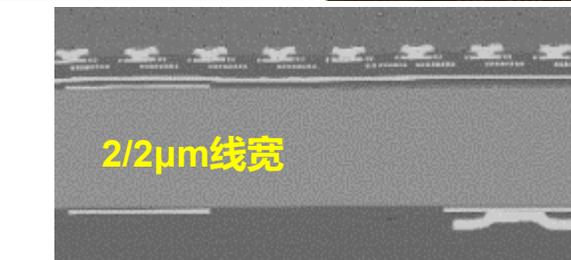
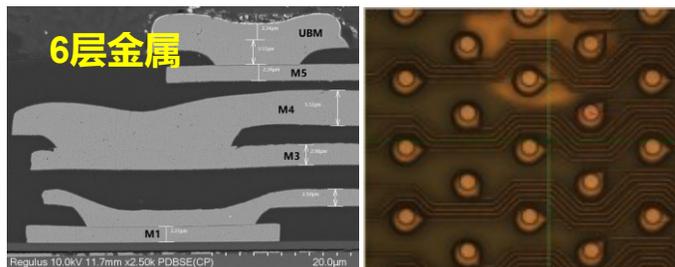
- 针对SoW晶圆尺度互连，采取晶圆级光罩拼接和Global/Local结合混合曝光技术：单层7张Image的拼版曝光；最小L/S=2/2 μ m与6层金属高密度互连；
- 针对千瓦级供电需求，采用TSV垂直供电方案，为SoW提供了新的技术思路。
- 针对类脑计算和大算力等应用需求，分别实现了64颗20x20mm类脑芯片和100颗运算芯片的SoW集成。



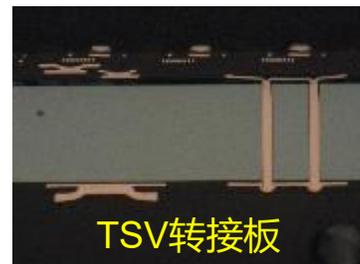
7张光罩的多光场拼版曝光



Global/Local混合曝光



多层细线路RDL互连

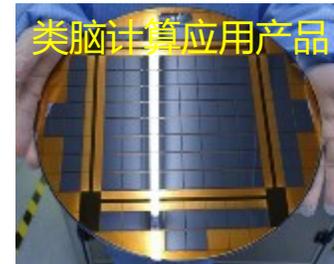


TSV转接板



C2W贴装供电基板

SoW关键部件



类脑计算应用产品



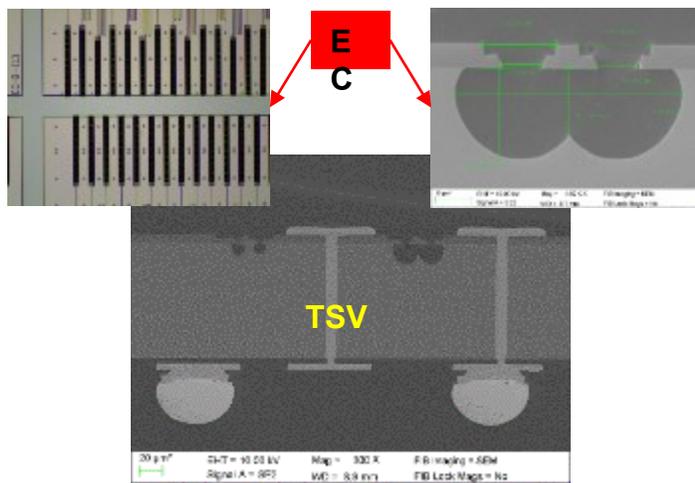
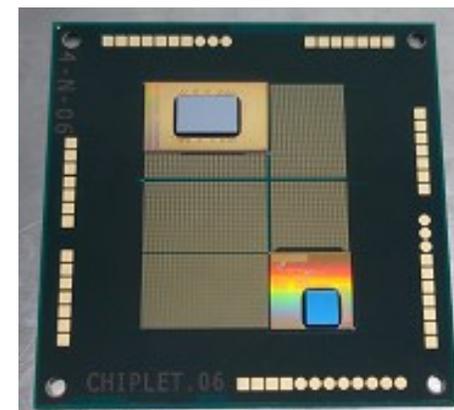
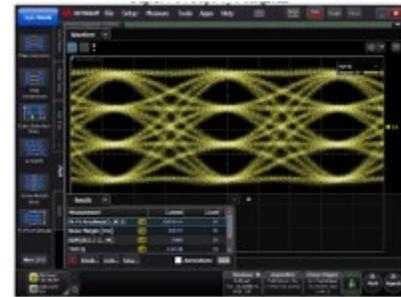
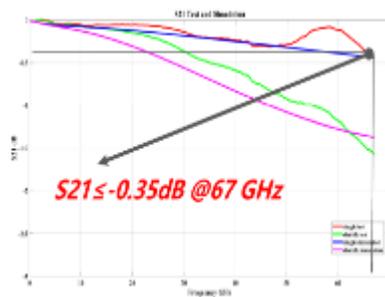
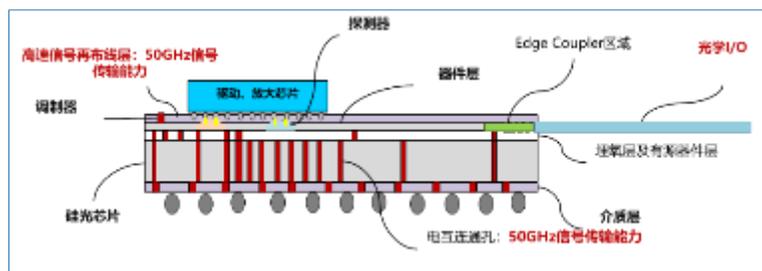
大算力应用产品

客户产品验证服务

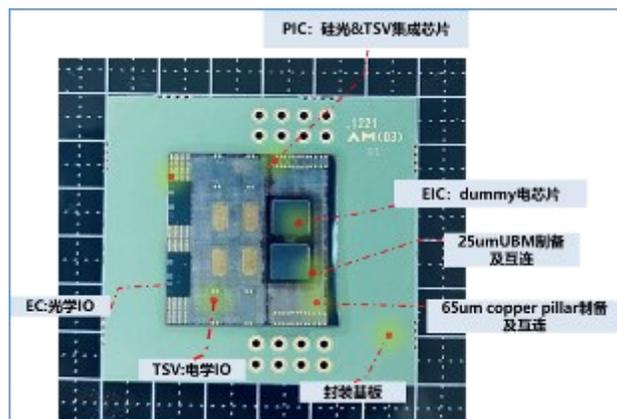
3. 华进案例

■ 华进针对高速光通信领域应用需求提出有源光芯片转接板方案：

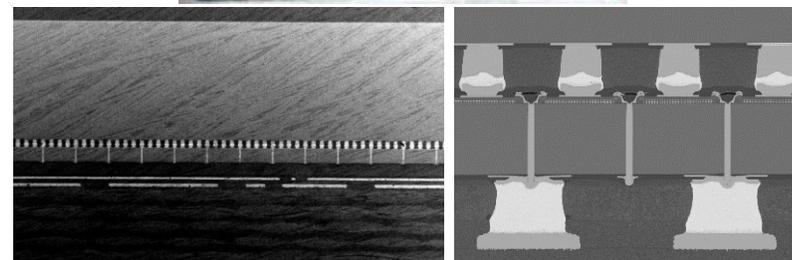
- 首次使用中道封装工艺在硅光SOI晶圆上集成TSV，完成悬臂梁端面耦合器与TSV工艺兼容性整合；
- 实现光芯片与电芯片的垂直电互连，TSV与互连测试结构插损 $S_{21} \leq -0.35\text{dB}@67\text{GHz}$ ，端面耦合损耗实测2.18dB。
- 硅光芯片与电芯片在基板上完成超高密度互联实现3D堆叠结构，并通过电性测。



集成EC+TSV的光芯片转接板



光芯片和电芯片三维集成

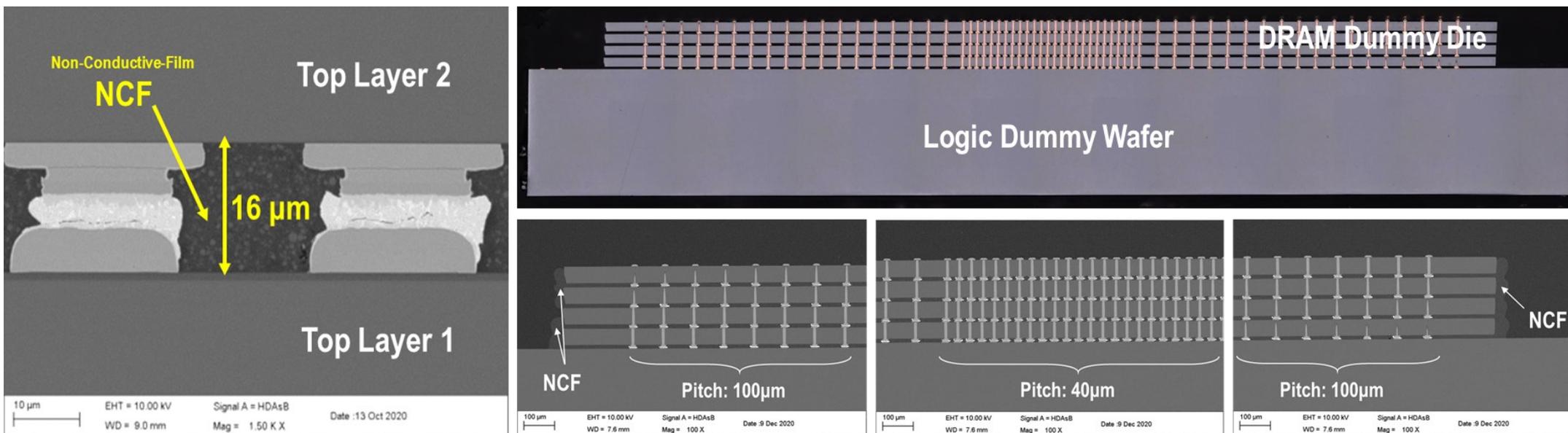


3D硅光集成

3. 华进案例

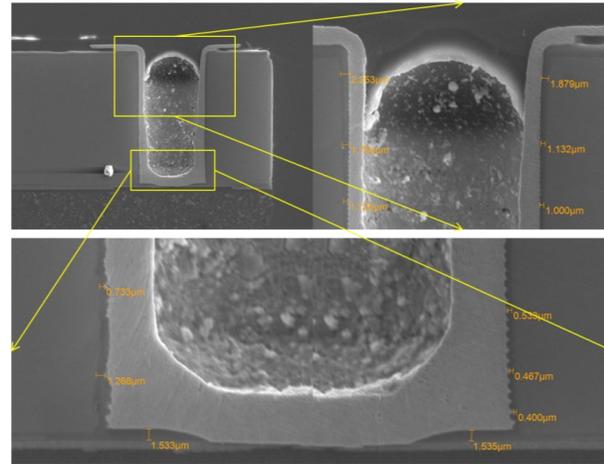
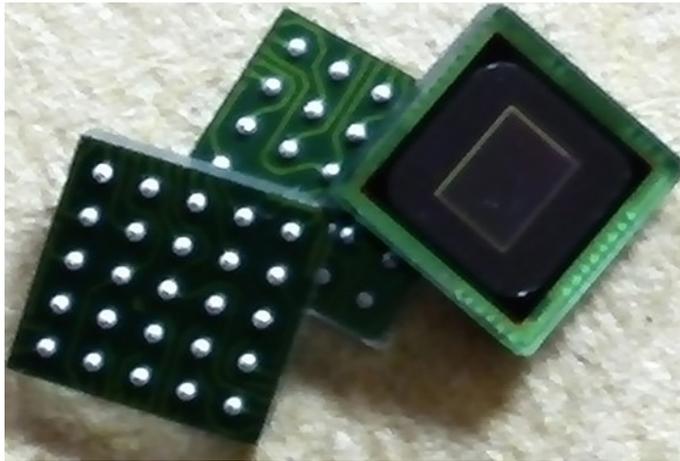
■ 面向高带宽存储的多层堆叠集成技术

- 采用“正面后通孔” TSV工艺技术，实现 $5\ \mu\text{m} \times 60\ \mu\text{m}$ TSV的制作；
- 采用TCB-NCF键合工艺，4层超薄DRAM Die/Logic wafer的Chip-to-Wafer堆叠；
- 单层DRAM Die厚度 $60\ \mu\text{m}$ ，层间键合间隙高度约 $16\ \mu\text{m}$ ，且完全被NCF填充；
- 微凸点最小直径/节距: $20\ \mu\text{m} / 40\ \mu\text{m}$ 。

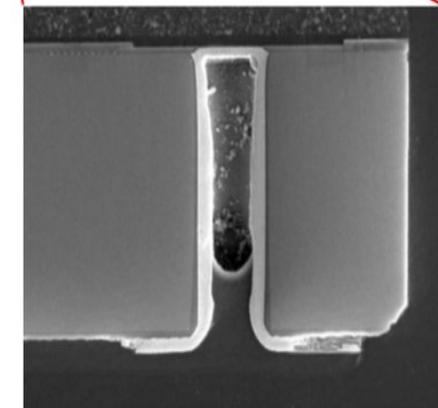
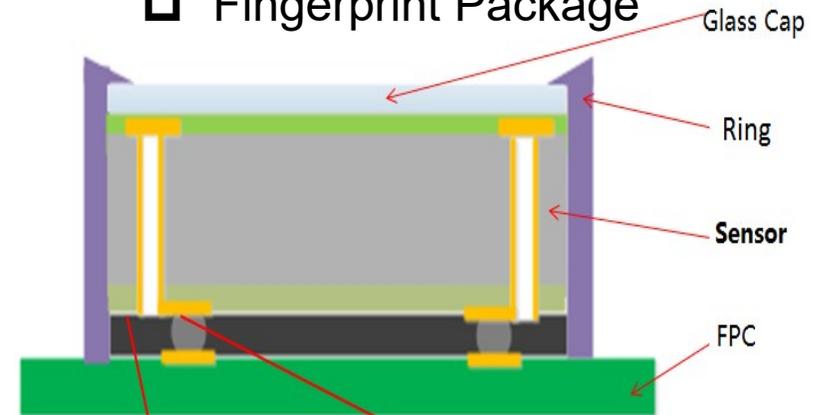


3. 华进案例

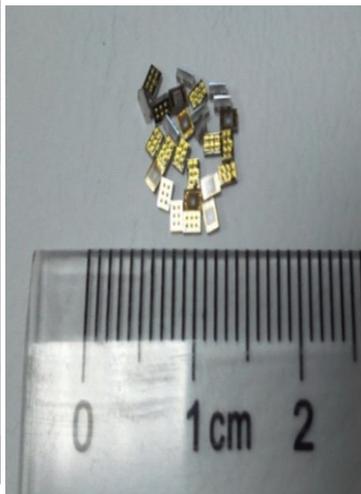
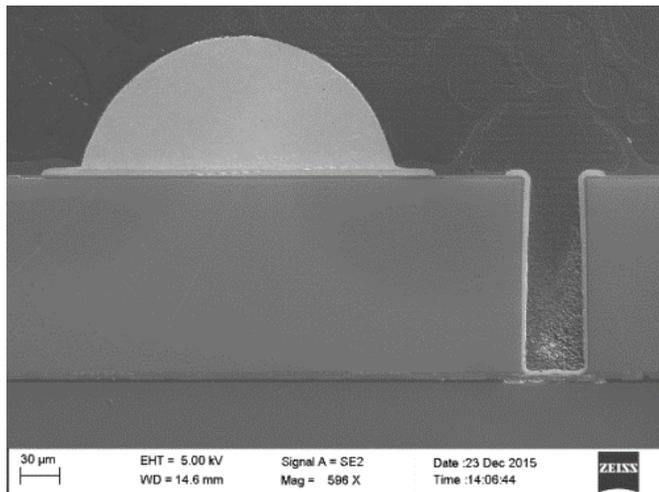
Image Sensor Package



Fingerprint Package



MEMS Package





TSV概述



TSV制造工艺



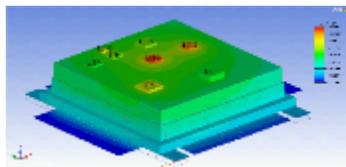
华进半导体TSV制造及应用案例



华进研发平台介绍

华进及研发平台

- 公司拥有10000m²的净化间和12吋晶圆级先进封装研发平台（包括2.5D/3D晶圆中道制程、芯片组装、测试分析与可靠性等）及先进封装设计、仿真平台。



封装设计

光罩

仿真

中道工艺

后道工艺

测试/分析



NCAP CHINA

Package Design

System Design

PCB Layout

Mask Design



华润微电子
CR Microelectronics

中微掩模 ZW Mask



NCAP CHINA

Thermal
Electric
Mechanical



NCAP CHINA

WLCSP
(8/12")
Bumping
TSV/CIS
2.5D
Interposer



NCAP CHINA

WB BGA/LGA
FC BGA/CSP
WB/FC/Stack
SiP



NCAP CHINA

CP Test
ATE Final Test
Failure
Analysis
Reliability Test

- 设计、研发、试样、小批量生产及验证一站式定制化服务
- 专注于WLCSP, Fan-out, TSV, 2.5D/3D 先进封装的研发及小批量验证

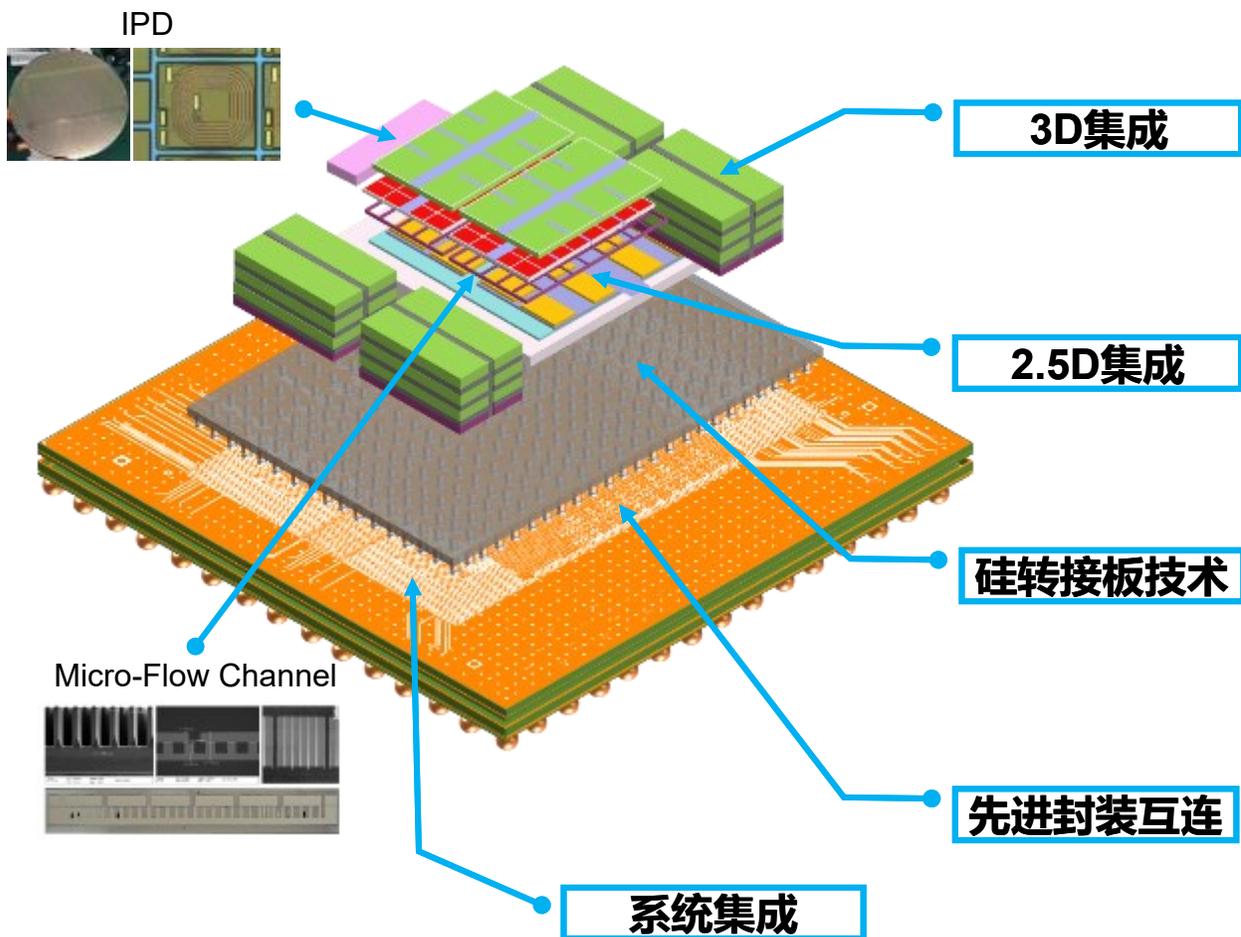
华进技术全景图



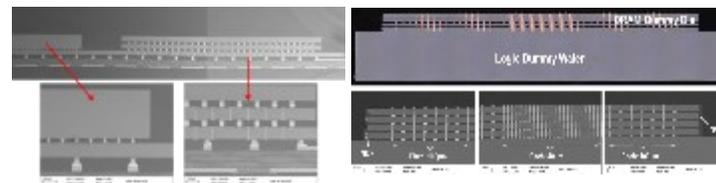
华进半导体



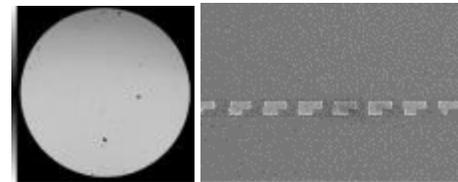
JITRI
JIANGSU INDUSTRIAL TECHNOLOGY
RESEARCH INSTITUTE



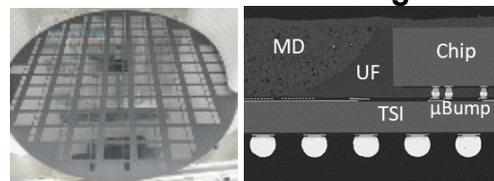
3D堆叠集成



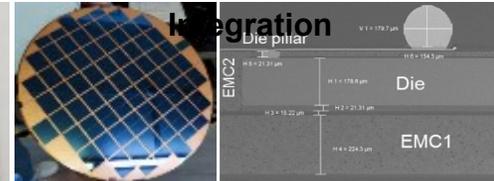
Hybrid Bonding



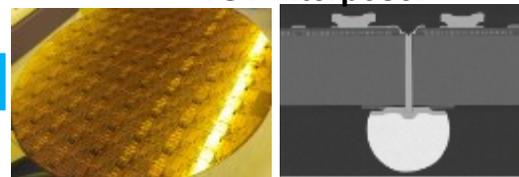
2.5D Integration



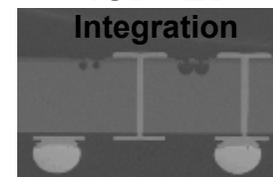
Fan-out Integration



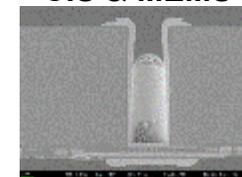
TSV Interposer



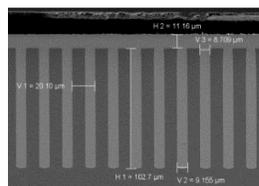
TSV + EC Integration



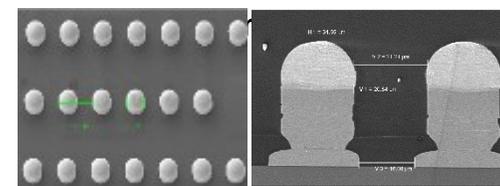
CIS & MEMS



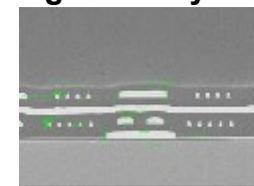
HD TSV



Fine Pitch



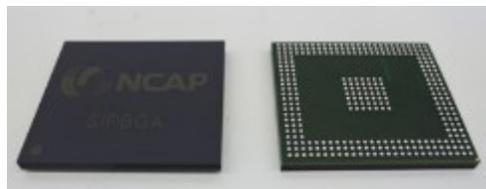
High Density RDL



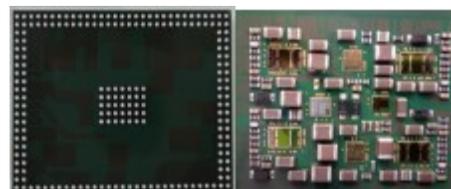
FCBGA



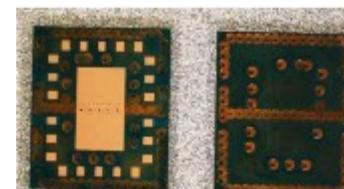
FPGA



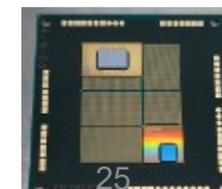
SiP



基板埋入



光电集成



晶圆级封装 Wafer Level Package						后道封装 Back-End Package		
高密度凸块 生产能力 Bumping	扇入型晶圆 级封装能力 Fan-in WLP	扇出型晶圆级 封装能力 FanOut WLP	硅转接板TSV Interposer	直孔晶圆级 封装Via Last TSV WLP	硅基光电 封装	打线工艺 WB LGA/BGA	倒装焊 FCBGA /FCCSP	系统集成 WB/FC/St ack SiP
8"/12" Cu Pillar Bump: 30um pitch	8"/12", 3P3M	12" Die first, 2P2M, L/S: 20/20um, Die count: ≤4ea	TSV type: 5:50, 10:100, 30:200	8"/12" Sensor	带EC结构的 PIC芯 片集成 TSV	50um芯片 厚度、8层 堆叠	Solder Bump: 150um pitch	封装体叠 层封装 (PoP) 2- 3层
8"/12" Sn- Ag solder Bump: 150um pitch	L/S: 10/10um	12" Die last, 4P4M, L/S: 2/2um, Die count: ≤4ea	RDL L/S: 5/5um Top side: 3P3M Bottom side: 2P2M, Cu Pillar Bump: 30um pitch, 20um height	TSV size: 30- 60um, AR: < 3:1	带EC结构的 PIC芯 片Bump 加工	低弧高 (40um), 窄间距 (50um)	Cu Pillar Bump: 40um pitch	多芯片封 装与无源 器件组装
SiP封装设计/基板设计/电、热、应力仿真								
电学测试与材料分析实验室								
失效分析实验室								
可靠性实验室								

谢谢!