



CEPC



# CEPC硅径迹探测器

严琪

代表CEPC径迹探测器组

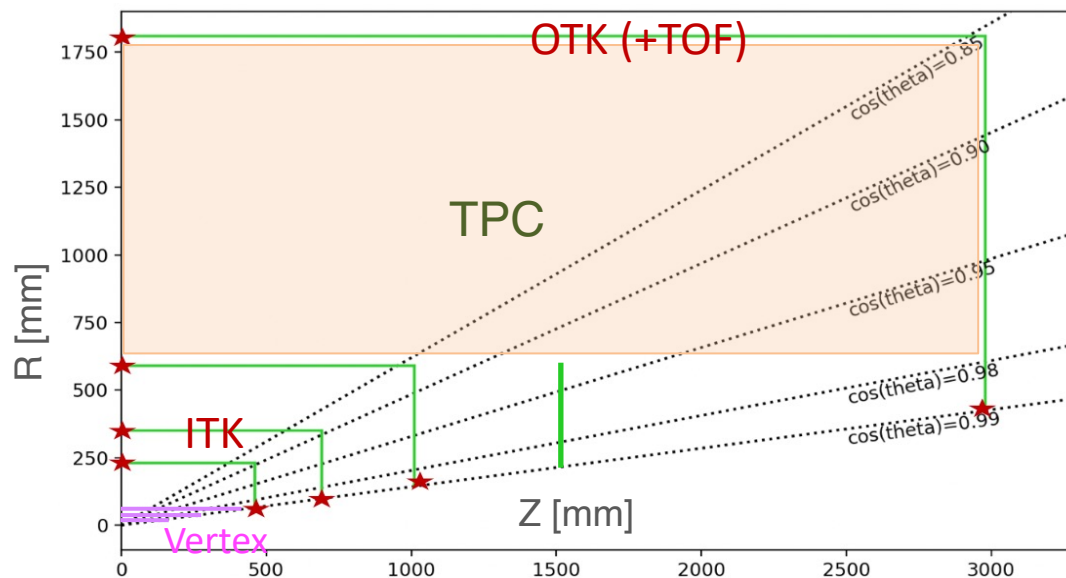
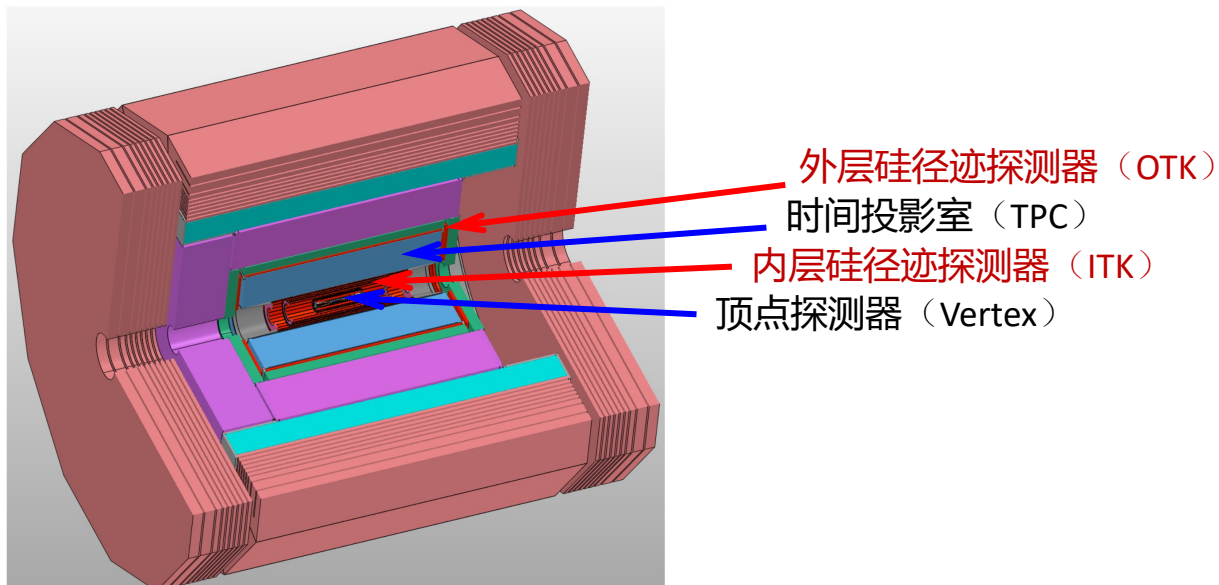


中国科学院高能物理研究所  
*Institute of High Energy Physics*  
*Chinese Academy of Sciences*

CEPC机械设计研讨会，河南洛阳，2024年8月24日

# 探测器简介

- CEPC径迹探测器系统包括: 顶点探测器 (Vertex)、内层硅径迹探测器 (ITK)、时间投影室 (TPC)、以及外层硅径迹探测器 (OTK)。这个报告将重点介绍内层和外层硅径迹探测器两个部分。
- 内层硅径迹探测器 (ITK) 应用了先进的半导体探测器技术, 包括高压CMOS像素探测器和CMOS微条探测器, 用于精确测量粒子的位置, 从而精确确定粒子的路径和轨迹 (径迹)。
- 硅径迹探测器还可用于测量粒子的电离能量损失 ( $dE/dx$ )。此外, 外层径迹探测器 (OTK) 还采用 AC-LGAD 半导体探测器技术, 用于精确测量带电粒子的时间, 从而有效提高不同粒子的鉴别能力。



# CEPC内层径迹探测器 (ITK) 芯片技术1

## ■ CMOS探测器芯片技术:

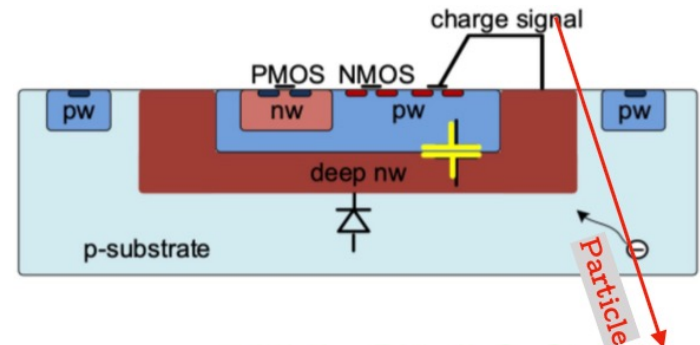
- 经济: CMOS技术在半导体行业具有广泛应用, 长远发展上具有独特的成本优势
- 简洁: 将主动探测层和读出电子学集成在一块芯片上

## ■ 高压CMOS像素探测器相较于传统像素探测器:

- 具有大的耗尽深度 (完全耗尽): 产生信号大, 时间分辨好
- 抗辐照能力强
- 相对较大的电容, 这导致噪声和功耗的增加

## ■ 为CEPC开发的新型高压CMOS (COFFEE) 像素探测器芯片:

- 使用55纳米工艺
- 晶圆电阻率: 1千-2千 欧姆·厘米
- 像素尺寸: 34 微米 × 150 微米
- 像素阵列大小: 512 行 × 128 列
- 功耗: 约200 毫瓦/平方厘米



# CEPC内层径迹探测器 (ITK) 芯片技术2

## ■ CMOS探测器芯片技术:

- 经济: CMOS技术在半导体行业具有广泛应用, 长远发展上具有独特的成本优势
- 简洁: 将主动探测层和读出电子学集成在一块芯片上

## ■ CMOS微条探测器相较于CMOS像素探测器:

- 单位芯片成本和功耗相对低
- 更简单的读出, 更小的芯片开发技术壁垒
- 粒子位置分辨精度相当, 甚至可以更好
- 通过特殊的探测器排布设计, 粒子径迹重建的模糊率可与像素探测器相当:

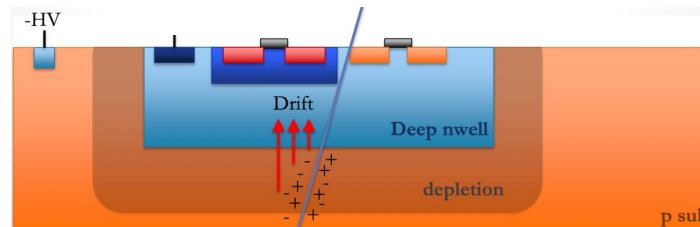
例如CEPC内径迹探测器的端盖部分: 一层两面前后两个探测单元, 使用了22.5度夹角的特殊设计

缺点: 相较于像素探测器需要两倍数量的探测器芯片, 和一定程度的物质质量增加

优点: 具有更好的电荷分辨 (用于PID) 适合于端盖设计。一层端盖: 微条  $\Delta Q/\langle Q \rangle \sim 15\%$  VS 像素  $\Delta Q/\langle Q \rangle \sim 40\%$

## ■ CEPC的CMOS微条芯片 (CSC) 的研发:

- 采用150纳米工艺
- 晶圆电阻率: 2千 欧姆·厘米
- 微条间距: 20 微米
- 每个芯片的微条数目: 1024
- 功耗: 约80 毫瓦/平方厘米



# 内层径迹探测器 (ITK) 芯片的设计参数

	高压CMOS像素 (桶部)	CMOS微条 (端盖)
像素尺寸 (微条间距)	34 微米 × 150 微米	20 微米
芯片尺寸	2 厘米 × 2 厘米 (active area: 1.92x1.74 cm <sup>2</sup> )	2.1 厘米×2.3 厘米 (active area: 2.05x2.05 cm <sup>2</sup> )
像素阵列大小 (微条数目)	512行 × 128列	1024
位置分辨	$\sigma_{\phi}$ ~8微米 (偏转方向), $\sigma_z$ ~40微米	$\sigma_{\phi}$ ~4.2微米 (偏转方向), $\sigma_r$ ~21微米
时间分辨	~3-5 纳秒	~3-5 纳秒
电荷分辨率	40%	20%
1个击中的数据大小 (1个读出道)	42 bits (14b BXID, 7b+9b address, 6b TOT, 5b fine TDC, 1 polarity)	32 bits (10b BXID, 10b address, 6b TOT, other 6 bits)
单位芯片的数据率	最大~0.1 Gbps* (pair production)	最大~0.2 Gbps* (pair production)
LV / HV	1.2 V / 150 V	1.8 V / 150 V

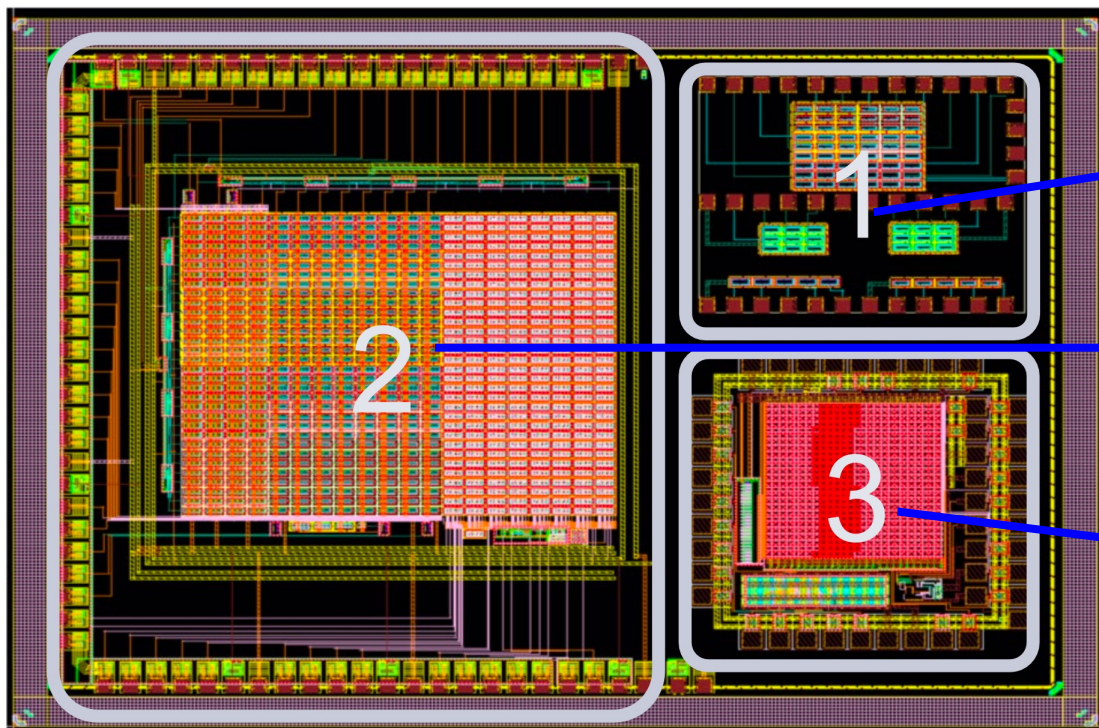
ITK桶部的设计优化于更小的物质质量, ITK端盖优化于高动量测量和PID。\* 最大击中率: 桶部~ $4.1 \times 10^5$ , 端盖~ $7.5 \times 10^5$

# CMOS探测器芯片的研发

## ■ 高压CMOS像素 (COFFEE2) 芯片: 中芯国际55纳米工艺

2023年8月提交, 2023年12月收到

高压CMOS工艺, 晶圆电阻率: 1千欧姆·厘米



芯片 (测试版本) 的3个区域:

1: Passive diode arrays:

- Including 6 different signal collection structures for studying diodes and charge sharing.

2. Pixel arrays with diodes and in-pixel electronics:

- Features 6 types of diodes and 3 types of in-pixel electronics.

3. Pixel arrays with peripheral digital readout:

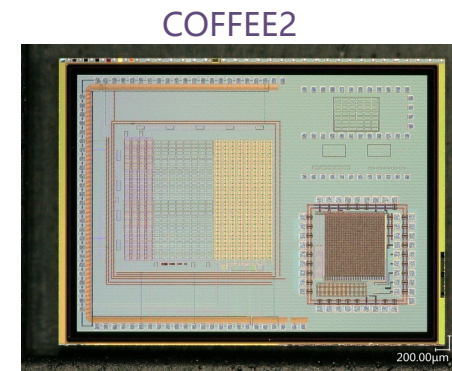
- Used for validating readout strategies



CMOS SENSOR IN  
FIFTY-FIVE NM PROCESS

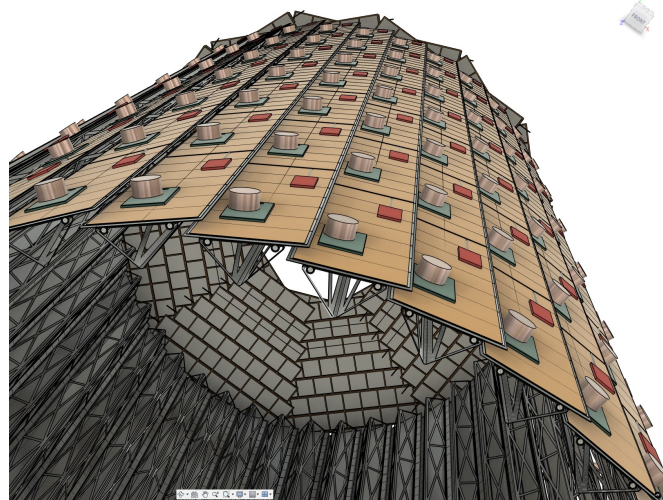
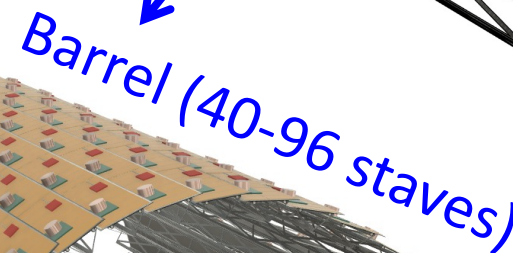
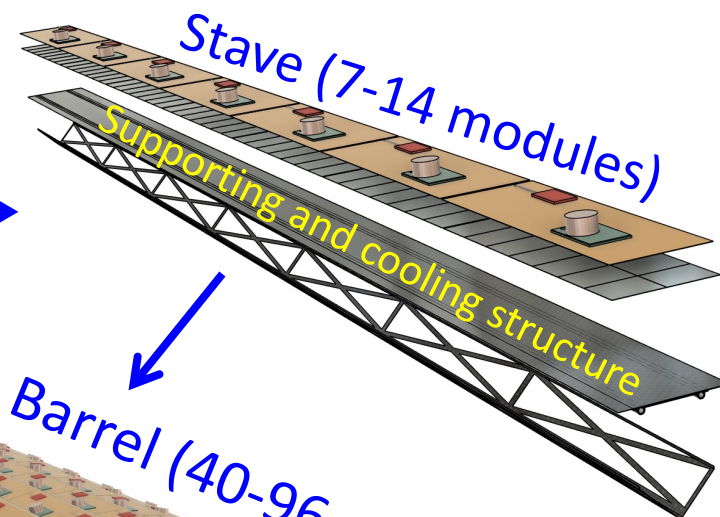
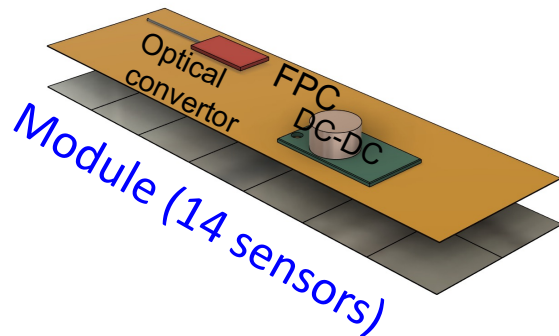
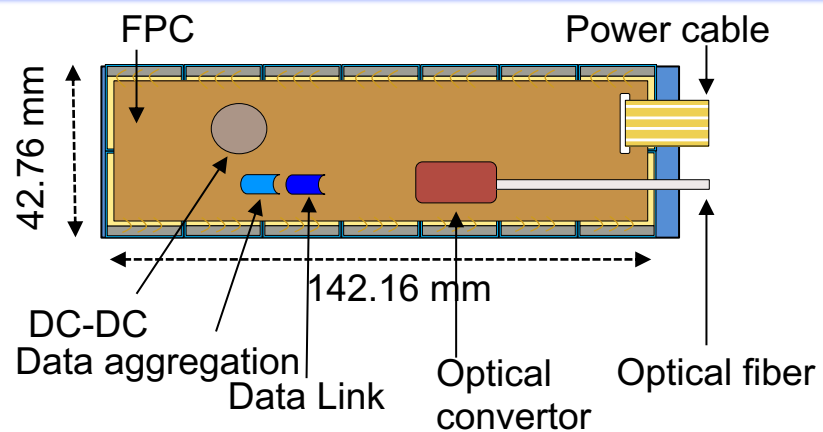


KIT  
Karlsruher Institut für Technologie

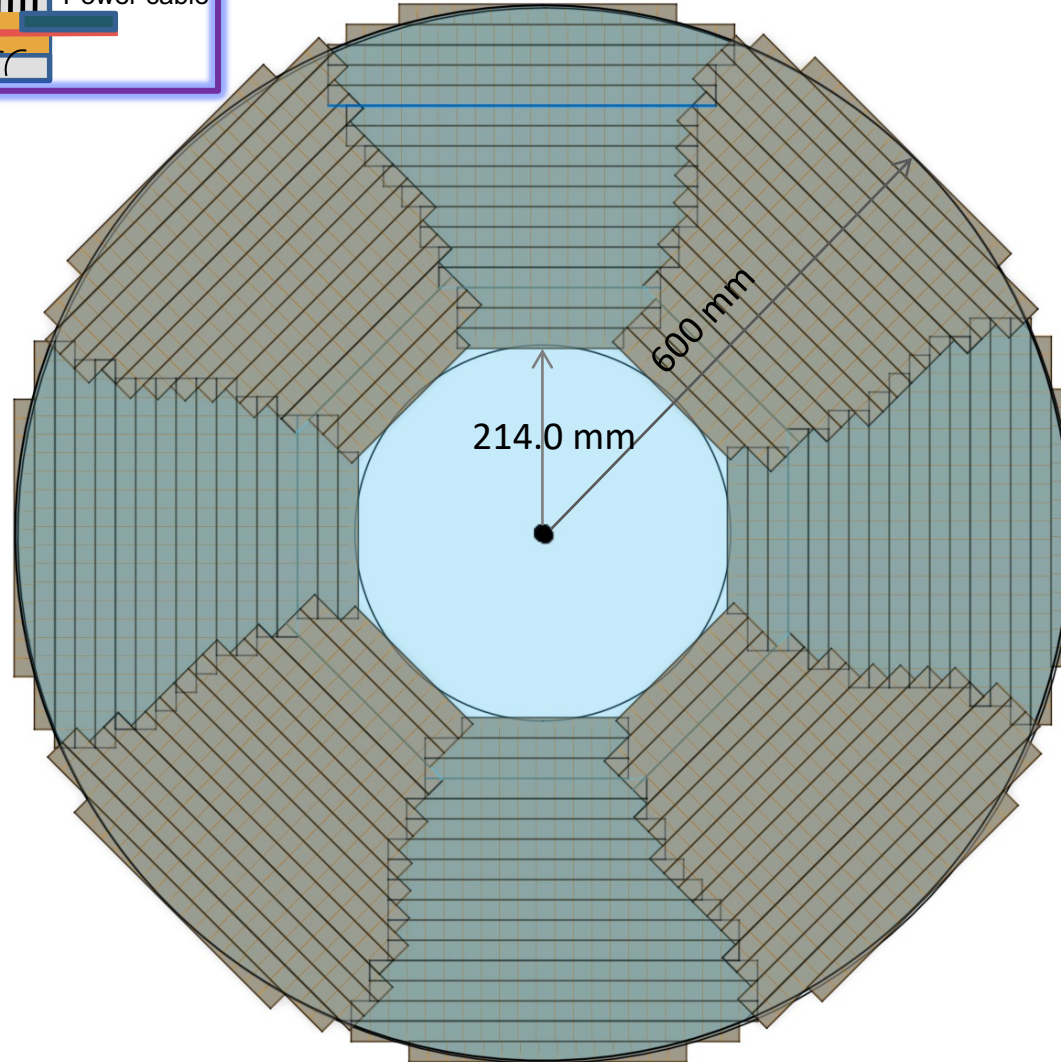
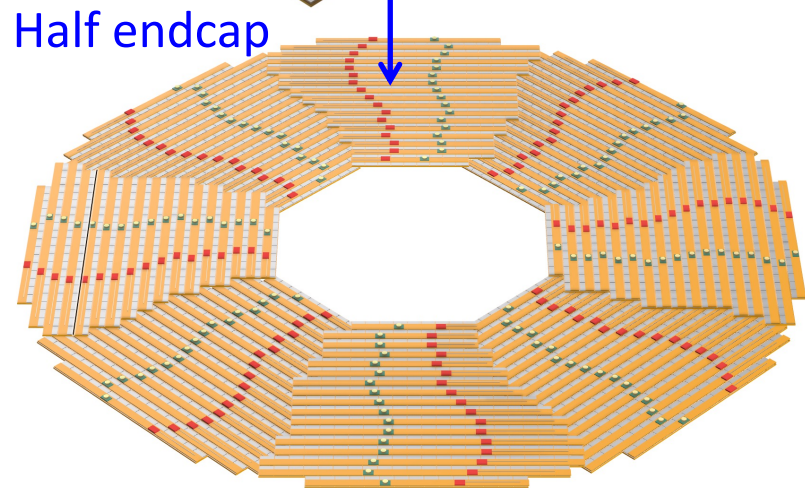
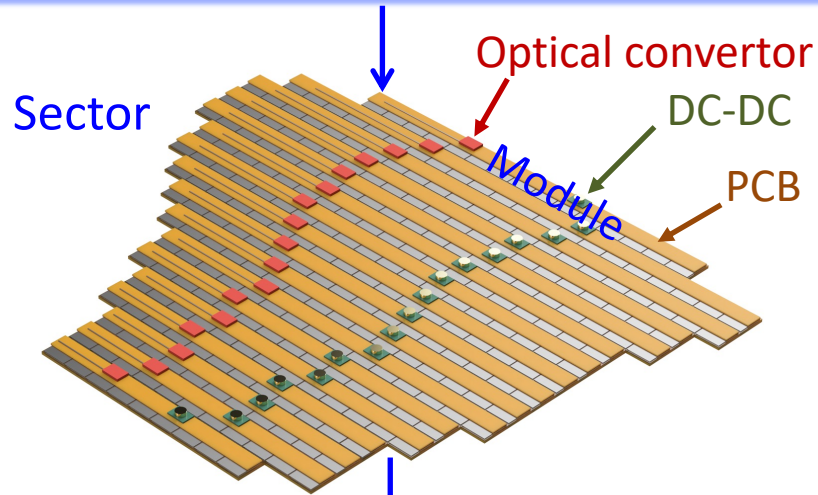
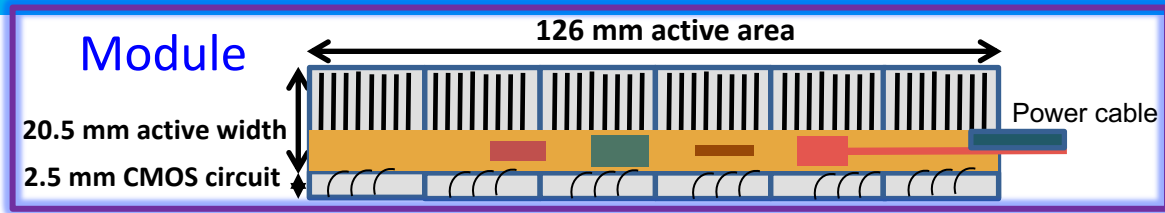


高压CMOS像素探测器芯片COFFEE2的测试正在开展中; CMOS微条第一版芯片CSC1的设计也在协商敲定中。

# 内层径迹探测器 (ITK) 桶部的设计方案 (像素探测器)



# 内层径迹探测器 (ITK) 端盖的设计方案 (微条探测器)

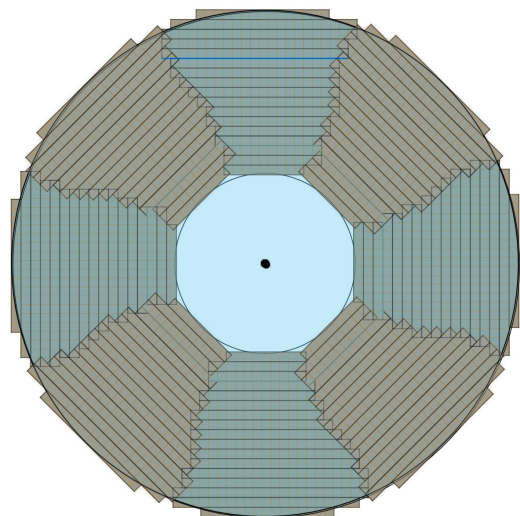


- CMOS Strip Chip - CSC
- FPC
- Data Aggregation
- Power DC-DC
- Data Link
- Optical module

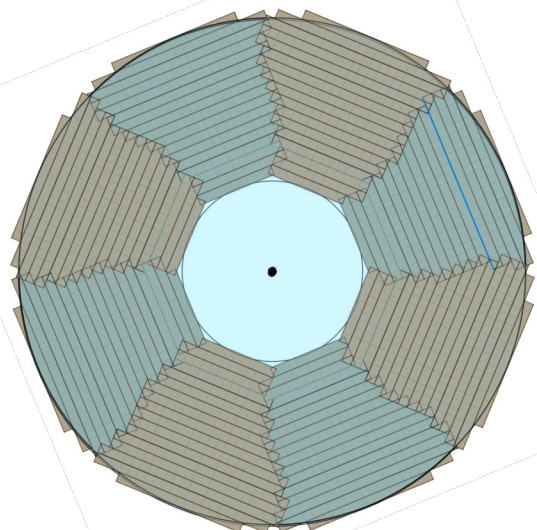
每个端盖的一面被分成8个扇区：每个扇区由矩形的CMOS芯片模块组成。扇区间的重叠部分被设计成最小。



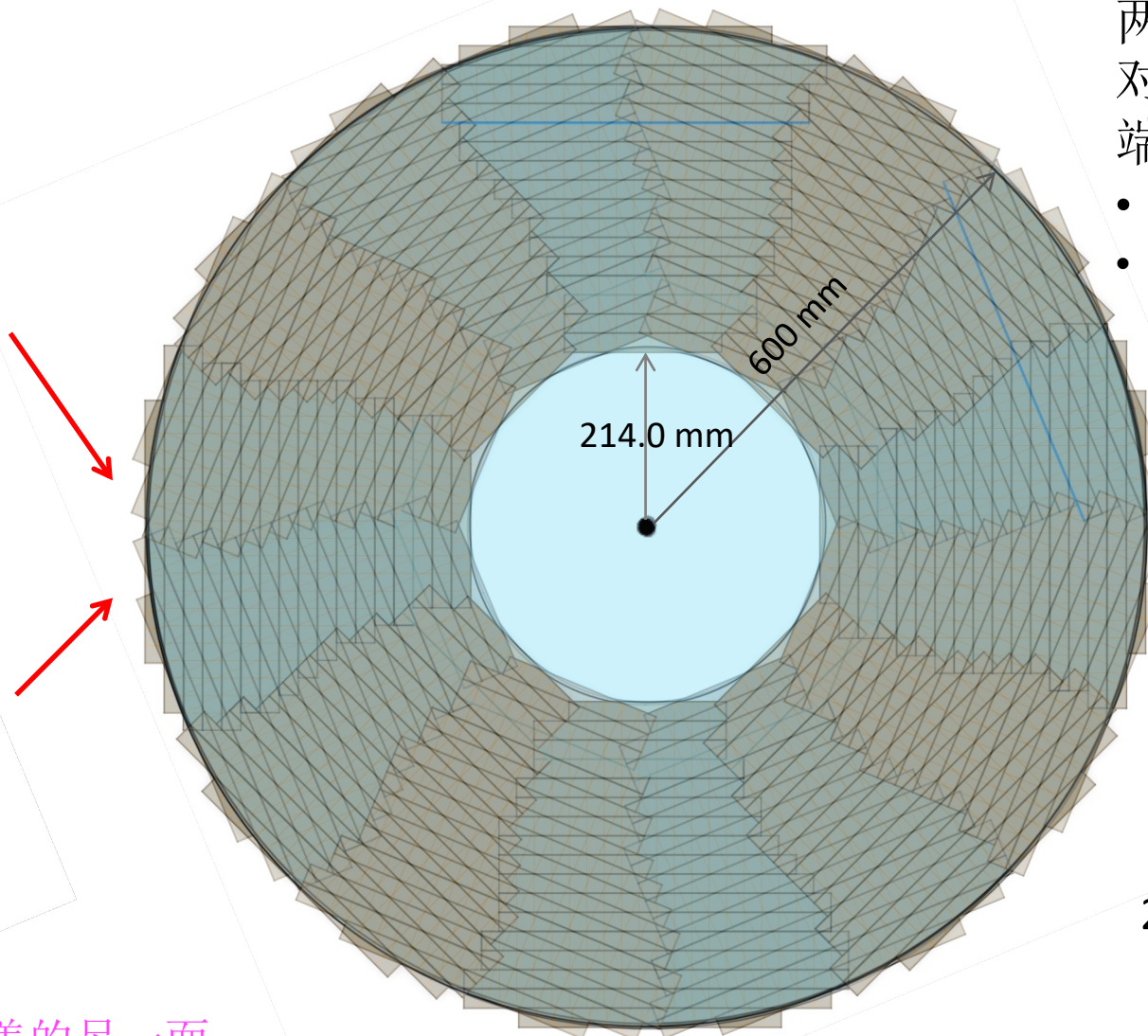
# 内层径迹探测器 (ITK) 一个完整端盖的设计



半个端盖：端盖的一面

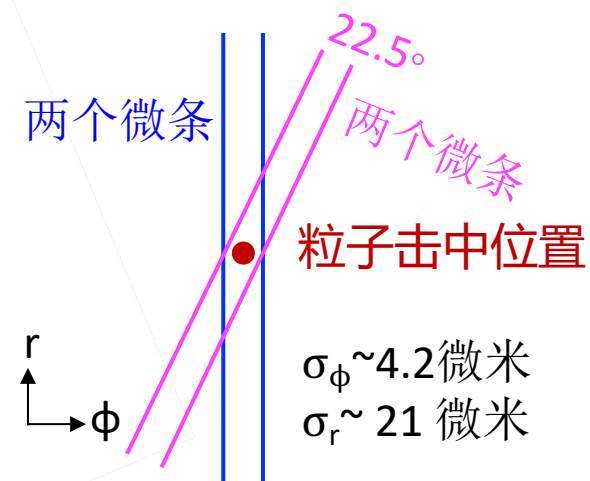


22.5°的另外半个端盖：端盖的另一面



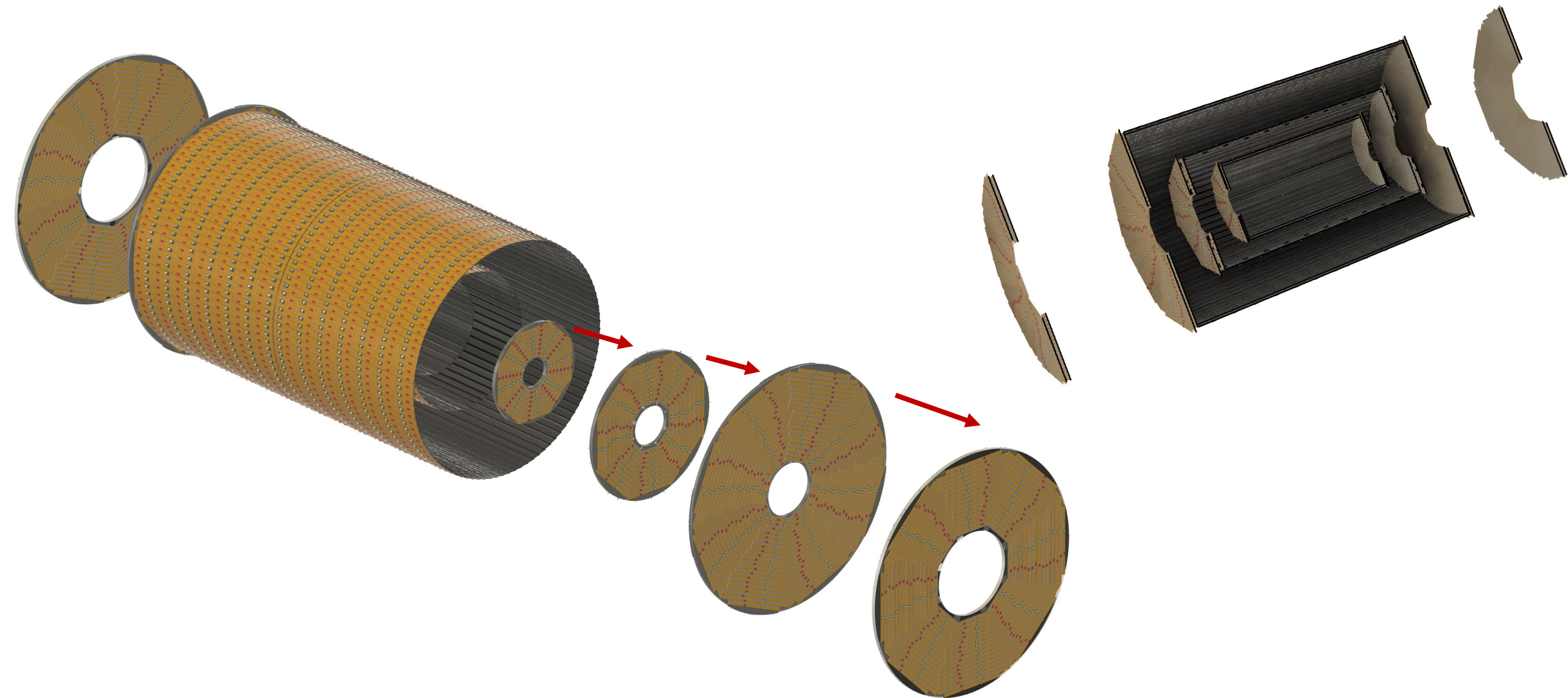
两个一半的端盖（两面）相对旋转22.5°组成一个完整的端盖：

- 径迹的模糊率最小化
- 最优化磁场偏转方向的位置分辨率（ $\phi$ 方向）

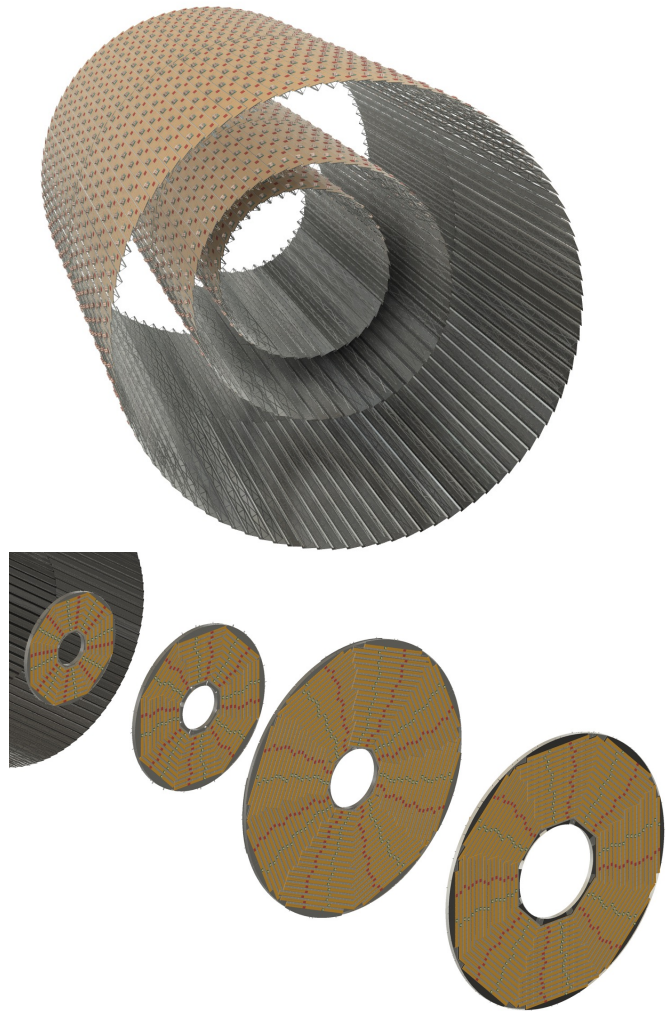


20微米间距微条的位置测量

# CEPC内层径迹探测器的设计：包括3个桶部和8个端盖



# CEPC ITK桶部和端盖的探测器组件



桶部	Modules/Stave	Staves	Modules	芯片数	芯片面积
ITKB1	7	40	280	3920	1.6 m <sup>2</sup>
ITKB2	10	58	580	8120	3.2 m <sup>2</sup>
ITKB3	14	96	1344	18816	7.5 m <sup>2</sup>
Total		194	2204	30856	12.3 m <sup>2</sup>

端盖	Module Types	芯片数	芯片面积
ITKE1	6	1536	0.74 m <sup>2</sup>
ITKE2	8	3136	1.51 m <sup>2</sup>
ITKE3	14	9504	4.59 m <sup>2</sup>
ITKE4	12	8768	4.23 m <sup>2</sup>
Total	19	22944	11.08 m <sup>2</sup>

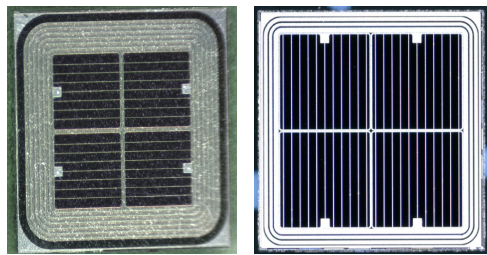
探测器芯片的总功耗（不包括其他电子学组件）：桶部部分为24.6 kW（200 mW/cm<sup>2</sup>），端盖部分为8.9 kW（80 mW/cm<sup>2</sup>）

# 外层径迹探测器OTK (+时间测量) 技术

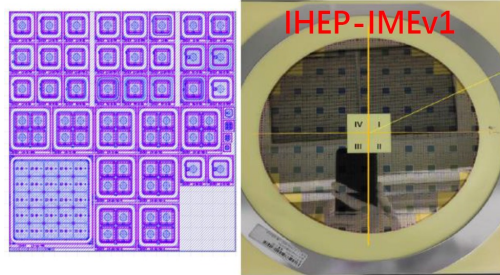
■ 外层径迹探测器OTK采用高能所开发的AC-LGAD微条探测器技术:

- 粒子位置分辨: 5-10 微米 (微条间距约100微米情况下)
- 粒子时间分辨: 30-40 皮秒

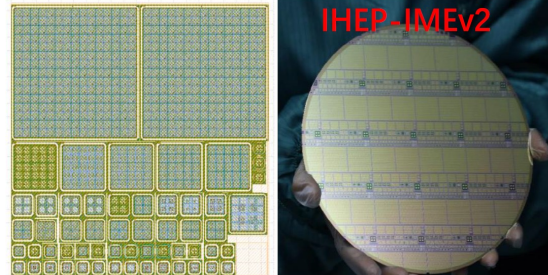
IHEP-NDL(2019)



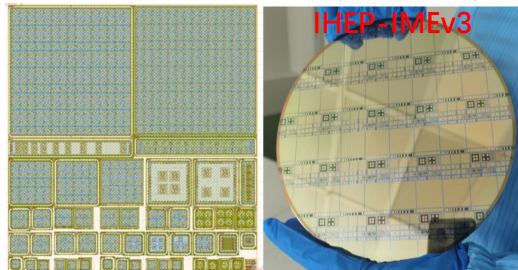
IHEP-IMEv1(2020.9)



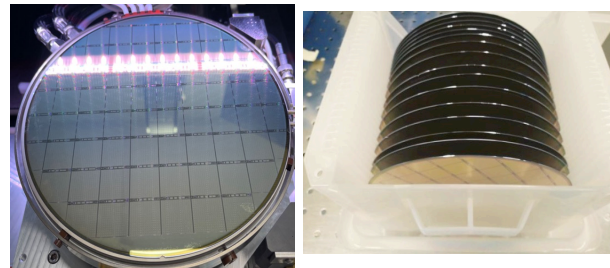
IHEP-IMEv2(2021.6)



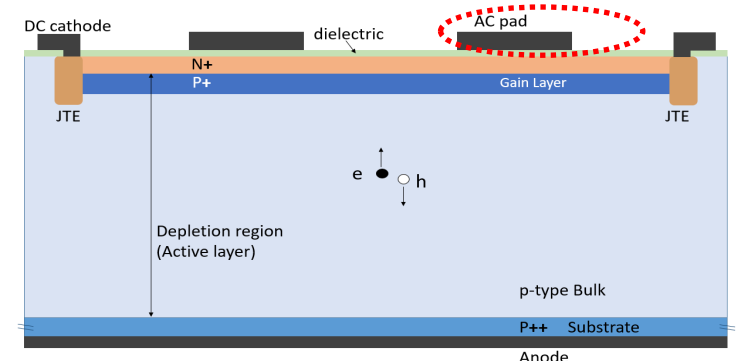
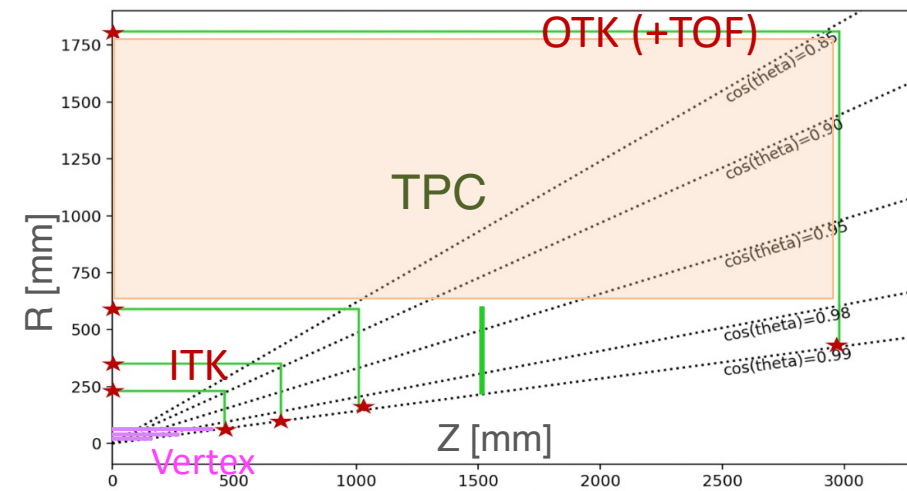
IHEP-IMEv3(2022.5)



Pre-production for ATLAS



→ 用于ATLAS实验  
的大规模生产  
(2024.6)



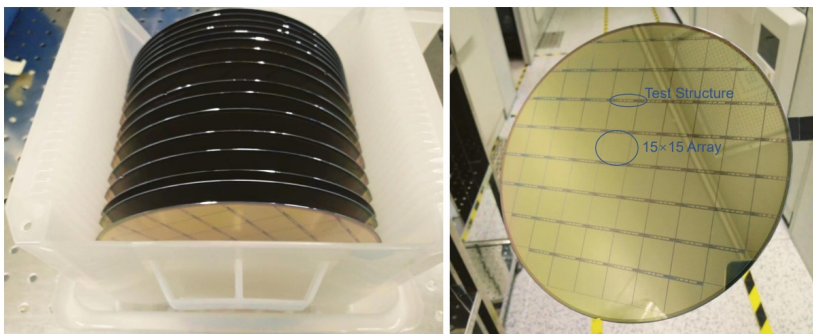
AC-LGAD (AC耦合LGAD, 连续增益层): 金属AC电极与 N+ 层之间由一层薄介质隔开 ( $\text{Si}_3\text{N}_4$ ,  $\text{SiO}_2$ )

# 高能所承接的LGAD探测传感器的生产

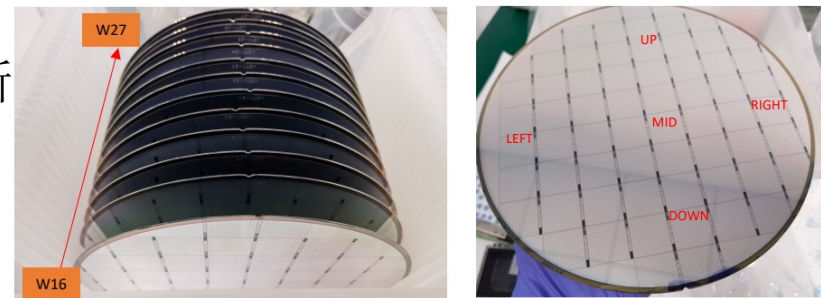
- 2023年5月, CERN在HGTD探测器招标中选择了高能所-微电子所 (IHEP-IME) :
  - 这是CERN首次在LHC实验中选择国产探测传感器
  - 高能所在竞标中击败了日本的“滨松”和意大利的“FBK”
- 生产计划:
  - 高能所-微电子所: 90% (~8 m<sup>2</sup>, 66% CERN招标+24%捐赠)
  - 中科大-微电子所: 10% (~0.8 m<sup>2</sup>, 捐赠)

## 中国预生产的 LGAD探测传感器

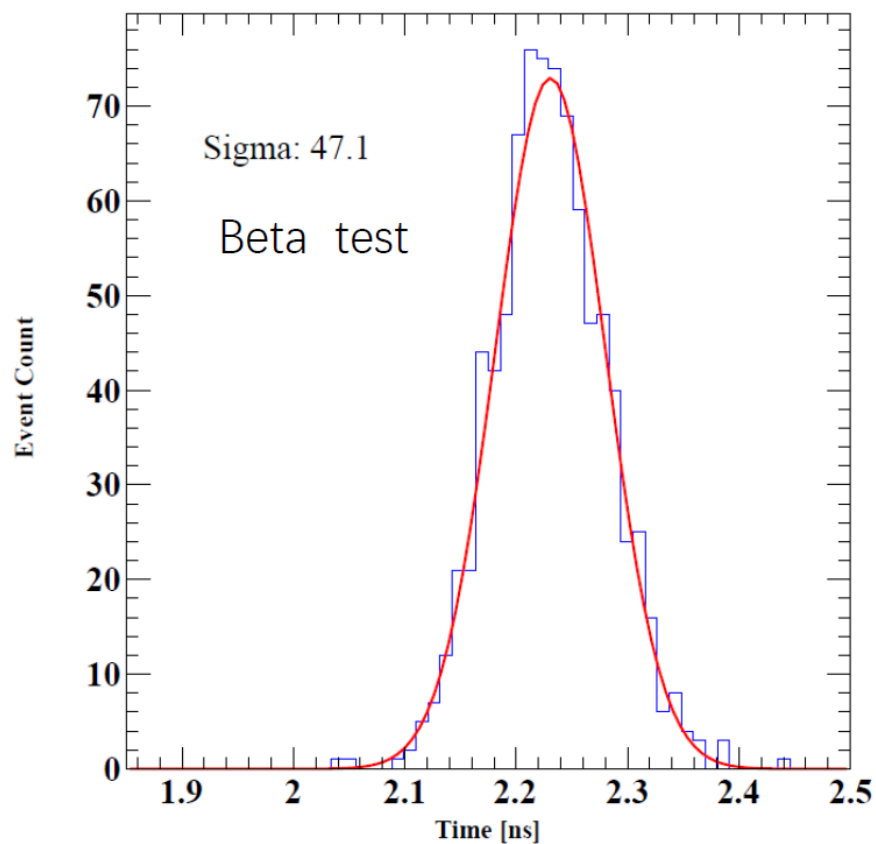
高能所-微电子所



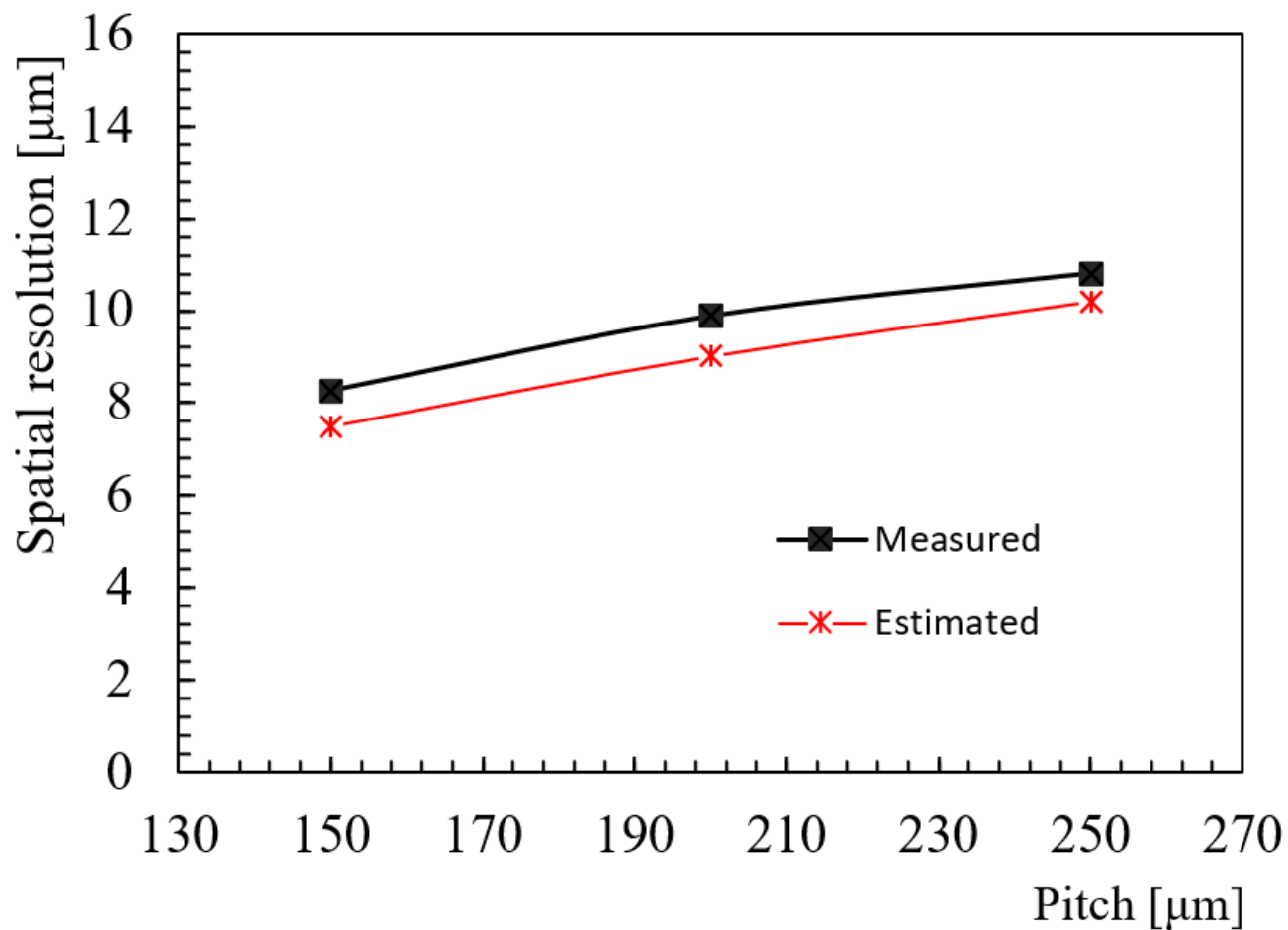
中科大-微电子所



# AC-LGAD的性能: 粒子时间和位置分辨



Time residual sigma: 47.1 皮秒  
时间分辨: 37.5 皮秒



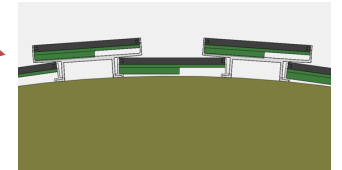
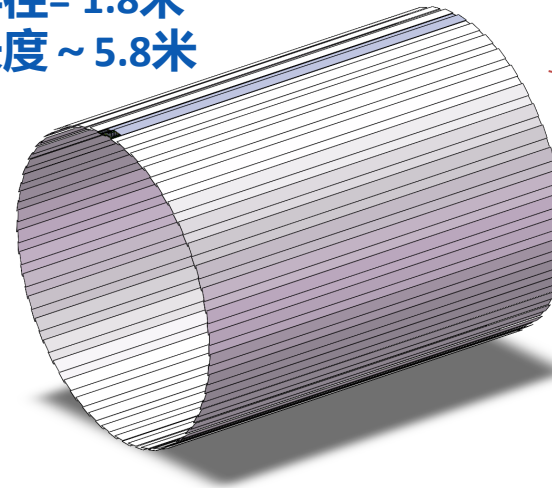
对微条间距150微米, 粒子位置分辨率约8微米

# 外层径迹探测器 (OTK) 的桶部设计

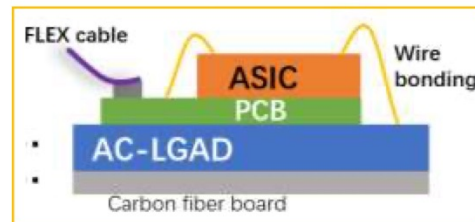
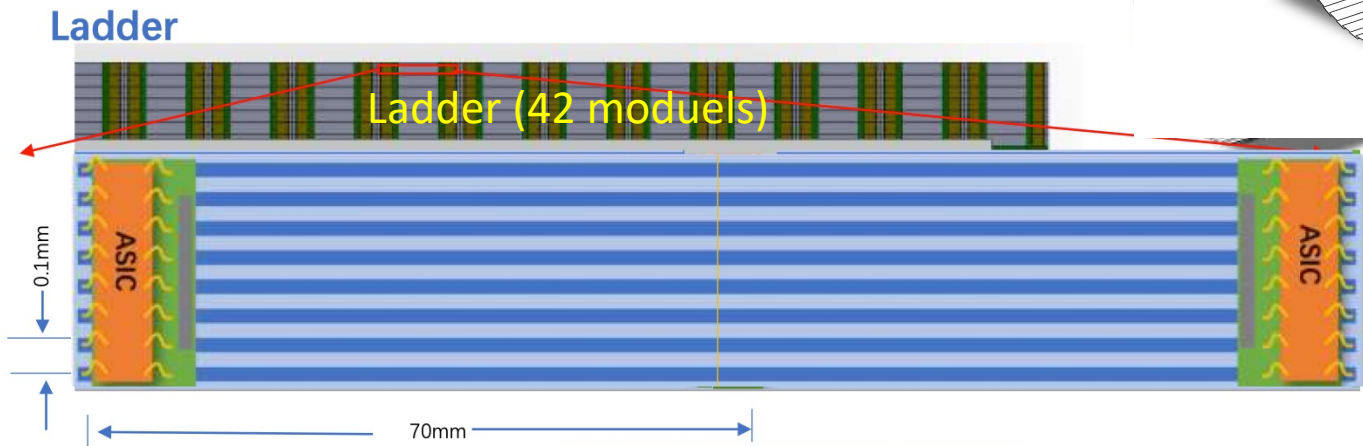
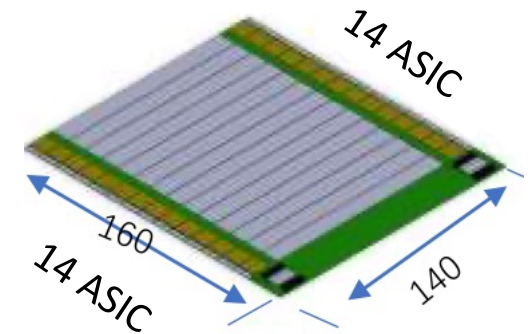
排布设计 (总面积: 70 m<sup>2</sup>):

- 90个ladder (stave)
- 每个ladder (stave) 有42个module
- 每个module有28个ASIC
- 每个ASIC接128个通道

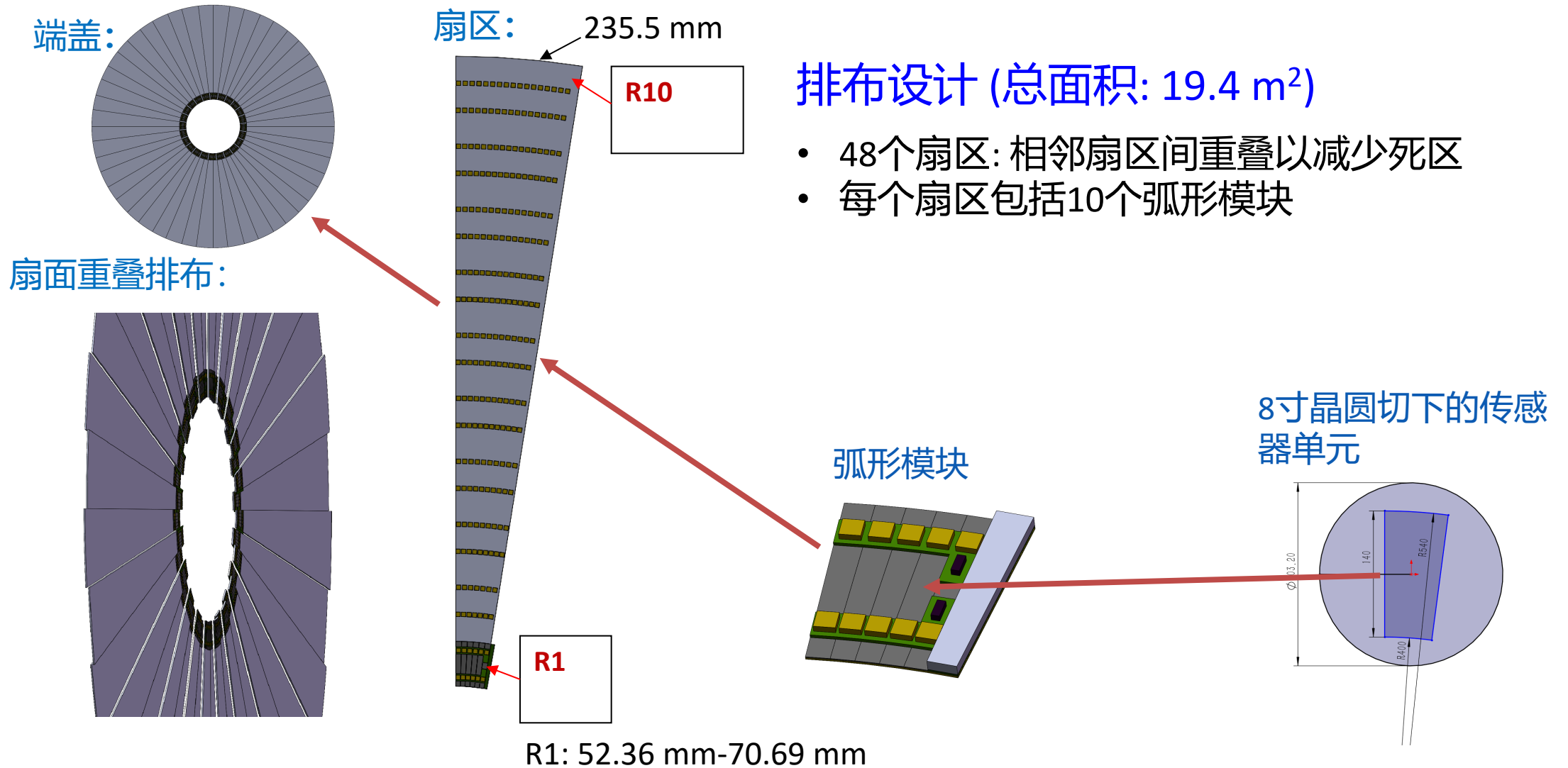
OTK桶部:  
半径= 1.8米  
长度~ 5.8米



Module  
140毫米 x 160毫米



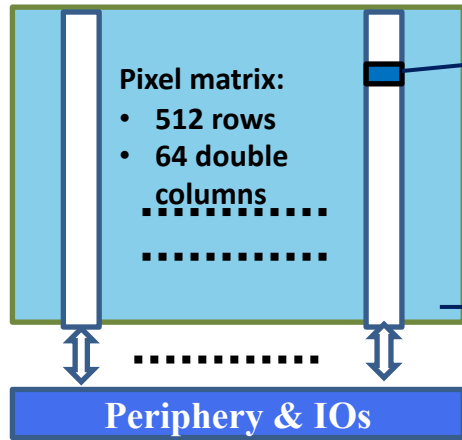
# 外层径迹探测器 (OTK) 的端盖设计





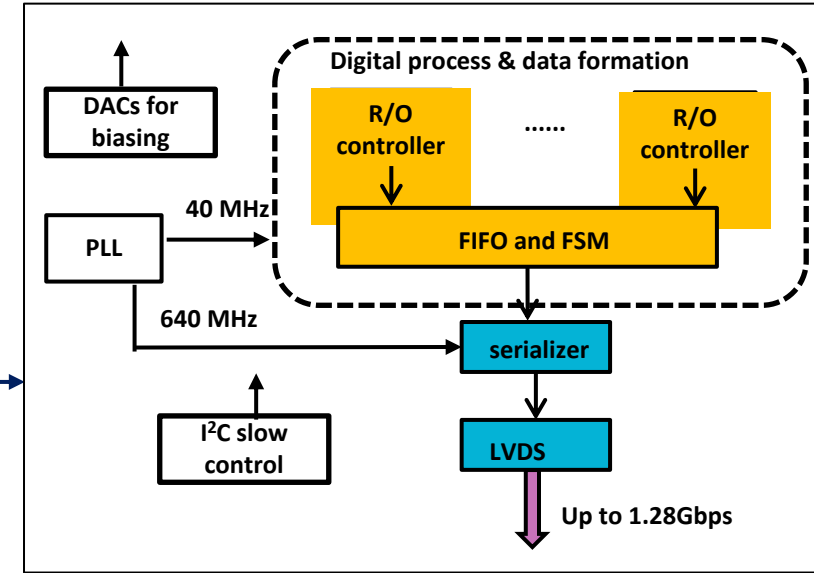
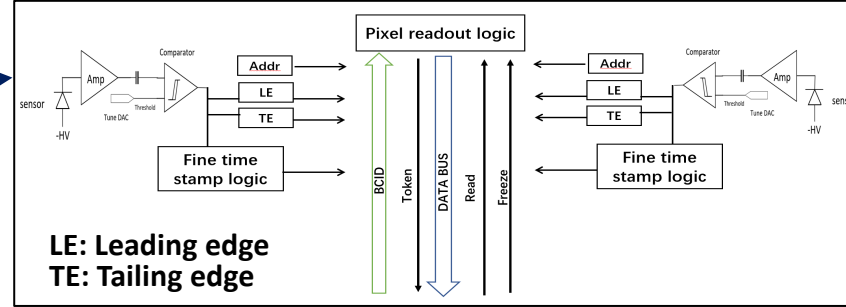
# 内层径迹探测器 (ITK) CMOS芯片的前端电子学

## ■ 高压CMOS像素

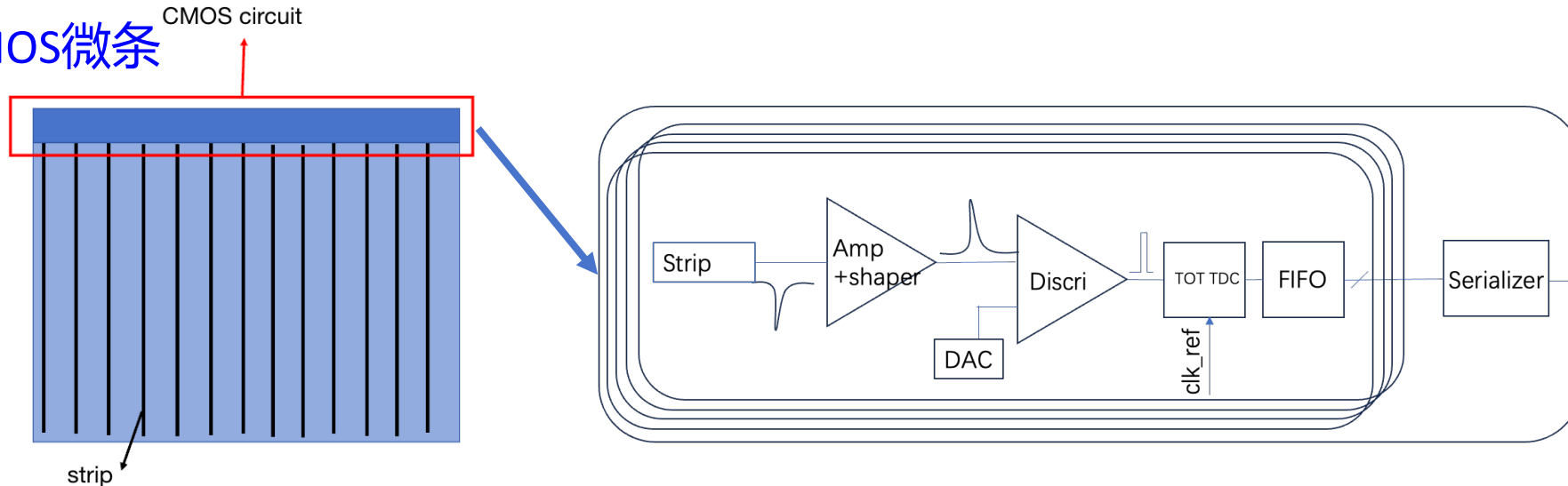


Schematic of a HV pixel sensor

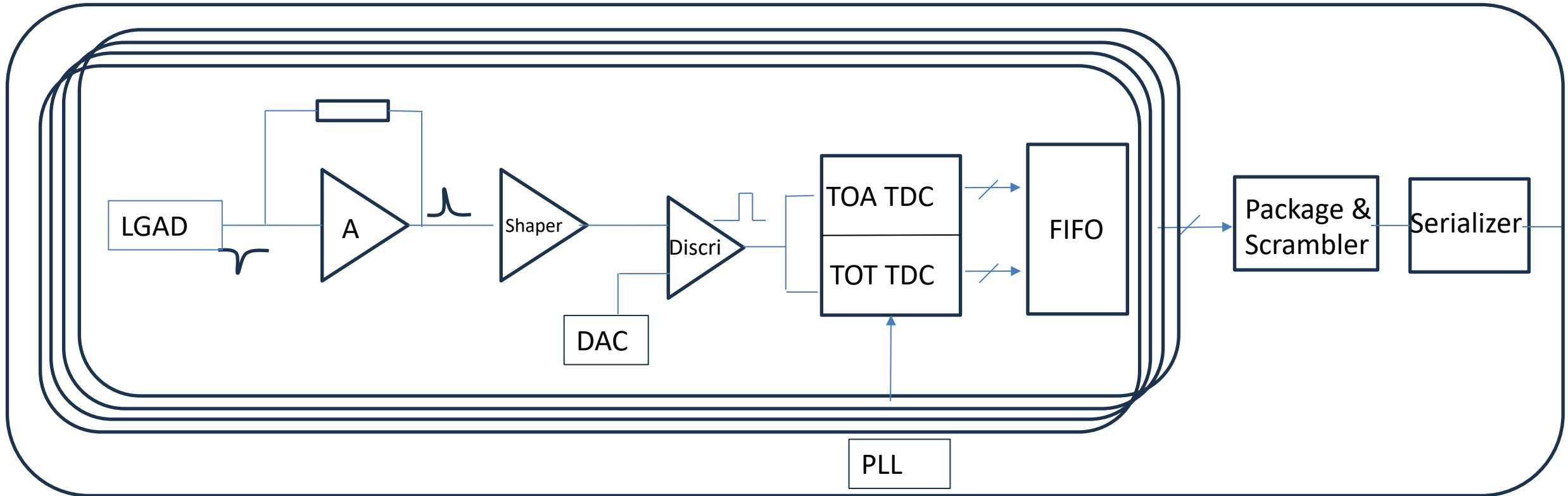
## Double column schematics: two pixels



## ■ CMOS微条



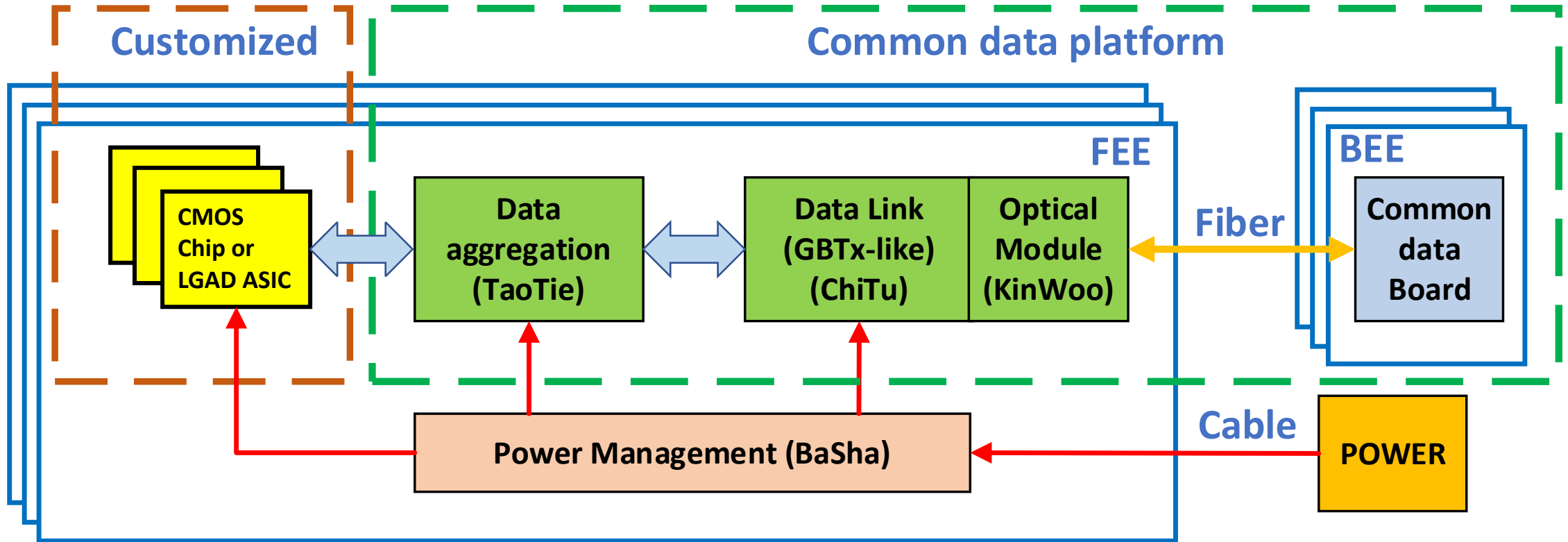
# 外层径迹探测器 (OTK) LGAD的前端电子学



TOA for arrival time

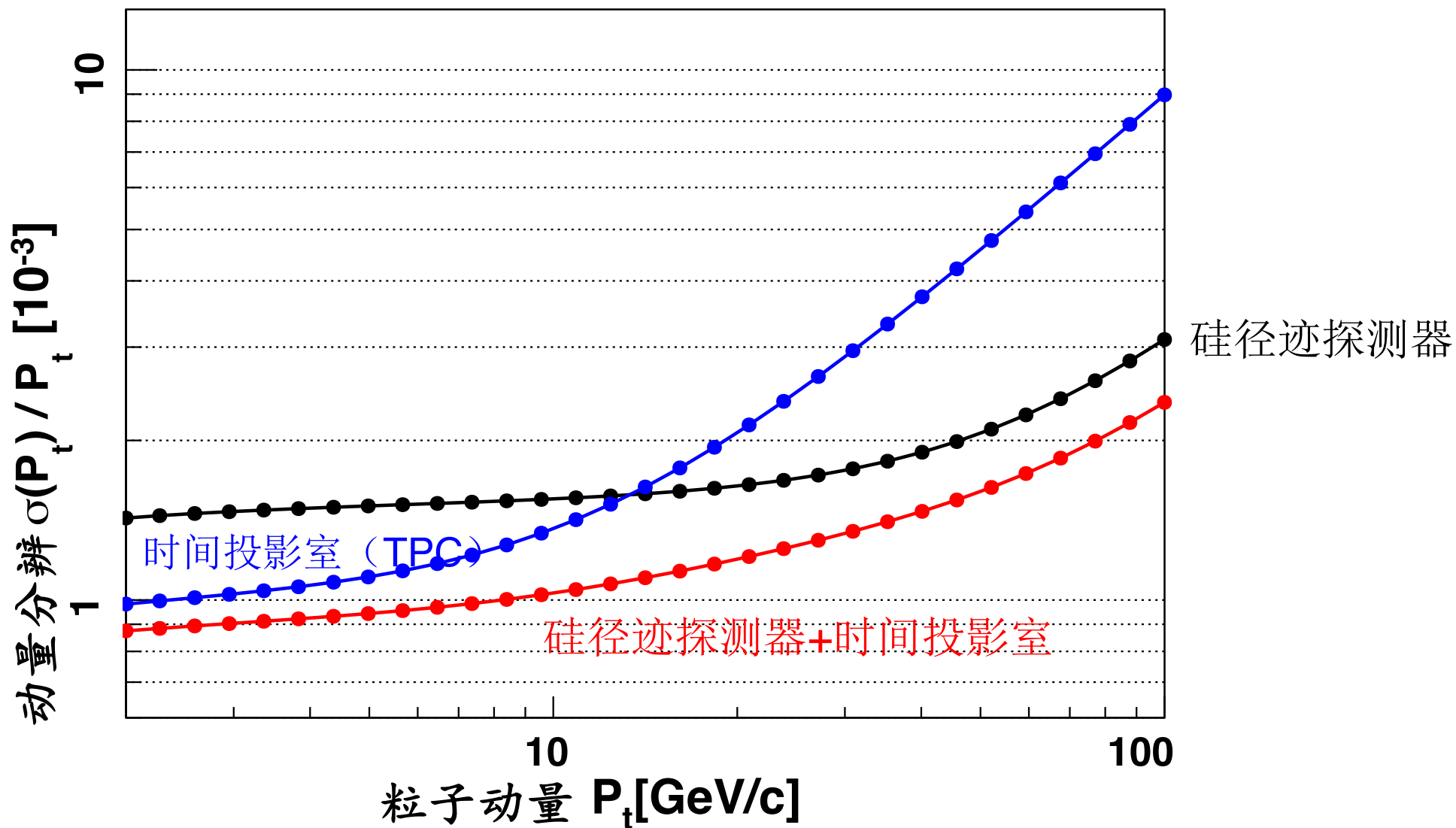
TOT for charge measurement and time walk correction

# 硅径迹探测器的通用读出电子学

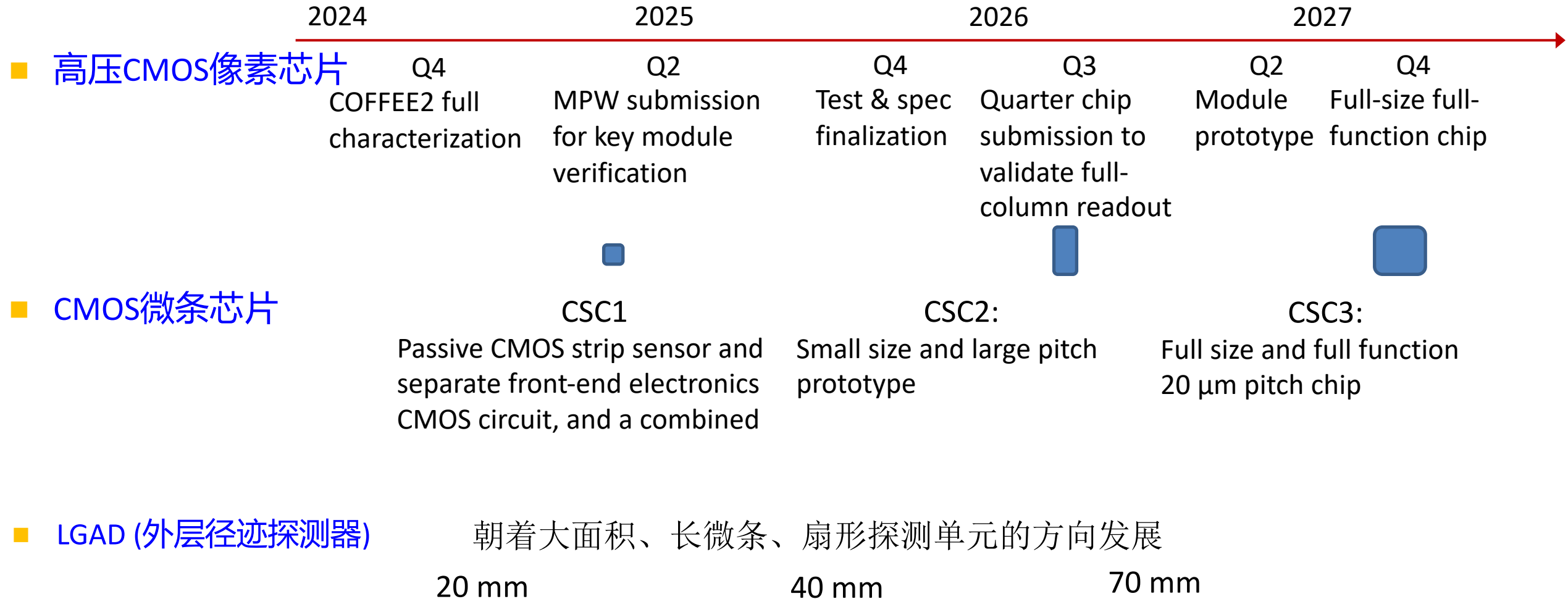


- **Data transmission:** common data platform
- **Trigger mode:** triggerless

# 径迹探测器的性能：粒子动量分辨率（仿真模拟结果）



# 探测器芯片的研发计划

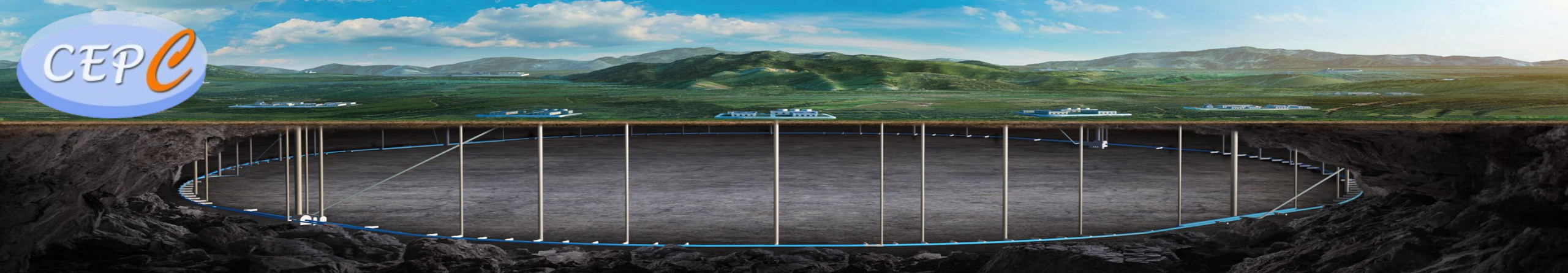


# 总结

- CEPC追求先进的探测器技术，同时也有充分的备选方案。
- CEPC所提供的独特发展机遇将帮助推动我国高能物理半导体探测器技术的进步。我们正推进前沿硅径迹探测器的研发，致力于将其应用于CEPC实验。



CEPC



谢谢!



中国科学院高能物理研究所  
*Institute of High Energy Physics*  
*Chinese Academy of Sciences*

CEPC机械设计研讨会，河南洛阳，2024年8月24日