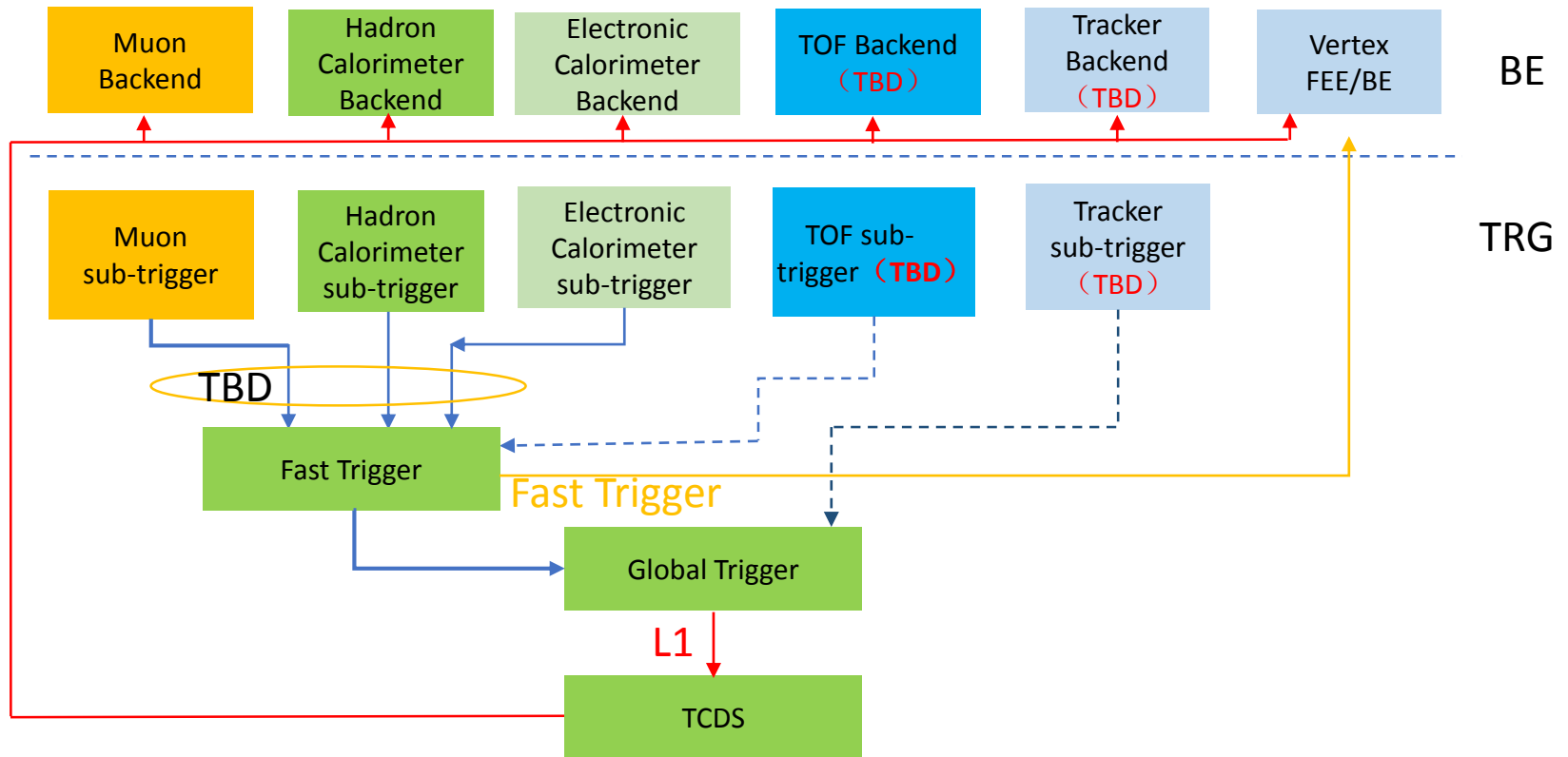


TDAQ discussion of CEPC ref TDR

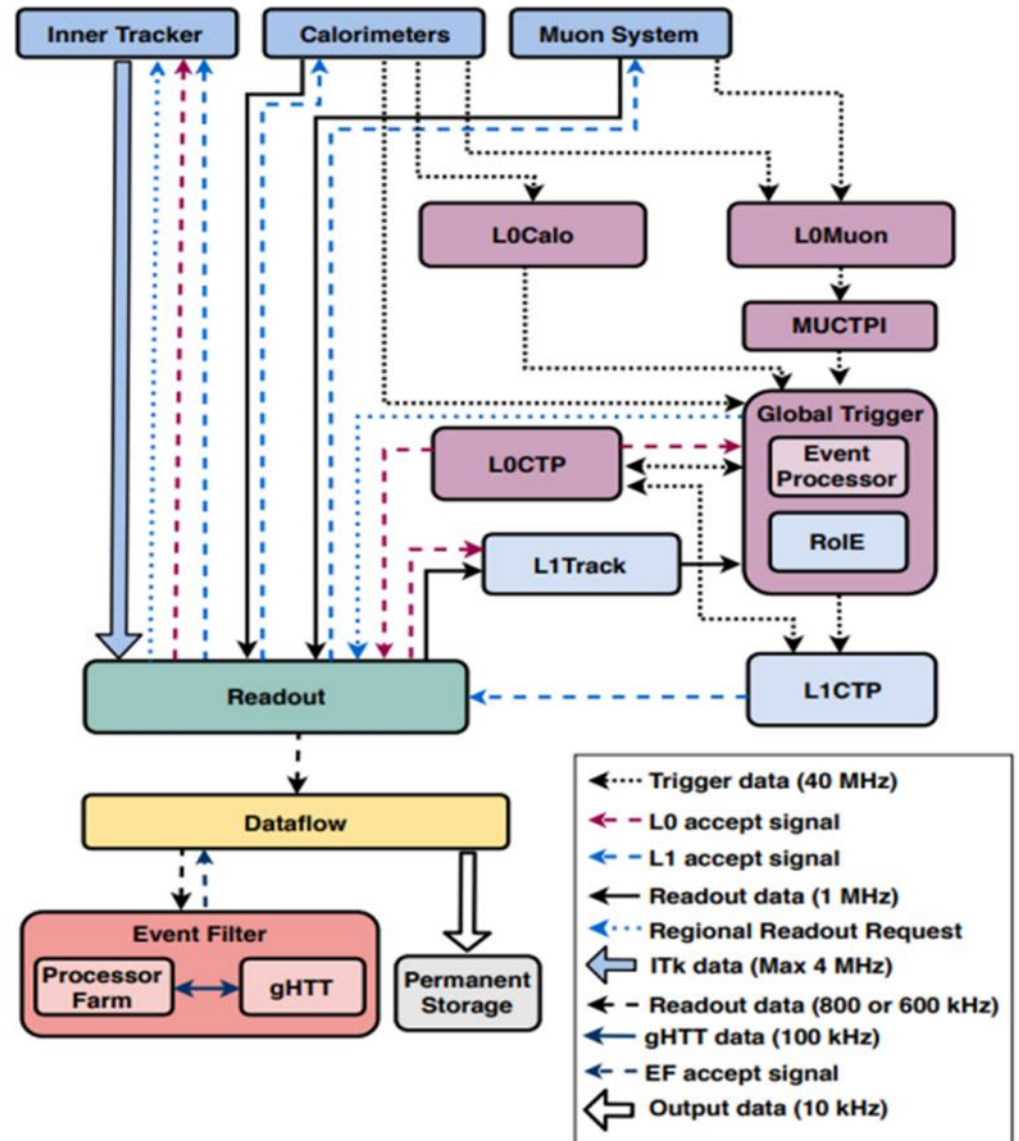
赵京周、李飞、季筱璐

2024.7.16

硬件触发架构设计 v1

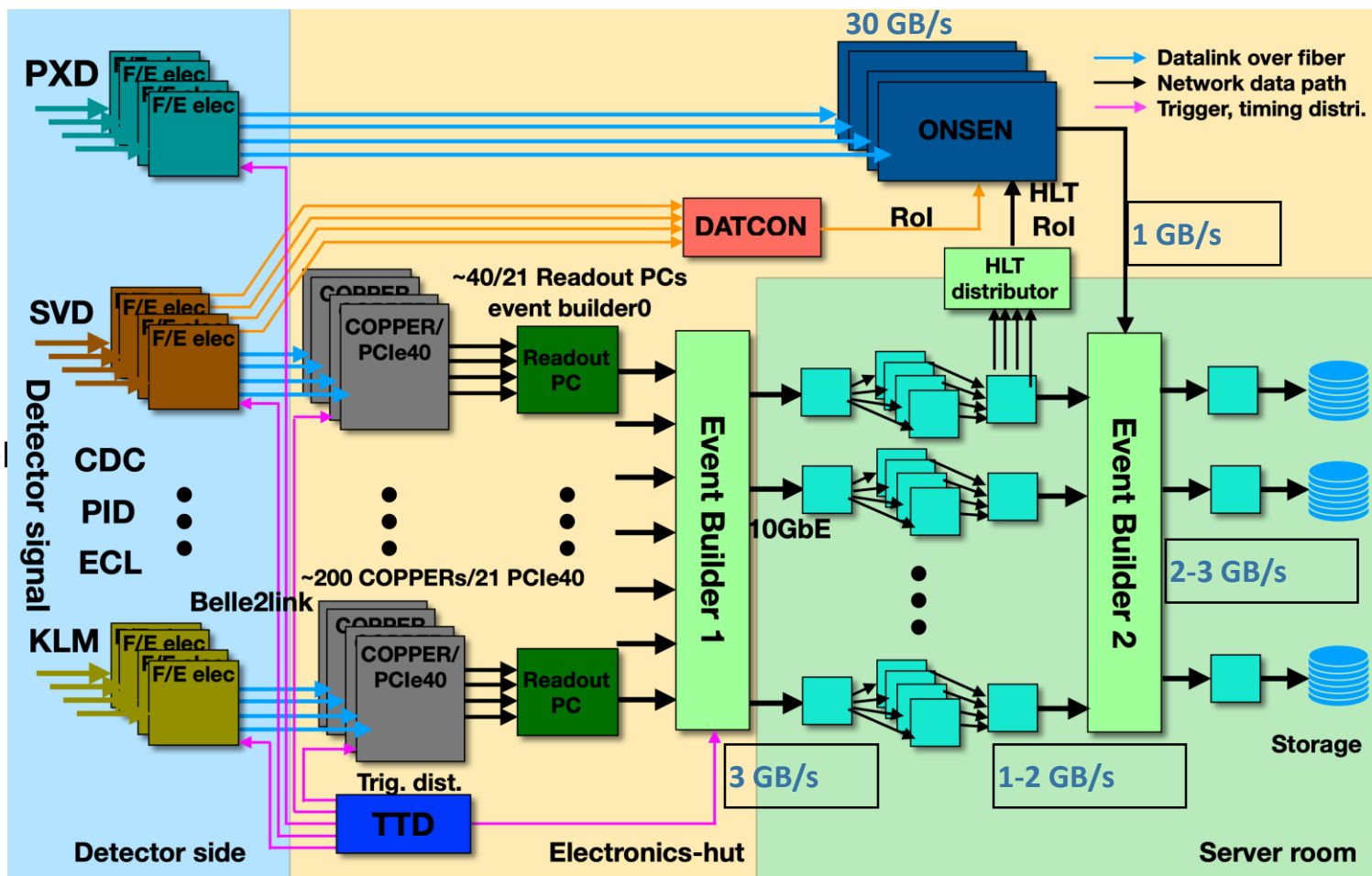


ATLAS Trigger



Belle II DAQ system

- Unified common readout system (except for PXD)
- Unified timing and trigger distribution (TTD) system
- A pipeline readout
- To handle 30 kHz level 1 trigger with $\sim 1\%$ dead time under raw event size of 1 MB



CMS Phase-II TDAQ

触发系统：

- 接收各探测器触发条件信息
- 根据物理需求产生L1A并发送给TCDS

前端电子学：时钟及快控制信号恢复，ADC，TDC，数据压缩发送

后端电子学(同步低延迟)：

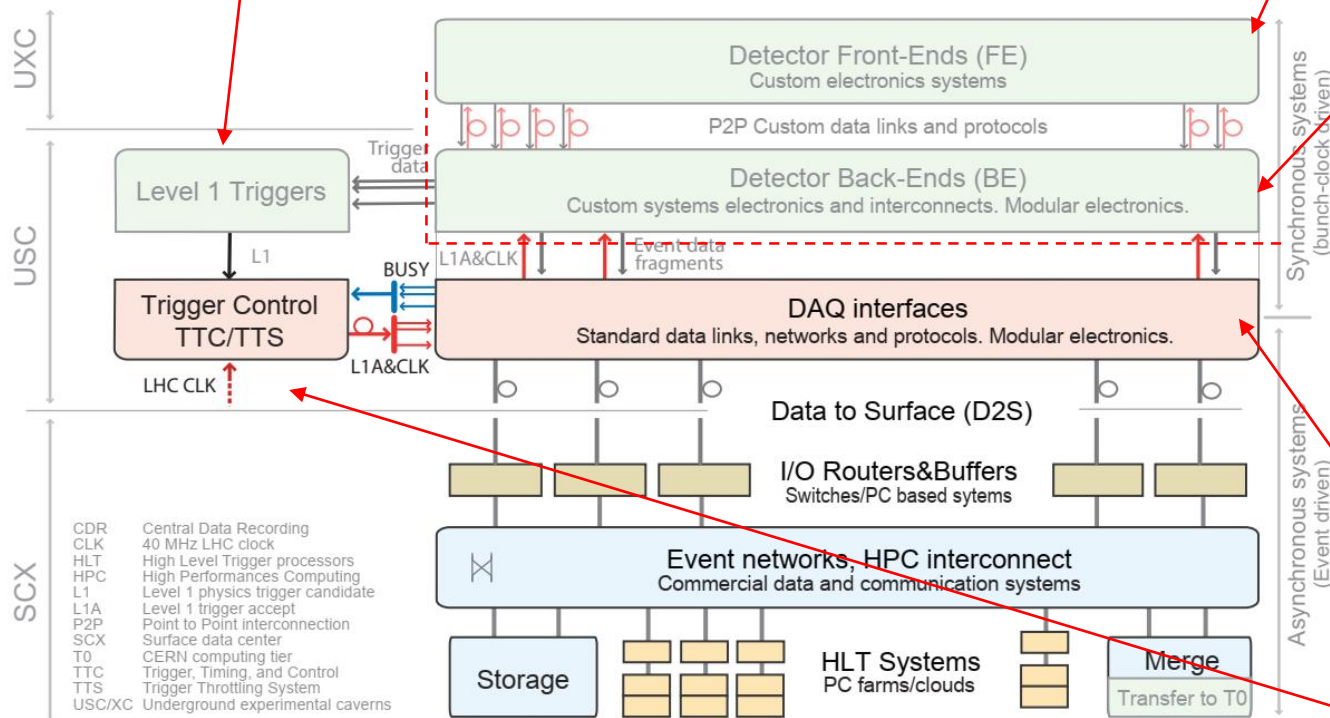
- 前后端标准协议接口，数据解压，数据对齐
- 产生触发条件：簇，径迹段，能量等...，触发条件信息的同步发送（所有触发条件都在后端产生）
- 探测器原始数据及触发条件信息数据读出（DAQ功能）
- 触发快控制时钟接收及往前端发送，状态信息反馈（快控制）
- 前端上电控制，阈值等慢控参数配置及读回校验（慢控制）

机箱内快控制时钟扇出及数据读出：

- 为后端电子学提供标准数据读出接口S-Link，
- 数据汇总及发送，
- 触发快控制时钟机箱内扇出及后端电子学状态汇总，反馈

TCDS：

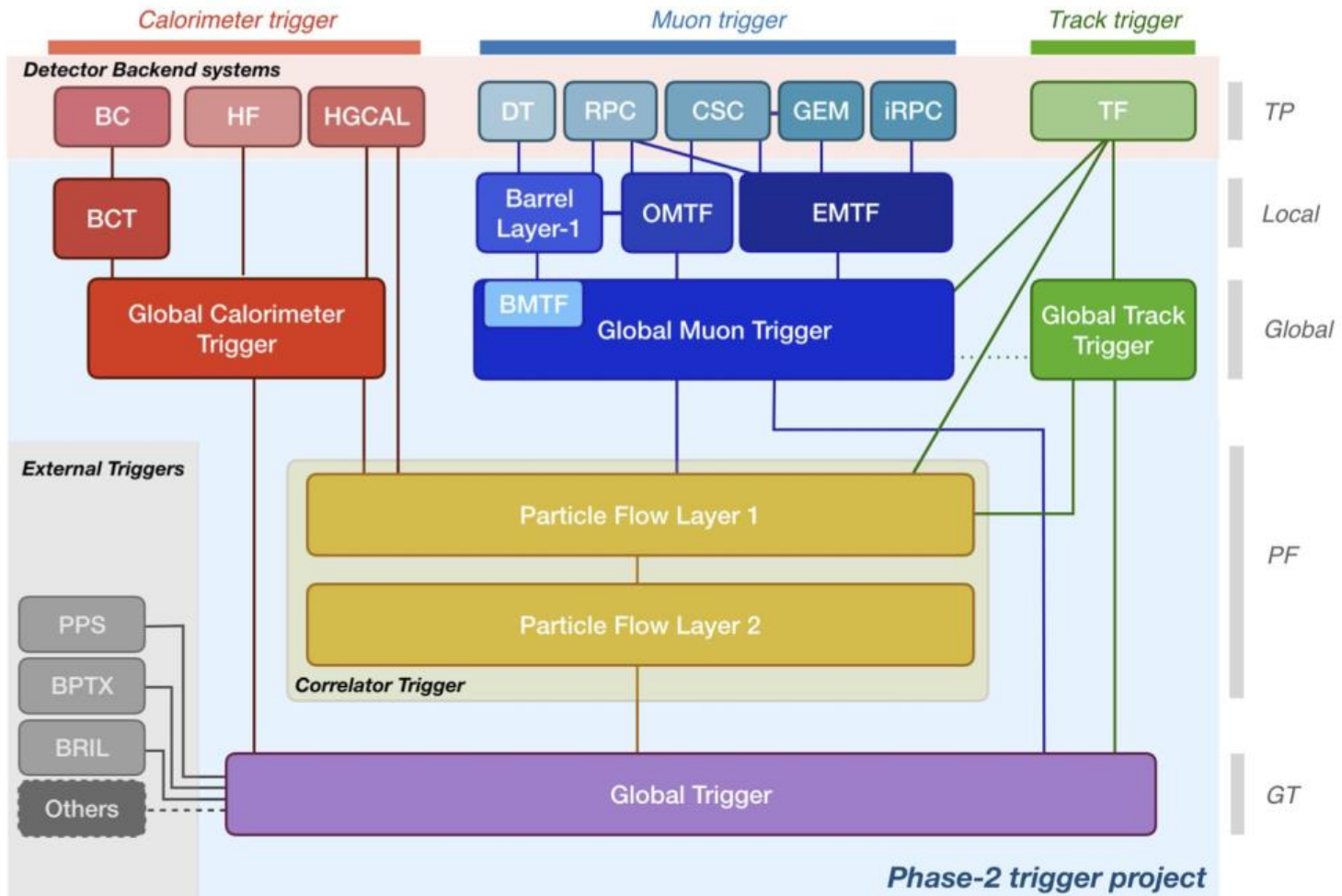
- 接收L1A，系统状态汇总
- 触发时钟快控制信息扇出，系统快控制响应



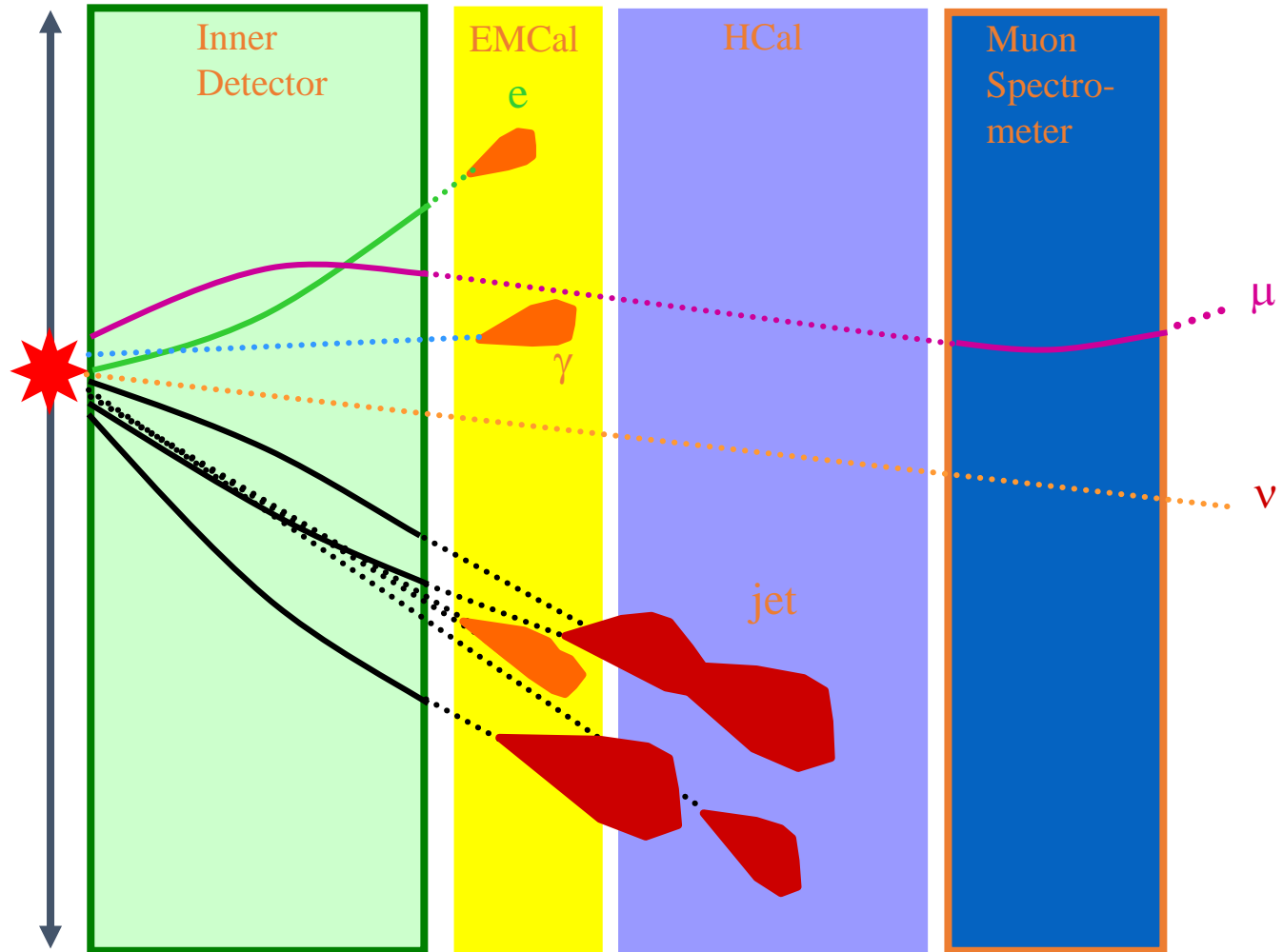
CDR	Central Data Recording
CLK	40 MHz LHC clock
HLT	High Level Trigger processors
HPC	High Performances Computing
L1	Level 1 physics trigger candidate
L1A	Level 1 trigger accept
P2P	Point to Point interconnection
SCX	Surface data center
T0	CERN computing tier
TTC	Trigger, Timing, and Control
TTS	Trigger Throttling System
USC/XC	Underground experimental caverns

Backup

CMS Phase-II Trigger



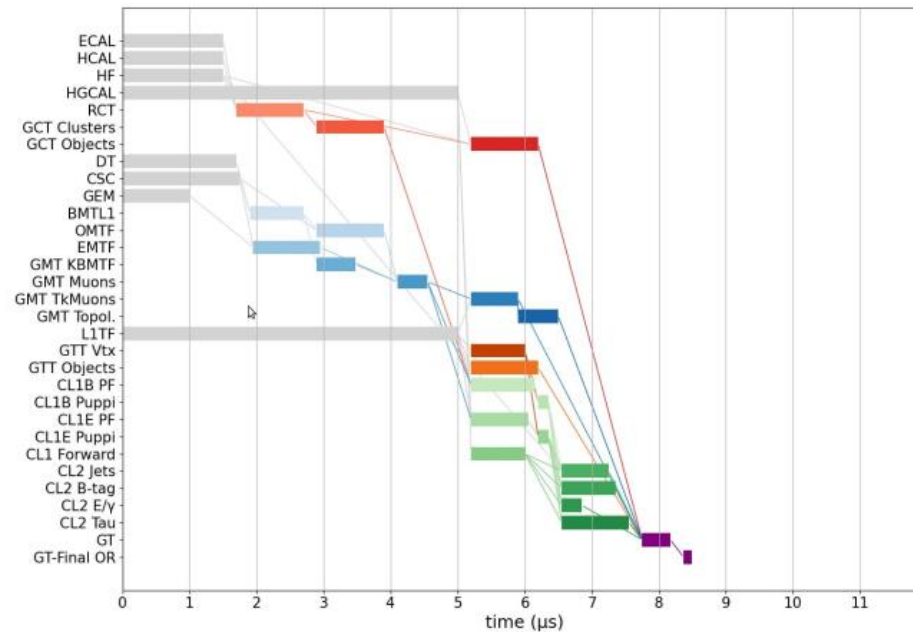
Signatures used for triggers



CMS二期触发延迟

Latency

Combining measurements from HW tests with predictions (where FW under dev.)



Total = 8.367 μs for L1A @ GT + 1 μs to propagate back to frontends (budget: 12.5 μs)

后端电子学与触发接口及功能定义

后端电子学(同步低延迟)：

- 前后端标准协议接口，数据解压，数据对齐
- 产生触发条件：簇，径迹段，能量等...，触发条件信息的同步发送（所有局部触发条件都在后端产生）
- 探测器原始数据及触发条件信息数据读出（DAQ读出）
- 触发快控制时钟接收及往前端发送，状态信息反馈（快控制）
- 前端上电控制，阈值等慢控参数配置及读回校验（慢控制）

各触发子系统：

- 接收后端电子学发送的局部触发条件信息，同步触发条件
- 产生各子系统的触发条件，送给总触发
- 各子系统触发条件数据读出（DAQ读出）

后端触发电子学与各触发子系统接口：

- 标准数据帧格式，同步传输，线速率10Gbps(?)
- 包含公用BX信息，CRC校验(?)

触发延迟的问题

- 触发延时是整个链路需要考虑的问题
 - 前端数据发送机制-时间优先（like CSP）
 - 后端电子学数据同步及预处理消耗
 - 后端电子学到触发数据传输消耗
 - 触发子系统及总触发算法时间消耗
 - 快控制触发信号的扇出时间消耗