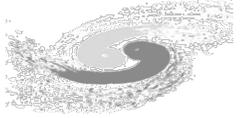
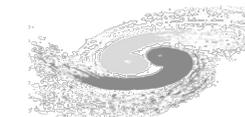


Requirement from Sub-Detector



	Vertex	Pix(ITKB)	Strip (ITKE)	TOF (OTK)	TPC	ECAL	HCAL
Channels per chip	512*1024 Pixelized	512*128 (2cm*2cm@34um*150um)	512	128	128	8~16	8~16
Ref. Signal processing	XY addr + BX ID	XY addr + timing	Hit + TOT + timing	ADC+TDC/TOT+TOA	ADC + BX ID	TOT + TOA/ ADC + TDC	TOT + TOA/ ADC + TDC
Data Width /hit	32bit (10b X+ 9b Y + 8b BX + 5b chip ID)	48bit (9b X+7b Y +14b BX + 6b TOT + 5TOA + 4b chip ID)	32bit (10b chn ID + 8b BX + 6b TOT + 5b chip ID)	40~48bit (7b chn ID + 8b BX + 9b TOT + 7b TOA+5b chip ID)	48bit (7b chn ID + 8b BX + 11b chip ID + 12b ADC + 10b TOA)	48bit (8b BX+ 10b ADC + 2b range + 9b TOT + 7b TOA+ 4b chn ID + 8b chip ID)	48bit (8b BX+ 10b ADC + 2b range + 9b TOT + 7b TOA+ 4b chn ID + 8b chip ID)
Data rate / chip	1Gbps/chip@ Triggerless@ Low LumiZ Innermost	640Mbps/chip Innermost	Avg. 1.01MHz/chip Max. 100MHz/chip	Avg: 26kHz/chip @ z pole Max: 210kHz/chip @z pole	~70Mbps/module Innermost	<4.8Gbps/module	<4.8Gbps/module
Data aggregation	10~20:1, @1Gbps	1. 1-2:1 @Gbps; 2. 10:1@O(10Gbps)	1. 10:1 @Gbps 2. 10:1 @O(10Gbps)	1. 10:1 @1Mbps 2. 10:1 @O(10Mbps)	1. 279:1 FEE-0 2. 4:1 Module	1. 4~5:1 side brd 2. 7*4 / 14*4 back brd @ O(10Mbps)	< 10:1 (40cm*40cm PCB – 4cm*4cm tile – 16chn ASIC)
Detector Channel/module	2218 chips @long barrel	30,856 chips 2204 modules	22720 chips 1696 modules	41580 chips 1890 modules	258 Module	1.1M chn	6.7M chn
Data Volume before trigger	2.2Tbps	2Tbps	22.4Gbps	1Gbps	18Gbps	164.8Gbps	14.4Gbps

A summary of FEE power

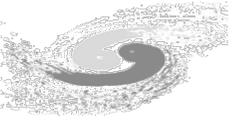


	Vertex	Pix Tracker	TOF	Si Strip	TPC	DC	ECAL	HCAL
Detector for readout	CMOS Sensor	HVCMOS	Strip-LGAD	Si Strip	Pixel PAD	Drift Chamber	SiPM	SiPM
Main Func for FEE	X+Y	XY + nsT	X + 50psT	X	E + nsT	Analog Samp.	E + 400psT	E + 400psT
Channels per chip	512*1024 Pixelized	768*128 (2cm*2cm@25um*150um)	128	128	128	-	16	16
Voltage@chip	1.8V@180nm (1.2V@65nm future)	1.2V@55nm (HVCMOS Pixel)	1.2V@55nm (TDC)	1.2V@130nm (电压统一、便宜)	1.2V@65nm	±3.3V商用 → 1.2V@G aAs?	1.2V@55nm (TDC)	1.2V@55nm (TDC)
Power@chip	<200mW/cm ² <0.8W/chip	<200mW/cm ² <0.8W/chip 尚无设计	<40mW/ch <5W/chip	5mW/ch 640mW/chip	35mW/chip	?	20mW/chn 160~320mW/chip	20mW/chn 160~320mW/chip
chips@module	10~20:1	<10:1 尚无设计	10:1	10:1	279:4:1	需FPGA、ADC供电, 可统一1.2V?	112~280:1 侧板无DCDC 仅电容	~10:1
Power@module	8~16W @1.8V 4.4~8.9A	8~16W @1.8V 4.4~8.9A	50W (???) @1.2V 41.7A	6.4W @1.2V 0.53A	40W @1.2V 33.3A		44.8W @1.2V 37.3A	3.2W @1.2V 2.6A
Other	辐照TID 7.3Mrad/y @ HLumi Z		需进一步优化			On FPGA	可能SiPM可共用60V中压电源	可能SiPM可共用60V中压电源



- 前端ASIC数据率由于加速器功率30MW→50MW，本底数据需要进一步更新，更待MDI统一计算
 - 目前暂按之前的估算来考虑
 - VTX受此影响最大，按照每芯片2Gbps计算
- 探测器模块组织情况
 - VTX更新为内四层Stitching，外层ladder的方式（暂定组织）
 - 其他按照目前掌握的探测器设计情况来考虑（大部分探测器模块数量仍未最后确定）
- 探测器功耗情况
 - 在探测器级别，也和探测器模块组织方式密切相关
 - 在芯片级别，大部分功耗均已明确

电子学间需求计算——边界条件（数据）



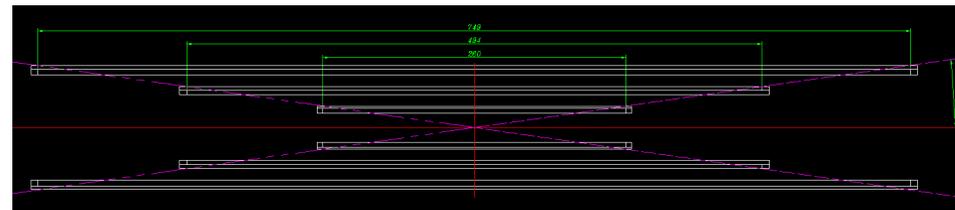
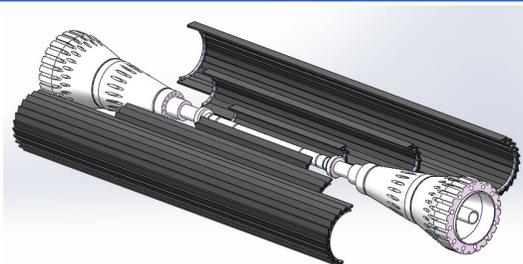
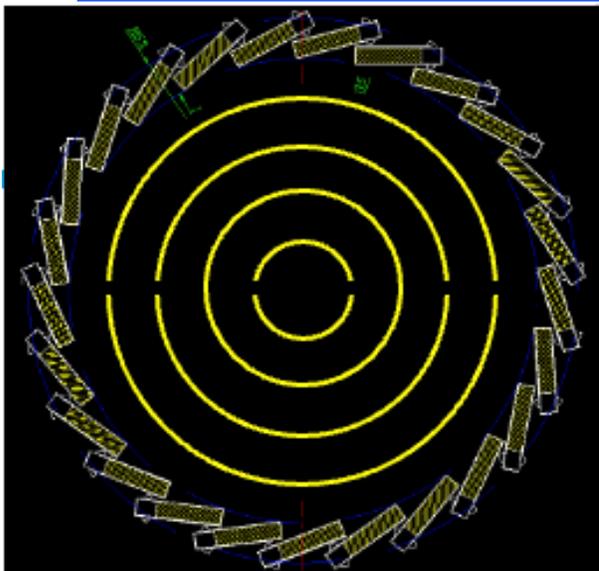
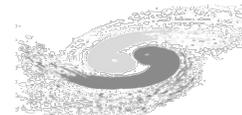
- Optical Link
 - 特殊限制for VTX: MTX接口的通道数, 按照1Rx + 4Tx考虑
- 数据机箱、机柜约束条件
 - 后端板for 16道光纤, & @10Gbps/Link, 受接口数&数据率双重约束
 - 数据机箱
 - 主要受一个机箱的可插板数量限制, 数据率一般不成问题
 - 即需要确定后端电子学机箱标准
 - 数据机柜
 - 限制可承受机箱的数量
- “1块后端板接收16通道前端电子学数据, 尺寸按mTCA插件设计, 安装在mTCA机箱里, 以目前买的mTCA机箱计算, 考虑到散热(和多要地方), 1个mTCA机箱高度按9U, 宽度14个单宽插件, 机箱控制插件占2位, TTC插件占1位, 1位预留, 可以按每个机箱插10块后端板计算。1个机柜42U, 考虑到散热以及可能DAQ交换机会就近安装到对应机柜, 也会占用部分高度, 最多安装3个9U机箱, 这样一个机柜会安装30个后端板, 接出480根光纤。” -by 胡俊
 - 机箱@mTCA @9U, 每个机箱10块后端板
 - 机柜@42U, 每个机柜3个机箱, 30后端板, 480Links

电子学间需求计算——边界条件（数据）

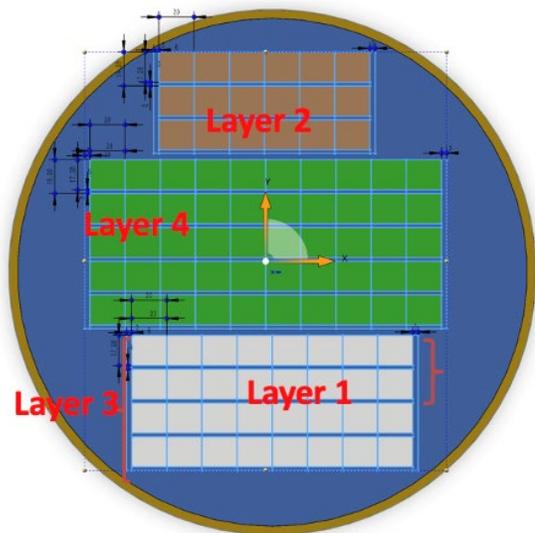


- 电源机箱、机柜约束条件
 - 电源机箱
 - 主要受机箱功率限制
 - 探测器模块数——电源电缆数可通过分流来解决
 - 电源机柜
 - 限制可承受机箱的数量
- “电源部分：2级供电，480AC-110DC：一个机箱10路总共60kw~70kw，6U。一个机柜可安装5个这样的一级机箱，此机柜在远离辐射区的地方。110DC-48DC 一个机箱48通道（无备份），100W/通道，3U。一个机柜可安装10个这样的二级机箱，此机柜靠近探测器，总共可接出480路电路，每路100W。” – by 胡俊
 - 高压机箱：5机箱/机柜，@60~70kW
 - 中压机箱：10机箱/机柜，48chn/机箱，100W/ch

VTX-Data Link

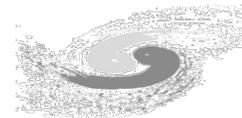


- 安全因子1.5，加速器50MW，按内层2Gbps/chip为数据率基准，按 Higgs mode本底比例计算各层，各层芯片数量内四层以RSU为单位，外两层（double sided）以芯片为单位
- 共需光纤连接88个，等效后端板6块，机箱1个，



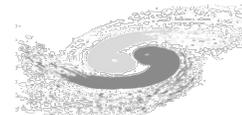
Layer	Comment	Data Rate/chip	Chips/ Row	Data rate/row	Rows	Links@10Gbps
1	Stitching	2Gbps	8	16G	2*2=4	2*4=8（两根光纤ch）
2	Stitching	1.3Gbps	12	15.6G	3*2=6	2*6=12（两根光纤ch）
3	Stitching	0.27Gbps	16	4.3G	4*2=8	1*8=8
4	Stitching	0.25Gbps	20	5G	5*2=10	1*10=10
5	Ladder-side0	0.16Gbps	29	4.64G	25	1*25=25
6	Ladder-side1	0.16Gbps	29	4.64G	25	1*25=25

VTX-Power Link

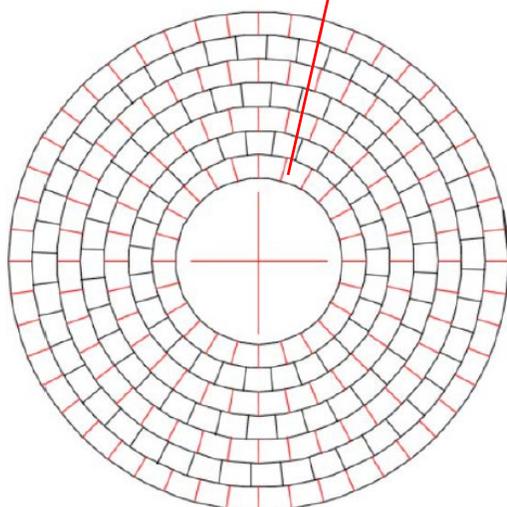
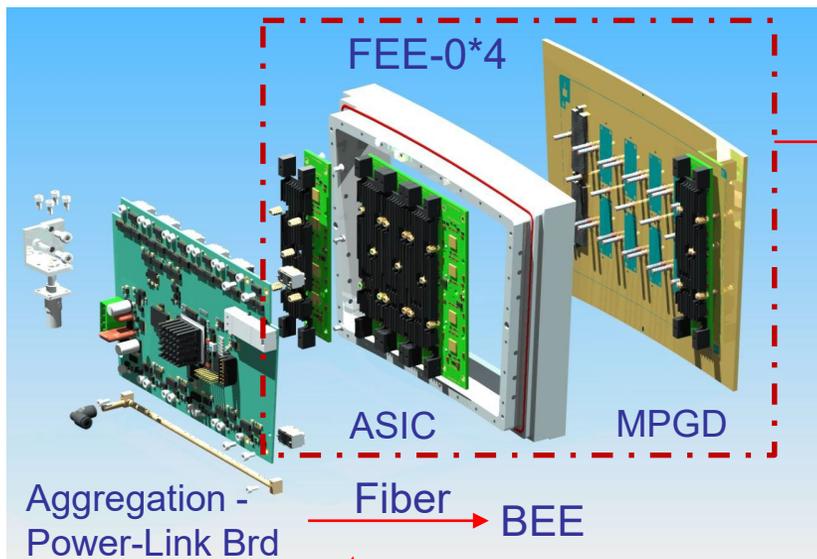


Layer	Comment	Power/chip	Chips/Row	Power/row	Rows	Chip Power of Layers	Power consumed of BaSha (18%)	Total Power/Layer (芯片+数据) *1.18
1	Stitching	200mW	8	1.6W	2*2=4	6.4W	1.152W	(6.4+4) *1.18=12.2
2	Stitching	200mW	12	2.4W	3*2=6	14.4W	2.592W	(14.4+6) *1.18=24
3	Stitching	200mW	16	3.2W	4*2=8	25.6W	4.608W	(25.6+8) *1.18=39.5
4	Stitching	200mW	20	4W	5*2=10	40W	6.8W	(40+10) *1.18=58.8
5	Ladder-side0	200mW	29	5.8W	25	145W	26.1W	(145+25) *1.18=200
6	Ladder-side1	200mW	29	5.8W	25	145W	26.1W	(145+25) *1.18=200

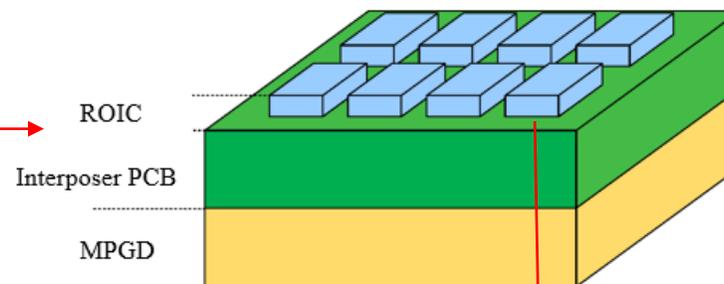
- 探测器前提假设一致，每芯片功耗估算为200mW ($40\text{mW}/\text{cm}^2 * 2.6\text{cm} * 1.6\text{cm}$)
- @40MHz (BX=25ns), 如按15ns, 功耗将成倍增加
- 主要功耗贡献: 模拟静态功耗+数据接口, 不随本底数据率变化, 因此不考虑按各层本底的功耗 scaling down
- 设BaSha DC-DC效率为85%, 则功耗开销为18% ($1 \div 85\% = 118\%$)
- 每行固定功耗: 数据接口1W+数据接口开销0.18W=1.18W
- 总功耗449.8W (可按1~4层各一个电源通道, 5、6每层各两个电源通道@100W/ch考虑, 共8个电源通道=1个低压机箱)



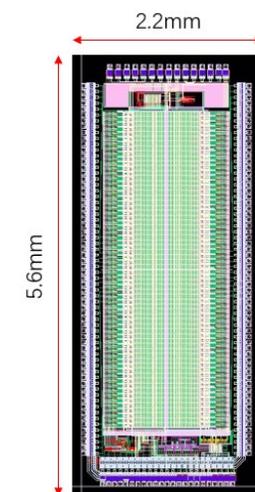
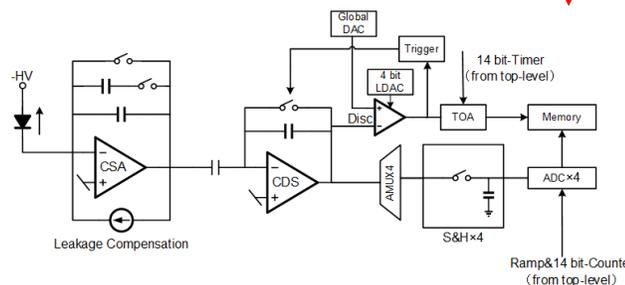
Preliminary readout scheme of Pixel TPC



~258 Module/Endplate



An integrated board with ASIC & MPGD, N(now 4) for a module
0.5mm*0.5mm / pixel



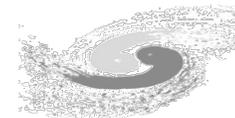
128 chn ASIC, Q+T measurement
 142.8k pixel/module → 1115 chip/module → 279 chip/FEE-0

Power:

Limit: <10 kW/endplate ~ 39.7 W/module ~10 W/FEE-0
 35mW/ASIC ~ 280μW/chn

Data rate:

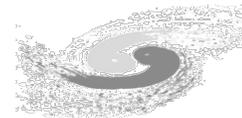
80 particles/BX, 12,000 hit/particle, 32(48)b/hit, @ 40M BX Z pole
 1 Module: ~100 Mbps(@ innermost)



- 模块：258模块*2端盖=516模块
- 每模块数据率30Mbps~100Mbps，平均70Mbps，远低于光模块传输能力
- 方案一
 - 按照每个模块一根光纤，系统可靠性最高，略微增加了光纤和后端电子学数量（成本）
- 方案二
 - 由于数据率较低，在TPC端盖上还可做数据汇总，进一步减少光纤和后端板数量（成本）
 - 可按16路汇总考虑

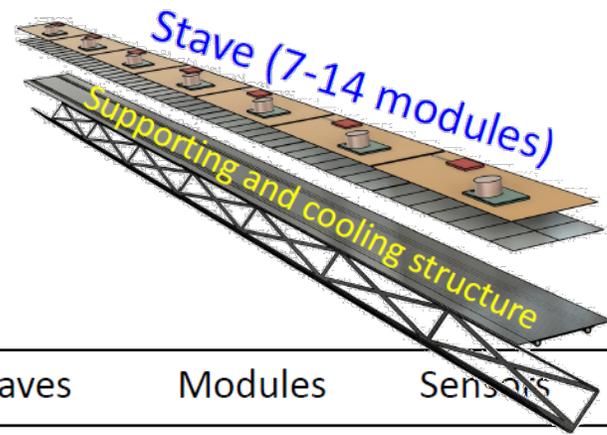
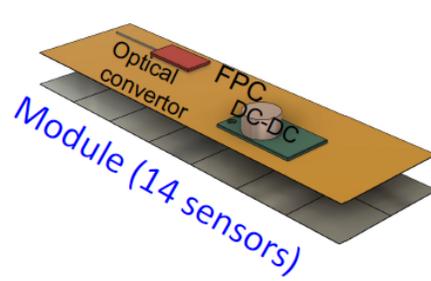
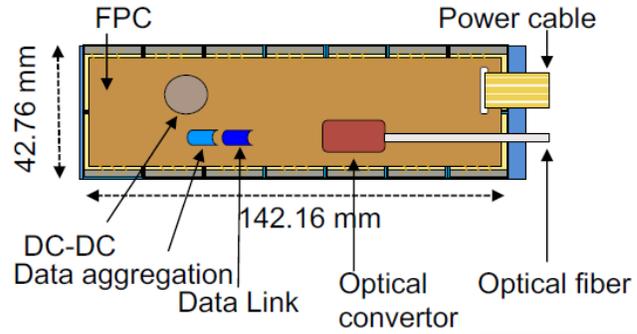
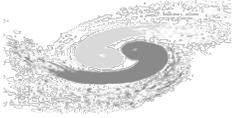
方案	模块数	Data Rate/module	Module/Fiber	Total Fiber	Total BEE	Total Crate
1	258*2=516	100Mbps	1	516	258/16*2=34	4
2	258*2=516	100Mbps	16	258/16*2=34	3	1

- 暂按方案一考虑后端组织，在有限成本增加下获得最高系统可靠性

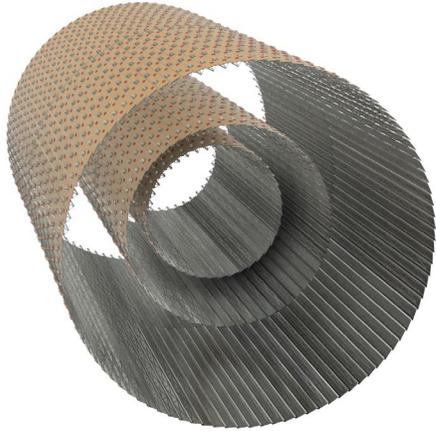


- 按照TPC每个端盖10kW功耗
 - 258个模块每个功耗38W，加上数据接口开销1.18W，小计不高于40W
 - 每路电源机箱通道可提供100W
- 每侧端盖共需电源通道258个，共**516**通道，即电源机箱12个(或每侧6个独立考虑)

ITK——探测器排布



- 光纤及DC-DC独立集成在module上

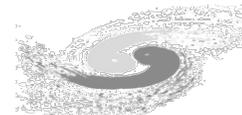


Barrels	Modules/Stave	Staves	Modules	Sensors	Sensor area
ITKB1	7	40	280	3920	1.6 m ²
ITKB2	10	58	580	8120	3.2 m ²
ITKB3	14	96	1344	18816	7.5 m ²
Total		194	2204	30856	12.3 m ²



Endcap	1 (per Sector)	2	3	4	Total
Ladder Type	6	8	15	12	18
Ladder Number	7	10	18	15	1600
Chip Number	48	98	260	236	20544
Active Area (mm ²)	20181.03	42796.32	116080.28	106081.77	9.12e6
Module Area (mm ²)	23184	47334	125580	113988	9.92e6
Power Consumption (W)	46.368	94.668	251.16	227.98	1.98e4
Avg. Hit Rate (Hz/mm ²)	3.9e2	1.6e3	8.9e2	2.4e2	-
Data Rate (Hz)	2.89e8	2.42e9	3.58e9	8.75e8	2.29e11

ITK—Data Link (桶部)



	HVCMOS Pixels (Barrel)	CMOS Strips (Endcap)
Pixel Size (Strip Pitch Size)	34 × 150 μm ²	20 μm
Chip size	2 × 2 cm ² (active area: 1.92x1.74 cm ²)	2.1x2.3 cm ² (active area: 2.05x2.05 cm ²)
Array size (Strip number)	512 rows × 128 columns	1,024
Spatial resolution	σ _φ ~8 μm (bending), σ _z ~40 μm	σ _φ ~4.2 μm (bending), σ _r ~21 μm
Timing resolution	~3-5 ns	~3-5 ns
Data size per hit (1 readout)	42 bit (14b BXID, 7b+9b address, 6b TOT, 5b fine TDC, 1 polarity)	32 bits (10b BXID, 10b address, 6b TOT, other 6 bits)
Data rate per chip	Maximum ~0.1 Gbps* (pair production)	Maximum ~0.2 Gbps* (pair production)
LV / HV	1.2 V / 150 V	1.8 V / 150 V

* Maximum hit rate: barrel~4.1×10⁵, endcap~7.5×10⁵

Hit Rate Conclusion

	Z [mm]	R _{in} [mm]	R _{out} [mm]	Average hit rate [10 ⁴ Hz/cm ²]	Max hit rate [10 ⁴ Hz/cm ²]
ITKE1	500.5	75	240	3.9	23
ITKE2	715	101.9	350	16	38
ITKE3	1001	142.6	600	8.9	75
ITKE4	1500	213.7	600	2.4	6.3
OTKE	2903	406	1810	0.3	3.5

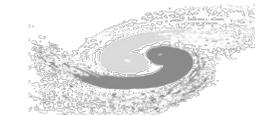
	R [mm]	Half_Z [mm]	Average hit rate [10 ⁴ Hz/cm ²]	Max hit rate [10 ⁴ Hz/cm ²]
ITKB1	240	500.5	1	4.6
ITKB2	350	715	2.1	41
ITKB3	600	1001	2.1	27
OTKB	1800	2000	0.7	0.9

ITKB	模块数	本底平均计数率 (Hz/cm ²)	芯片平均数据率 Mbps (42bit+4cm ²)	模块平均计数率 Mbps (14芯片)	模块最大计数率 Mbps (14芯片)
1	280	10k	1.68	23.5	108.2
2	580	21k	3.53	49.4	964.3
3	1344	21k	3.53	49.4	635.0

- ITK系统无论桶部还是端盖，均未让电子学系统参与芯片设计，数据率整体存疑（偏小？）
- 桶部方案相对清楚，端盖 CMOS Strip方案不明
- 桶部模块: 2*7=14 chips
- 总体来看，模块最大数据率距离10Gbps还有一定裕量，后端电子学为通道数约束

模块数-光纤共2204，按每层统计后端板
 后端电子学板数：18+37+84=139块，机箱14个，

ITK——Power(桶部)



Technology Survey and our Choice for ITK: Option 1

CMOS sensor technology:

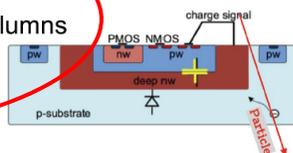
- Cost-effective due to widespread use in the semiconductor industry
- Combine the active detection layer and the readout electronics into a single device

HVMOS pixels:

- Large depletion depth (full depletion), large signal
- Radiation hard
- Relatively large capacitance, leading to increased noise and power consumption

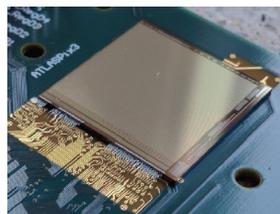
New HVMOS (COFFEE) pixels R&D for CEPC:

- Utilizes 55 nm process instead of the 180 nm used in ATLASPix3
- More functionality and less power consumption
- Wafer resistivity: 1k-2k Ω -cm
- Pixel size: $34 \times 150 \mu\text{m}^2$
- Array size: 512 rows \times 128 columns
- Power consumption: $\sim 200 \text{ mW}/\text{cm}^2$



ATLASPix3

- TSI 180nm HVCMOS on 200 Ω cm substrate
- Pixel size $50 \times 150 \mu\text{m}^2$
- 372 rows \times 132 columns
- $20.2 \times 21 \text{ mm}^2$ reticle size
- Each pixel has 7-bit TOT + 10-bit timestamp
- Continuous / triggered readout with 8b10b / 64b66b coding
- Power consumption $\sim 160 \text{ mW}/\text{cm}^2$.

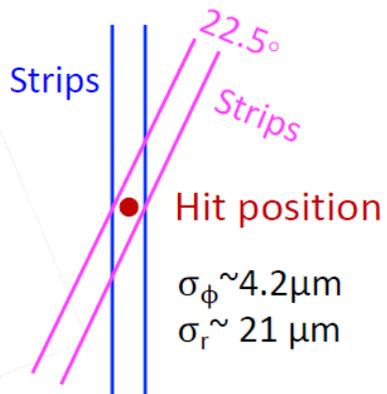
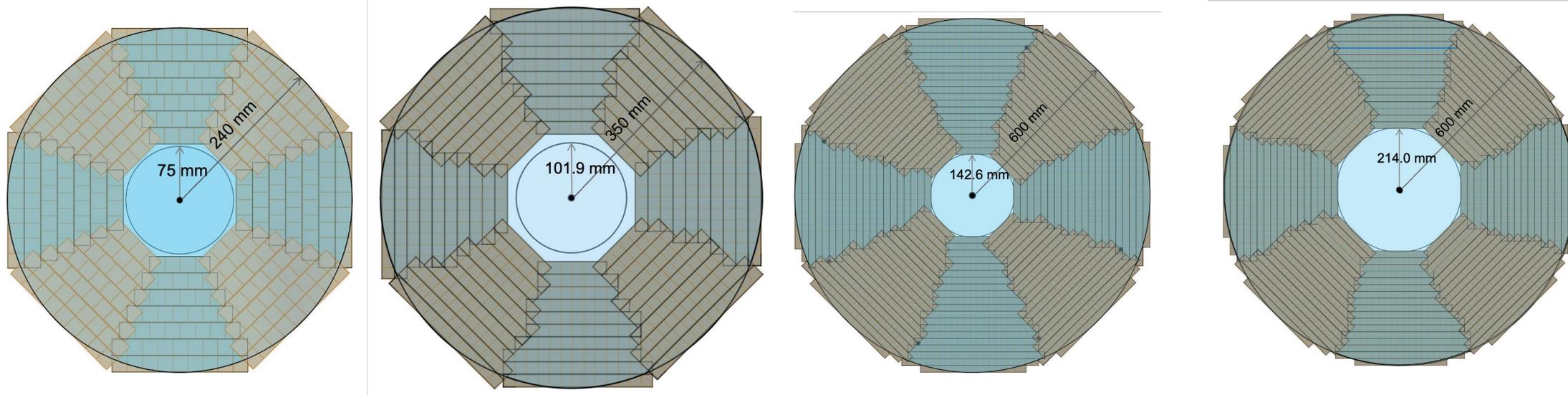
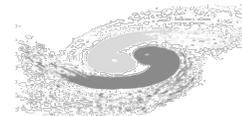


4

ITKB	每层模块数	每层芯片功耗开销 (W)	每层数据接口总功耗 (W)	每层总功耗 (芯片+数据) /85%
1	280	3.14k	280	4.02kW
2	580	6.50k	580	8.32kW
3	1344	15.1k	1344	19.29kW

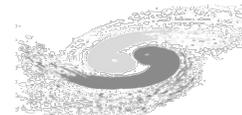
- 桶部芯片功耗约 $200 \text{ mW}/\text{cm}^2$ ，每个模块14芯片，**模块总功耗为11.2W**
- 每模块固定功耗：数据接口1W+数据接口开销0.18W=1.18W，小计14.4W
- 考虑到组装和布线方便，按照每个模块一个电源通道
- 对应**280、580、1344**共通道电源，对应电源机箱共**6+13+28=47**个

ITK——探测器排布——端盖



- 每个端盖8个扇区，每层端盖由两个端盖旋转22.5度来重叠
- 按每个扇区内每条ladder含芯片数来统计
- 第一层：9+9+8+7+6+5+4=48芯片，共7条ladder
- 第二层：13+13+12+11+10+10+9+7+7+6=98芯片，共10条ladder
- 第三层：17+22+22+21+20+19+19+18+17+16+16+15+14+13+12+12+10+8+8=299芯片，共19条ladder
- 第四层：15+21+22+21+21+19+19+18+17+16+15+14+13+12+11+11+9=274芯片，共17条ladder

ITK—Data Link (端盖)



Hit Rate Conclusion

对不上!

	Z [mm]	R_in [mm]	R_out [mm]	Average hit rate [10 ⁴ Hz/cm ²]	Max hit rate [10 ⁴ Hz/cm ²]
ITKE1	500.5	75	240	3.9	23
ITKE2	715	101.9	350	16	38
ITKE3	1001	142.6	600	8.9	75
ITKE4	1500	213.7	600	2.4	6.3
OTKE	2903	406	1810	0.3	3.5

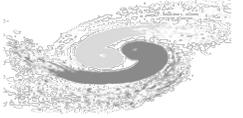
	R [mm]	Half_Z [mm]	Average hit rate [10 ⁴ Hz/cm ²]	Max hit rate [10 ⁴ Hz/cm ²]
ITKB1	240	500.5	1	4.6
ITKB2	350	715	2.1	41
ITKB3	600	1001	2.1	27
OTKB	1800	2000	0.7	0.9

Endcap	1 (per Sector)	2	3	4	Total
Ladder Type	6	8	15	12	18
Ladder Number	7	10	18	15	1600
Chip Number	48	98	260	236	20544
Active Area (mm ²)	20181.03	42796.32	116080.28	106081.77	9.12e6
Module Area (mm ²)	23184	47334	125580	113988	9.92e6
Power Consumption (W)	46.368	94.668	251.16	227.98	1.98e4
Avg. Hit Rate (Hz/mm ²)	3.9e2	1.6e3	8.9e2	2.4e2	-
Data Rate (Hz)	2.89e8	2.42e9	3.58e9	8.75e8	2.29e11

ITKE	Ladder最大芯片数	本底平均计数率 (Hz/cm ²)	本底最高计数率 (Hz/cm ²)	模块平均计数率 Mbps	模块最大计数率 Mbps	每层模块数 (光纤数)
1	9	39k	230k	47.2	278.4	7*8*2层*2侧=224
2	13	160k	380k	279.7	664.3	10*32=320
3	22	89k	750k	263.3	2218.9	19*32=608
4	22	24k	63k	71.0	186.4	17*32=544

- 端盖刚刚完成排布，从作图上看与表格数字不完全对应，暂按照图上数字统计
- 本底计数率也刚刚刷新，模块数据率峰值离光纤能力尚有裕量，按每个模块一根光纤考虑
- 模块总数共：224+320+608+544=1696，合后端板106块，机箱12个（2侧对称）

ITK—Power (端盖)



Technology Survey and our Choice for ITK: Option 2

CMOS sensor technology:

- Cost-effective due to widespread use in the semiconductor industry
- Combine the active detection layer and the readout electronics into a single device

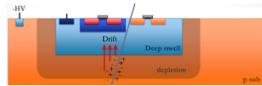
CMOS strips compared with CMOS pixels:

- Less expensive and relatively lower power consumption
- Simpler readout with fewer technical barriers
- Comparable or even better spatial resolution
- Negligible track ambiguity using specific detector layout design:

For example: the CEPC ITK endcap is designed with strip sensors with a 22.5° cross angle between 2 half-layers. Drawback: it requires twice number of sensors compared with pixels.

CMOS Strip Chip (CSC) R&D for CEPC:

- Utilizes 150 nm process, based on CHES for ATLAS ITK strip sensor
- Wafer resistivity: 2k Ω -cm
- Strip pitch size: 20 μ m
- Strip number per chip: 1024
- Power consumption: ~80 mW/cm²

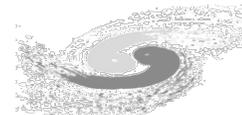


CEPC employs both CMOS pixels and CMOS strips as ITK baseline.

- 端盖芯片功耗约80mW/cm²，每个芯片336mW
- Ladder上功耗最高为7.39W – DC-DC额度
- 每层功耗需结合芯片数（每条ladder变动）和模块数来统计
- 功耗共计11.1kW，对应192电源通道，按每侧电源独立考虑，共4个机箱（每侧端盖共用2个机箱）

ITK E	Ladder最大芯片数	Ladder最大功耗 (W)	每扇区芯片数	每扇区芯片净功耗 (W)	每扇区数据接口功耗 (即每扇区模块数) (W)	每扇区总功耗 (芯片+数据) ÷ 85% (W)	每层总功耗 (×8×2层 ×2侧) (W)	电源通道 (按扇区统计)
1	9	3.02	48	16.1	7	27.2	870.6	1 × 32
2	13	4.36	98	32.9	10	50.5	1616.0	1 × 32
3	22	7.39	299	100.5	18	139.4	4497.4	2 × 32
4	22	7.39	274	92.1	15	126	4105.9	2 × 32

OTK-探测器排布

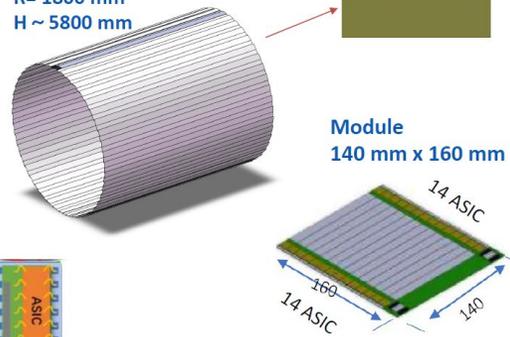


OTK Barrel Design

Layout design (total area: 70 m²):

- 90 ladders
- Each ladder has 42 modules
- Each module has 28 ASICs
- Each ASIC has 128 channels

OTK barrel:
R= 1800 mm
H ~ 5800 mm



Module
140 mm x 160 mm



High time precision ASIC:

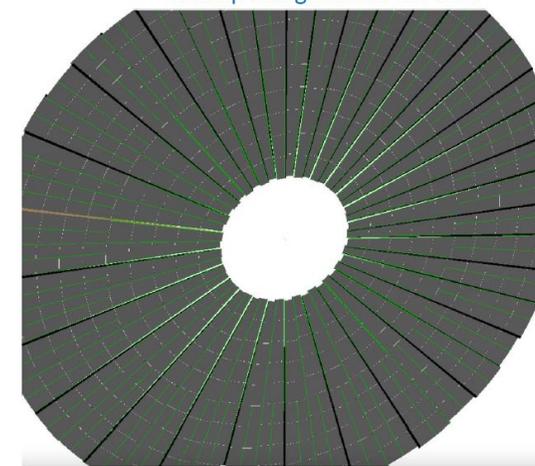
- Data size per hit (1 readout): 40-48 bit
- Low power consumption
- Fast timing

23

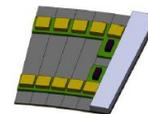
Endcap design

- Hit rate estimation: maximum ~ 35k Hz/cm²
- Update the sector module design with new HS design
- 400mm - 1800mm: 720 modules
 - ✓ 5 inner rows with 1 sector module
 - ✓ 5 out rows with 2 sector modules

Endcap design in the CEPCSW

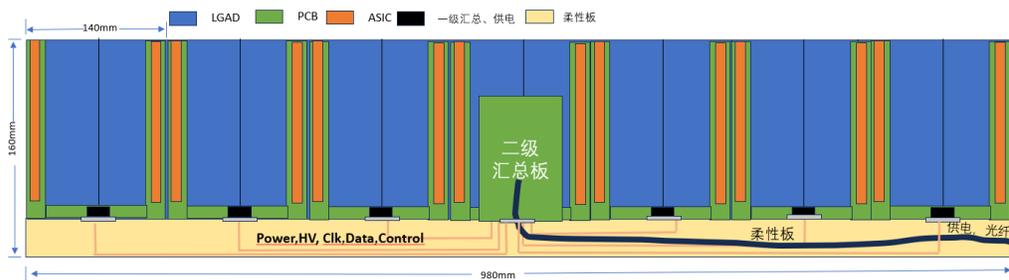
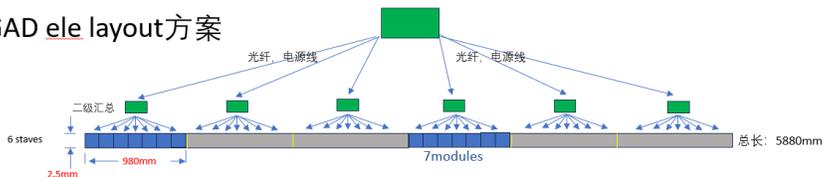


Sector Module

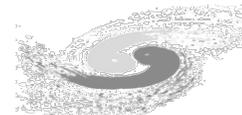


- Overlap to reduce the dead area
 - ✓ 24 petals/layer
 - ✓ 10 rows/petal,
 - ✓ 7.5° per petal,
 - ✓ Overlap 0.5°/petal
- 140 mm / row at R direction

LGAD ele layout方案



- 桶部排布相对清楚，散热优化中基本不影响 Ladder设计
- 端盖方案尚未最终确定，还有梯形、弧形两种不同方案



Hit Rate Conclusion

	Z [mm]	R_in [mm]	R_out [mm]	Average hit rate [10 ⁴ Hz/cm ²]	Max hit rate [10 ⁴ Hz/cm ²]
ITKE1	500.5	75	240	3.9	23
ITKE2	715	101.9	350	16	38
ITKE3	1001	142.6	600	8.9	75
ITKE4	1500	213.7	600	2.4	6.3
OTKE	2903	406	1810	0.3	3.5

	R [mm]	Half_Z [mm]	Average hit rate [10 ⁴ Hz/cm ²]	Max hit rate [10 ⁴ Hz/cm ²]
ITKB1	240	500.5	1	4.6
ITKB2	350	715	2.1	41
ITKB3	600	1001	2.1	27
OTKB	1800	2000	0.7	0.9

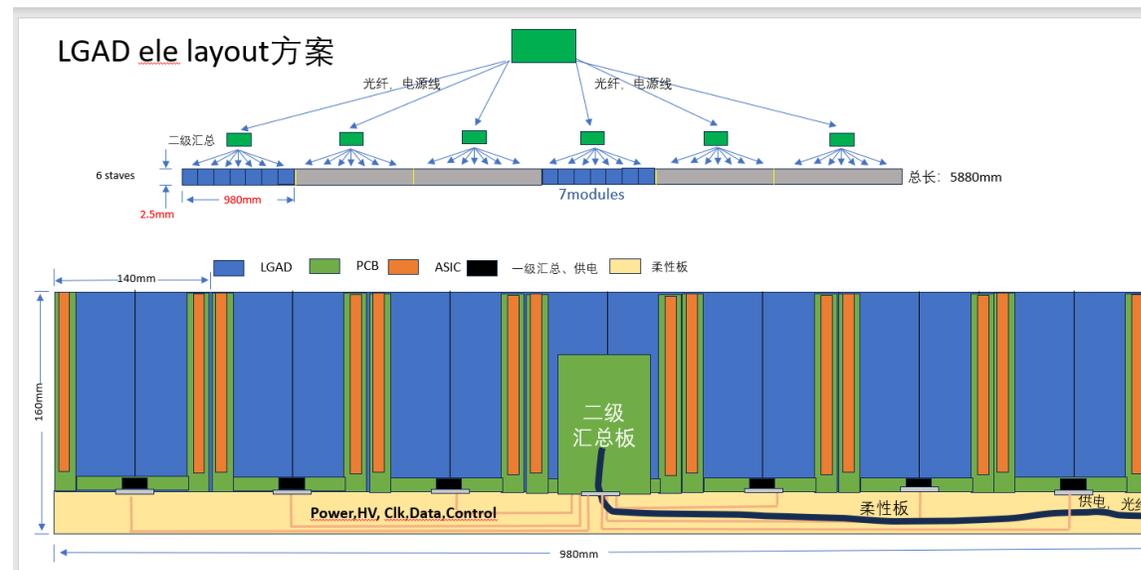
- 芯片数据位宽：48bit/event

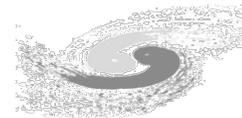
- 桶部：

- 光纤接口位于二级汇总版，对应7modules（1 stave），供7*28=196芯片，模块平均数据率7kHz*14cm*14cm*48bit=65.9Mbps，峰值9kHz→84.7Mbps，对应**光纤接口数据率461.3Mbps/1355.2Mbps（平均/峰值）**，远低于限额
- 一条stave共6 ladder（6光纤），共90条stave，即540光纤，对应**34块后端板**，**4机箱**

- 端盖（弧形方案）：

- 两端盖共48Pedal，每Pedal共10圈计15sector（内5圈1个sector，外5圈2个sector）；总面积19.4m²，每Pedal面积4041.7cm²，平均数据率3kHz*4041.7*48bit=582Mbps，峰值35kHz→6.79Gbps；如果进一步按照每个Sector来布置光纤，即使端盖内圈计数率显著高于外圈，也可保证数据率限额裕量充足
- 两侧共48pedal计720sector，即720光纤，对应**45块后端板**，**5机箱**（每侧端盖独立各两个机箱）





- 芯片每通道功耗**20mW/ch**，每芯片128通道，总功耗2.56W

- 桶部：

- 共90条Ladder，一条Ladder共6 stave，7module/stave，**22ASIC/module**
- 每个模块功耗56.32W（DC-DC设计注意）
- 共 $90 \times 6 \times 7 \times 22 = 83,160$ ASICs，净功耗212.9kW
- 每个ladder光纤接口净功耗1W，共540 ladder，0.54kW
- 考虑DC-DC效率85%，总功耗251.1kW
- 每个模块对应1个电源通道，对应**3780**电源通道，共**79**电源机箱

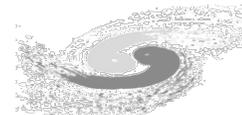
Data rate / petal

Row (140 mm/rwo)	Chip per row	Date rate (HZ)
R0 (400-540)	11	1533882.59
R1: 540-680	14	335365.01
R2: 680-820	17	412334.029
R3:	19	489303.047
R4	23	566272.066
R5	25	643241.085
R6	29	720210.104
R7	31	797179.122
R8	34	874148.141
R9: 1660-1800	37	951117.16

- 端盖

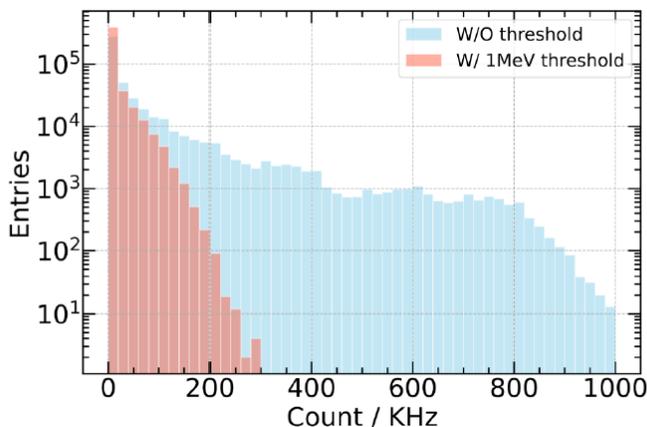
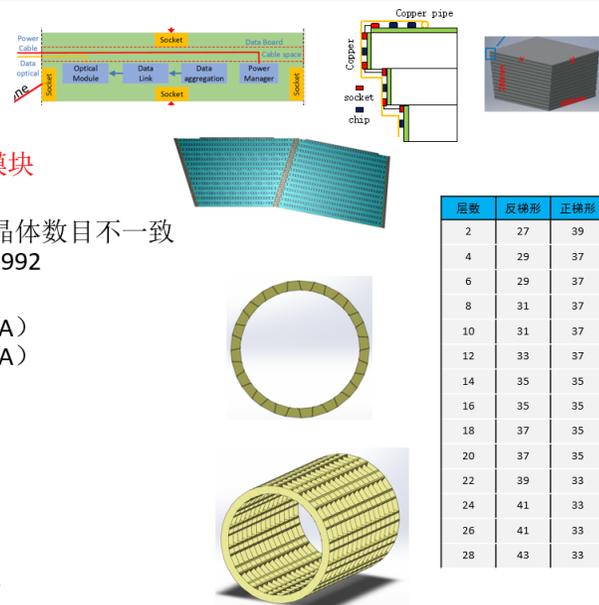
- 弧形方案更新了ASIC的具体排布，每Pedal共240 ASIC
- 两侧端盖共48Pedal，共11520ASICs，净功耗29.5kW
- 每个sector光纤净功耗1W，共0.72kW
- 考虑DC-DC效率85%，总功耗35.6kW
- 每个sector对应1个电源通道，对应**720**电源通道，共**15**电源机箱（按两侧端盖独立机箱数为**16**）

ECAL——桶部

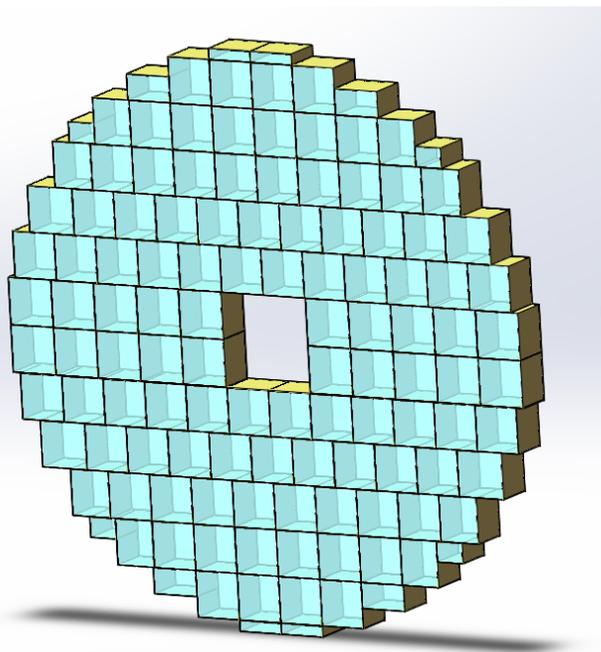
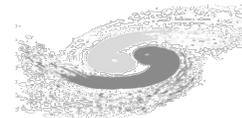


ECAL电缆估算

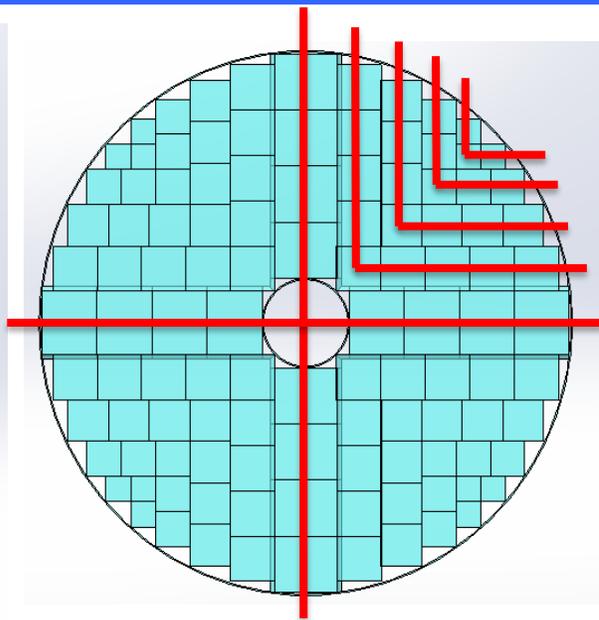
- ECAL桶部，正反梯形排布
 - 模块数量：Phi: 32, Z: 15, 共480个模块
- 每个模块：
 - 1层到28层，奇数层每层36根，偶数层晶体数目不一致
 - 正梯形晶体数量1000，反梯形晶体数量992
- 电缆估算：1根/模块
 - AWG15（线径1.45mm，电流：6.5A/7.4A）
 - AWG18（线径1.08mm，电流：3.2A/3.7A）
 - 模块功耗估计： $1000*2*20mW = 40W$
- 光纤估算：1根/模块
 - 模块数据量估算：待定
- 桶部电缆总计
 - 类型：高压，低压（正负？），光纤
 - 电缆双向走向，每端240根（平均方案）
 - 电缆双向走向，一端224根，一端256根
- 未确定电缆：刻度方案



- 按每根晶体本底平均事例率100kHz，数据位宽48bit/event
- 每个模块1000晶体总数据率（平均）： $1000*100kHz*48bit*2端=9.6Gbps$
- 考虑到部分晶体事例率已达300kHz，每个模块一根光纤基本不可行，每个模块需要至少两根光纤来维持一定裕量
- 目前根据本底估算，事例率还要进一步提高——待进一步确认
- 光纤数：480*2=960根，合60块后端板，6机箱
- 电源功耗：
 - 每通道15mW/ch，每个模块1000*2*15mW=30W
 - 光纤接口1W
 - 总功耗31W/0.85*480=17.5kW
 - 电源通道960，合电源机箱20个



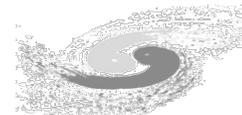
原方案



优化方案

- 端盖排布方案还在优化过程中，目前没有一个确定的基本说法
- 按照该图，模块数约在122~96个，初步按照每侧端盖130模块考虑
- 端盖整体事例率比桶部会更高，按照每个模块两根光纤初步考虑
- 光纤数：
 - $130 * 2 \text{侧} * 2 \text{根} = 520$
 - 合后端板33块（或34按照两侧独立），机箱4个
- 电源：
 - 总功耗 $31\text{W} / 0.85 * 260 = 9.48\text{kW}$
 - 合电源通道520个，电源机箱11个

HCAL-Data Link桶部



HCAL电缆估算

• HCAL桶部排布

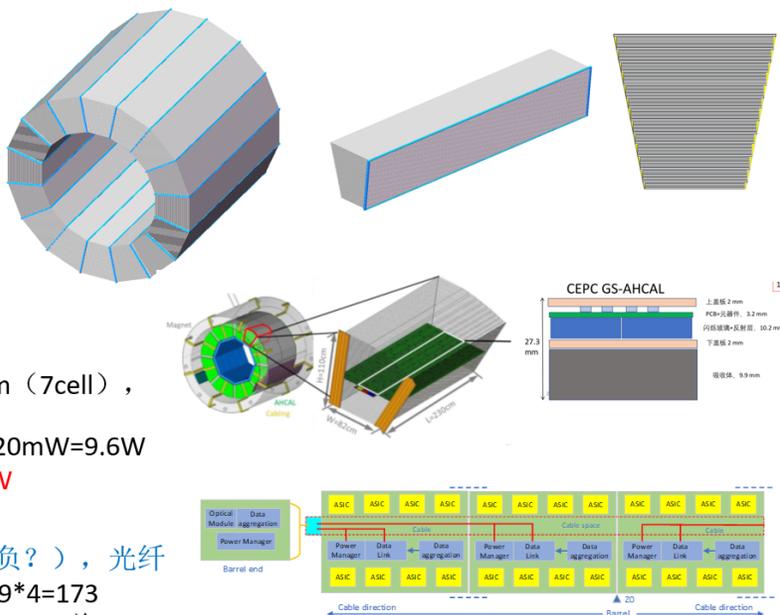
- 总通道数：338万
- 分区：16
- 层数：48
- Cell尺寸：4*4cm

• 电子学板尺寸

- Z向：60cm (15cell)
- Phi向：24cm (6cell)，28cm (7cell)，32cm (8cell)
- FEE单板最大功耗：15*8*4*20mW=9.6W
- 汇总板最大功耗：9.6*5=48W

• 桶部电缆数量

- 电缆类型：高压，低压（正负？），光纤
- 1/16分区电缆数量：19*3+29*4=173
- 总电缆数量：一端173*16=2768，总5536
- AWG12（线径2.05mm，电流：13.1A/14.9A）

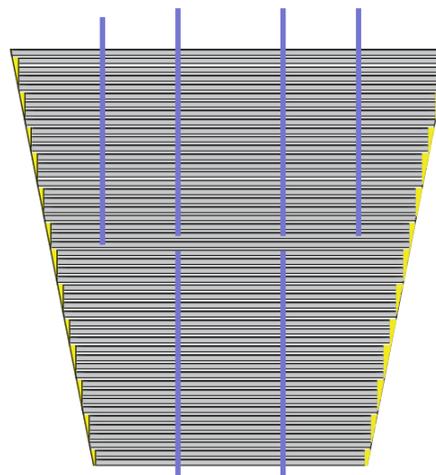
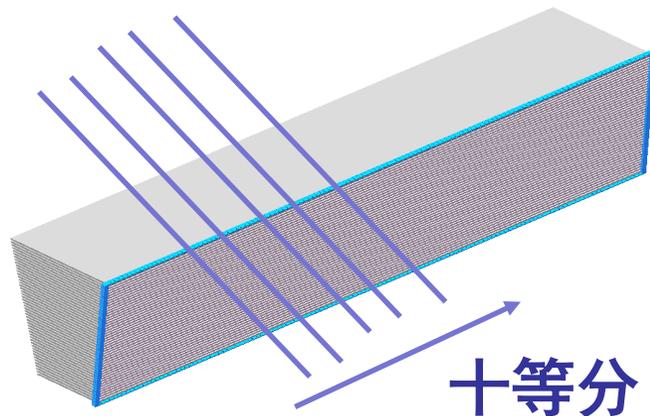
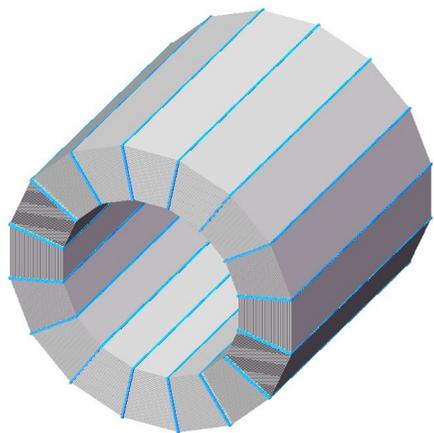


- HCAL数据采用端部汇总方式读出，单元尺寸、探测器本底计数率、排布方式等目前均未确定

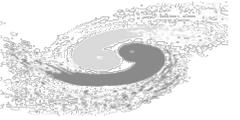
- 仅能初步按照每个汇总板数据率不超过10Gbps来估计和要求

- 目前估算光纤数量：

- 每1/16分区：19*3+29*4=173
- 总光纤数173*16*2=5536
- 合后端板346块（两侧独立），共36机箱

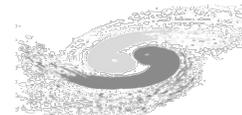


1~19层 横向3PCB
 20~48层 横向4PCB
 汇总板汇总z向一半共5块PCB，1光纤出口



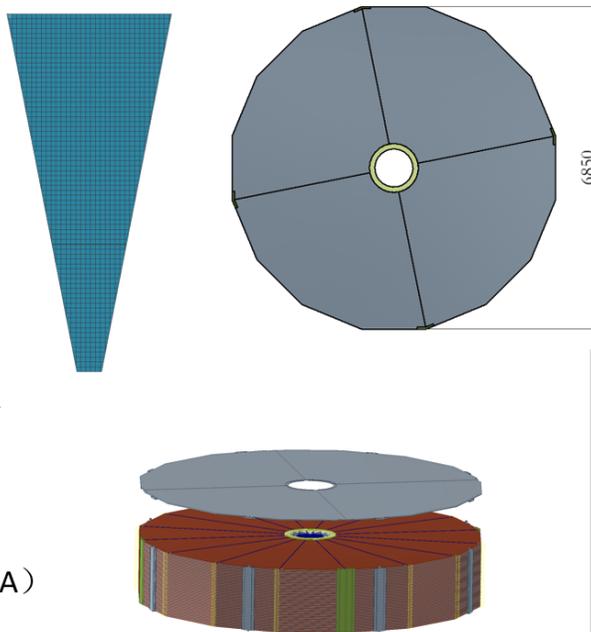
- 最大PCB尺寸——对应闪烁体cell数：
 - Z向：60cm (15cell)
 - Phi向：24cm (6cell) , 28cm (7cell) , 32cm (8cell)
- 考虑光收集，每个4cm*4cm的cell可能需要1~4个SiPM来收集 (方案未定)
- 即最大PCB对应SiPM通道数为 $15*8*4=480$
- ASIC功耗为15mW/ch，前端PCB最大功耗为 $480*15\text{mW}=7.2\text{W}$ ，每个汇总板提供5块PCB的电源，即**DC-DC负载功耗为 $7.2*5=36\text{W}$**
- 桶部总功耗为
 - ASIC净功耗：总通道338万*4SiPM*15mW=202kW
 - 细致计算通道数为：15*8 (PCBcell) *173板*10列*16扇区=332万cell，基本一致
 - 每根光纤固定功耗为1W，共5536W
 - 按DC-DC的85%效率，总功耗为 $(202+5.5) / 0.85=244.2\text{kW}$
 - **合电源通道5536个，电源机箱116个**

HCAL-Data Link端盖



HCAL电缆估算

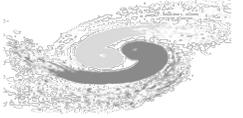
- HCAL端盖部排布
 - 总通道数：单端112万，总共224万
 - 分区：16
 - 层数：48
 - Cell尺寸：4*4cm
- 端盖电缆数量
 - 电缆类型：高压，低压（正负？），光纤
 - 每区功耗：1459*20mW=30W
 - 1/16分区电缆数量：48
 - 总电缆数量：一端48*16=768，总1536
 - AWG12（线径2.05mm，电流：13.1A/14.9A）
- 未确定电缆：刻度方案



- 总光纤数为48层*16扇区*2端盖=1536
- 合后端板96块，10机箱

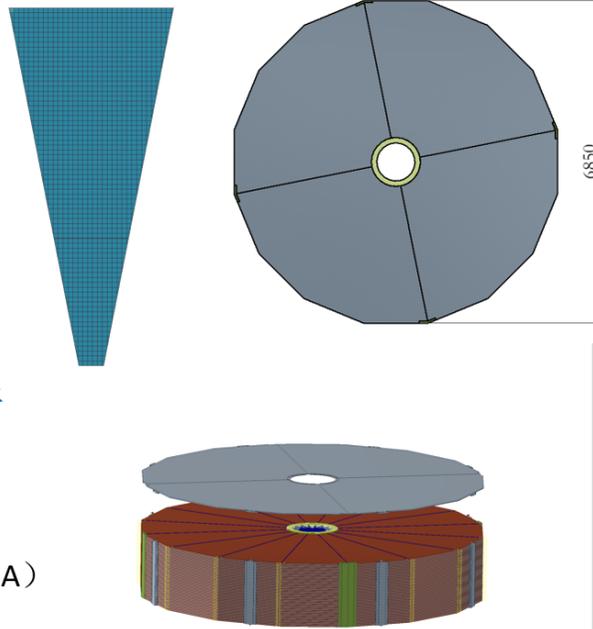
- HCAL端盖共48层，每层分16扇区，按照每个扇区一根光纤进行数据读出
- 需特别考虑端盖内圈本底计数率（目前尚未明确），但按照径向平均可能问题不严重，暂按照每个扇区数据率可不超过10Gbps考虑
 - 按单侧通道数112万，每个扇区共约1458cell，即使按照ECAL数据率100kHz估计，每扇区总数据率也为7.0Gbps，应可在安全范围内（每个cell对应的4个SiPM数据率未按照×4估计）

HCAL-Power端盖



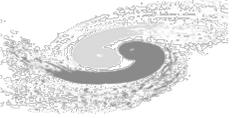
HCAL电缆估算

- HCAL端盖部排布
 - 总通道数：单端112万，总共224万
 - 分区：16
 - 层数：48
 - Cell尺寸：4*4cm
- 端盖电缆数量
 - 电缆类型：高压，低压（正负？），光纤
 - 每区功耗：1459*20mW=30W
 - 1/16分区电缆数量：48
 - 总电缆数量：一端48*16=768，总1536
 - AWG12（线径2.05mm，电流：13.1A/14.9A）
- 未确定电缆：刻度方案



- 按单侧通道数112万，每个扇区共约1458cell，每个cell对应4SiPM，则每个扇区5832电子学通道
- 每个扇区功耗87W –或需要两个DC-DC模块供电
- ASIC净功耗为224万
*4SiPM*15mW/ch=134.4kW
- 每根光纤固定功耗1W，共1536W
- 总功耗为（134.4k+1536）/0.85=159.9kW
- 合电源通道1536*2=3072个，电源机箱64个（两侧独立）

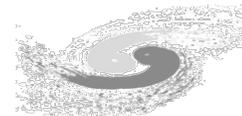
Muon (更新)



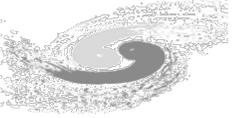
Muon	Module	Channel/Module	Readout Channel	Hit rate/Hz (worst case)	Data format	Raw data rate / Gbps
Barrel	192	169.5	32544	10 k	48bit (8b BX+ 10b ADC + 2b range + 9b TOT + 7b TOA+ 4b chn ID + 8b chip ID)	15.63
Inner endcaps	64	144	9216	10k~100 k, Average 20 k		8.85
Outer endcaps	64	256	16384	10 k		7.87
Total			~58.2 k			~32.4

- **Muon未提供探测器具体排布，仅提供了参考Belle2的类比探测器规模**
- **按每个Module一根光纤考虑：**
 - **桶部192光纤，12机箱；端盖128光纤，8机箱**
- **功耗的考虑缺少探测器排布，情况不明。考虑前端ASIC理应兼容到ECAL的SiPM读出，但因通道数多，可能导致模块功耗较大。因此按照HCAL相同量级来提供电源机箱，做上限考虑，即：**
 - **桶部51电源机箱，端盖34电源机箱**

汇总



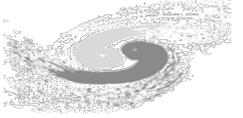
探测器	光纤最高数据率 (Gbps)	每模块光纤数量	光纤数量	后端板数量	数据机箱数	模块最大功率 (W)	总功耗 (kW)	电源通道数	电源机箱数	是否需要高压	高压机箱数	触发板数	触发机箱数	Comment
VTX	8	1~2	88	6	1	25	0.45	8	1	no	-			
TPC	0.1	1	516	34	4	-	20	516	12	yes	?			
ITK-Barrel	0.96	1	2204	139	14	11.2	31.59	2204	47	maybe	?			
ITK-EndCap	2.2	1	1696	106	12	7.4	11.1	192	4	yes	?			
OTK-Barrel	1.4	1	540	34	4	56.3	251.1	3780	79	yes	?			
OTK-EndCap	0.7	1	720	45	5	58.9	35.6	720	15	yes	?			排布待明确
ECAL-Barrel	4.8	2	960	60	6	30	17.5	960	20	maybe	?			
ECAL-EndCap	?	2	520	34	4	?	9.5	520	11	maybe	?			排布、本底待明确
HCAL-Barrel	?	1	5536	346	36	36	244.2	5536	116	maybe	?			排布、本底待明确
HCAL-EndCap	?	1	1536	96	10	87	159.9	3072	64	maybe	?			排布、本底待明确
Muon-Barrel	?	1	192	12	2	?	244.2 (按HCAL)	5536 (按HCAL)	116 (按HCAL)	?	?			探测器方案?
Muon-EndCap	?	1	128	8	2	?	159.9 (按HCAL)	3072 (按HCAL)	64 (按HCAL)	?	?			探测器方案?
总计			14636	920	100		1185.04	26116	549					



- 目前尚不确定探测器高压方案
 - SiPM是否需要高压机箱，还是高压DC-DC模块可行？
 - 仅TPC非常明确需要高压机箱——但其表格没有提供计算依据
- **本PPT所有的计算都没有加安全因子**
- 共计数据机箱约100个，每个机柜3个机箱，共约34个数据机柜；
- 共计低压电源机箱约549个，每个机柜10个机箱，共约55个电源机柜
 - Muon系统给电源机箱统计带来很大不确定性
- 每个低压机柜对应1个ACDC电源机箱，约为55个，占11个机柜
- **高压机箱暂未统计，因部分探测器的高压方案和排布方案均暂未讨论**

- 以上数值未考虑机箱备份、未来升级空间以及其他探测器方案变动带来的不确定性，如果按照 $\times 2$ 的裕量来考虑，共需数据机柜68个，低压电源机柜110个，AC电源机机柜22个，触发机柜数十个，探测器高压机柜数十个，整体规模即同CMS的不到210机柜规模相当，电子学间的空间整体也应在相同规模

CMS机柜组织



+Z	Upper			(Zone S2)			-Z
	A	B	C	D	E	F	H
01	--	--	--	ECAL spare	Cal Reg Trig	HCAL HTR	--
02	TOTEM	TOTEM	DAQ	ECAL ULR	Cal Reg Trig	HCAL HTR	DAQ
03	TOTEM	TOTEM	CASTOR HV	ECAL ULR	%Cal Reg Trig	HCAL HTR	EBE DCS
04	TOTEM	TOTEM	CASTOR HV	ECAL ULR	Cal Reg Trig	HCAL HTR	EBE DCS
05	TOTEM	DAQ	UX DCS	ECAL SRP/TST	%Cal Reg Trig	%HCAL HTR	Presh. HV
06	RAMSES	EB HV	HCAL DCS	ECAL ULR	Cal Reg Trig	HCAL HTR	EB HV
07	Access	EB HV	HCAL DCS	ECAL ULR	Cal Reg Trig	HCAL HTR	EB HV
*08	ASSM	EB HV	HCAL SreDrv	ECAL ULR	Cal Reg Trig	HCAL HTR	EB HV
*09	ASSM	EE HV	HPD HV	DAQ	Cal Reg Trig	HCAL HTR	EE HV
10	ASSM	Presh. DCS	HPD HV	FRL PC	Cal Reg Trig	DAQ	Presh. DCS
11	ASSM	ECAL LV	HPD HV	x	TOTEM Trig	EBE Lt Mn	ECAL Cool
12	ASSM	ECAL LV	HPD HV	x	CASTOR Trig	EBE Lt Mn	ECAL Cool
13	ASSM	Presh. LV	HPD HV	Presh. Misc	ZDC	EBE Lt Mn	ECAL Cool
14	ASSM	Rack Pwr	PMT HV	Presh. Misc	DAQ PP	EB Misc	EE Misc
15	ASSM	Rack Pwr	DSS	DSS	DSS	DSS	DSS
<-- Passageway -->							
16	Fire Det.	TTC PCs	DAQ PC	DAQ Switch	Netwk	DCS PCs	Spare PCs
*17	Fire Det.	TK PCs	DAQ PC	DAQ Switch	Netwk	HCAL PCs	Trig PCs
*18	Fire Det.	TK/Pixel PCs	DAQ PC	DAQ Switch	Netwk	ECAL DCS/ES PCs	Muon PCs
19	Fire Det.	TOTEM PCs	DAQ PC	DAQ Switch	Netwk	ECAL FED PCs	Align PCs

+Z	Lower			(Zone S1)			-Z
	A	B	C	D	E	F	H
00	--	--	Presh. ULR	Presh. ULR	TK. FEC	TK. FEC	DT/RO/SC
01	--	--	DAQ	DT TrkFnd	Opt.Cpl.	RPC Trig	Pixel FEC
02	TK. Ctrl	DAQ	DAQ	DT TrkFnd	TTC	RPC Trig	Pixel Ctrl
03	TK. Ctrl	TK. FED TIB+TID	TK. FED TOB	DT TrkFnd	%TTC	RPC Trig	Pixel FED
04	TK. Ctrl	TK. FED TIB+TID	TK. FED TOB	CSC TrkFnd	Global	RPC Trig	Pixel FED
05	TK. Ctrl	TK. FED TIB+TID	TK. FED TOB	CSC TrkFnd	%Cal Global	%RPC Trig	DAQ
06	TK. Ctrl	DAQ	DAQ	FRL PC	TTS	DAQ	CSC FED
07	TK. Ctrl	DAQ	DAQ	DT HV	TTS	x	CSC FED
*08	TK. Ctrl	TK. FED TEC-	TK. FED TEC+#	DT HV	BPTX	BRM#	CSC FED
*09	TK. Ctrl	TK. FED TEC-	TK. FED TEC+#	DT HV	LHC	DAQ#	DAQ PP
10	TK LV Mon	TK. FED TEC-	TK. FED TEC+	DT HV	BPM	DSS	MEI/I HV
11	CSC HV	DAQ	DAQ	DT HV	DSS	DSS	DSS
12	CSC HV	TK. Ctrl	Work Area	DAQ PC	Work Area	Work Area	Work Area
13	CSC HV	TK. Ctrl	Work Area	Work Area	Work Area	Work Area	Work Area
14	BCAM	TK. Ctrl	Work Area	Work Area	Work Area	Work Area	Work Area
15	Rack Pwr	TK. Ctrl	Work Area	Work Area	Work Area	Work Area	Work Area
<-- Passageway -->							