

CEPC CMOS Strip Tracker

Xin Shi

On behalf of CMOS Strip Tracker Team

2024.10.16

News

- Welcome new institutes to join!
 - Yanshan University (FPGA/IC design for system test)
 - Hefei University of Technology (MCU design for system test)
- CEPC Workshop: <https://indico.ihep.ac.cn/event/22089/>
 - One Talk (10'): CMOS Strip Chip Design for CEPC ITK (Xin Shi)
 - Two posters
 - CMOS Strip Chip Simulations with RASER (Sen, Chenxi)
 - Beam Background Study for the CEPC Silicon Tracker (Zhan)
 - Will circulate drafts by Thursday



CSC Participating Institutes



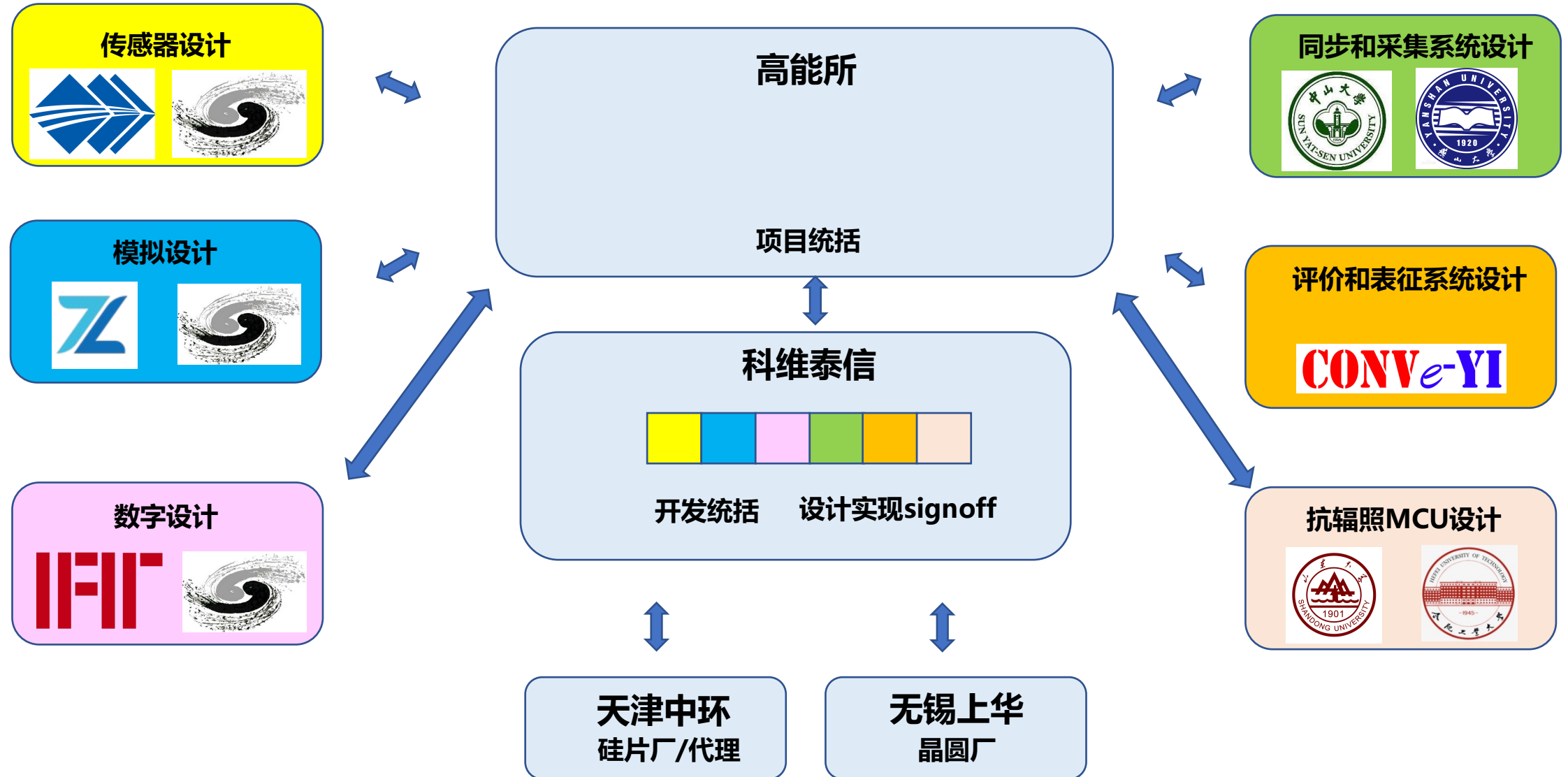
CONV_e-YI
北京科维泰信科技有限公司



- All of the above institutes are members of [RASER](#) Team

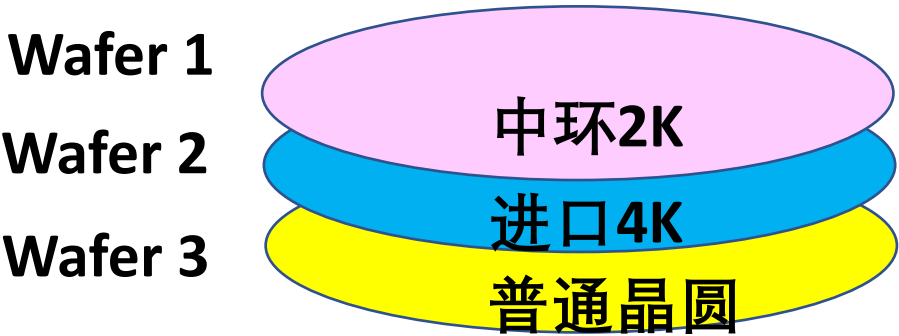


开发体制

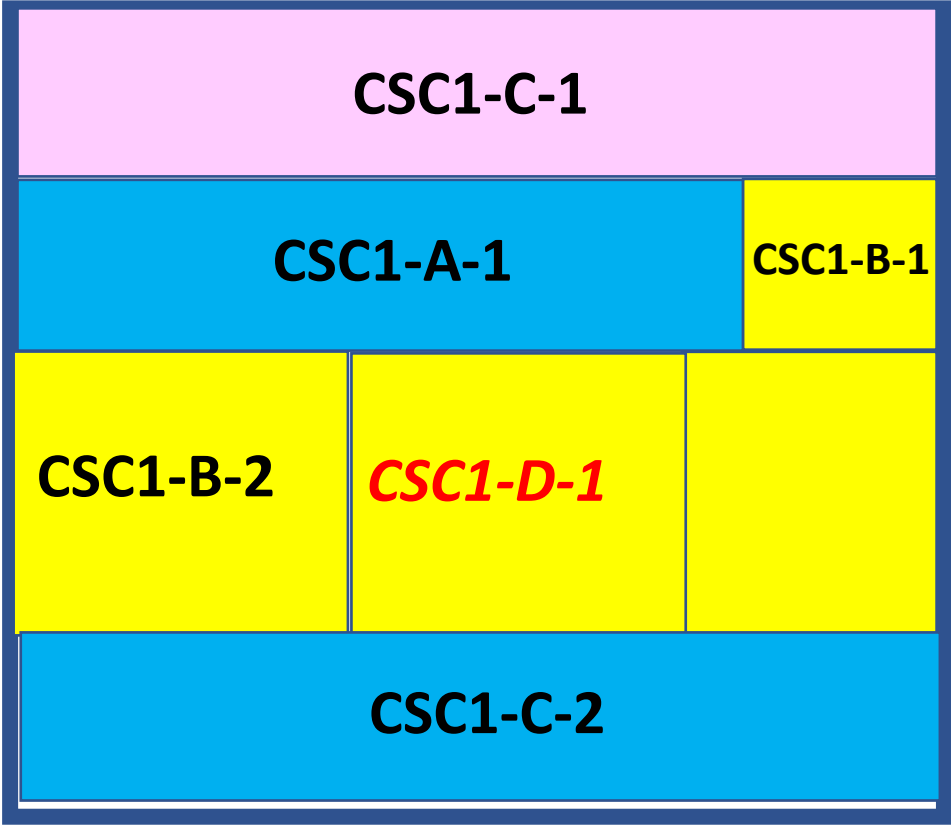


CSC1的实施方案- RETICAL设计

同样掩膜版可以用于加工不同种wafer

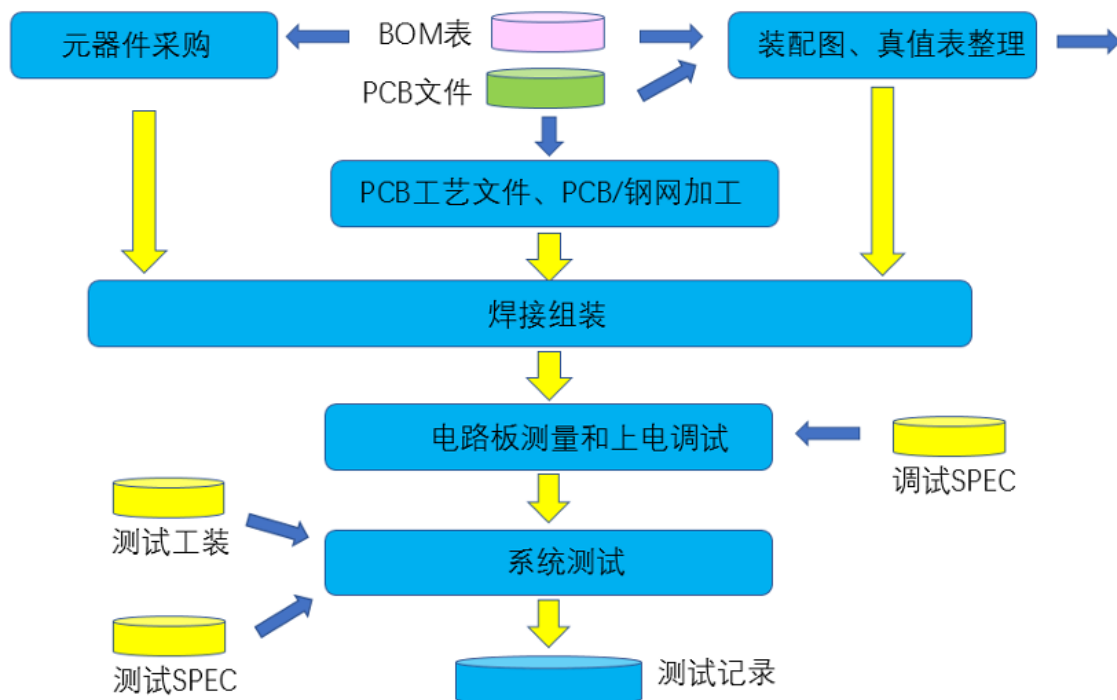


CSC1项目光罩排版



Recent Update

- Sensor and AFE simulation using RASER software
- Finalized CSC1-D Die SPEC v1.0
 - Start the system test design earlier



文件编号: CSC-002

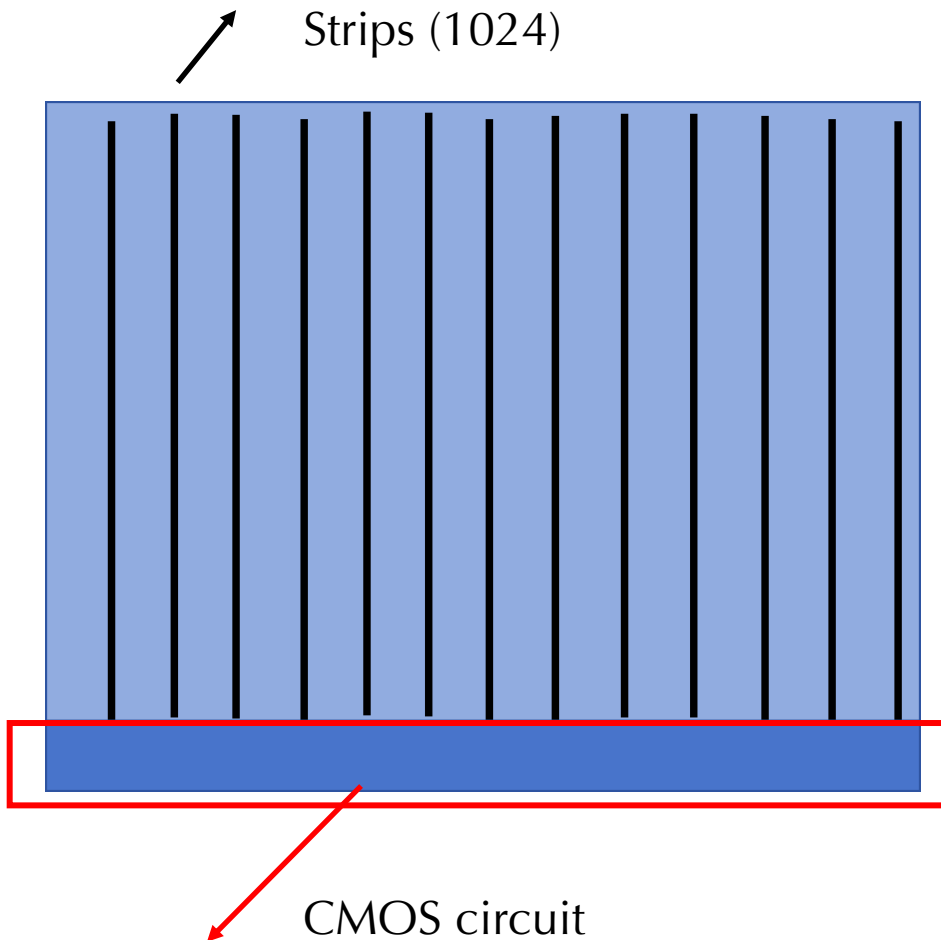
Distribute to:	CSC1-D DIE IC System Spec (V1.0)		1
	2024.10.14		
	CSC1 项目组		
	Approver	Checker	Author

第一章 简介	4
1.1 简介	4
1.2 特征	4
1.3 规格	5
1.4 方框图	6
第二章 端子功能	7
2.1 PAD分配	7
2.2 封装	7
2.3 端子功能一览 (含Test功能)	7
2.4 I/O BUFFER一览	7
2.5 TYPES OF I/O BUFFERS	7
第三章 R8051内核	7
第四章 存储空间	7
4.1 程序存储器地址空间	7
4.2 数据存储器地址空间	7
第五章 中断控制	7
5.1 中断源	7
5.2 中断控制	7
5.3 中断响应过程及响应时间	7
5.4 响应时间	7
第六章 串行口	28
6.1 串行口0缓存寄存器	28
6.2 串行口0控制寄存器	28
6.3 波特率计算	30
6.4 串行口1特点	31
6.5 串行口1方框图	32
6.6 串行口1寄存器列表	33
6.7 串行口1寄存器描述	34
第八章 脉冲信号发生器	48
整个模块的功能分成三个部分:	48
8.1 同步定时功能	49
8.2 全电视控制脉冲产生功能	53
8.3 字符产生功能	54
第九章 输入输出端子和外部中断	57
9.1 THE SFR IN GPIO	58
9.2 PINS的复用功能	60
9.3 外部中断	62
第十章 EEPROM编程与自编程	63
第十一章 时钟与复位	65

68 pages

Backup

CMOS Strip Chip - CSC



Parameter	Requirement / expectation
Strip width	10 μ m
Strip pitch	20 μ m
Strip number / chip	1,024
Chip size	2.1 \times 2.3cm ² (active area: 2.05 \times 2.05)
Spatial resolution	σ_{ϕ} ~4.2 μ m, σ_r ~21 μ m
Time resolution	~3ns
Power consumption	~80mW/cm ²
Data size per hit	32 bits (10b chn ID + 8b BX + 6b TOT + 5b chip ID)
Event rate / chip	Maximum ~0.25Gbps
LV / HV	1.8V / 200V
Wafer resistivity	2k Ω cm
Technology Node	180 nm

Timeline for CSC1

