



中国科学院高能物理研究所
Institute of High Energy Physics
Chinese Academy of Sciences

2023-2024年度考核报告

张颖

实验物理中心电子学组

2024年11月22日

岗位职责

- 硅像素探测器的Sensor及读出ASIC芯片研制
 - **CEPC 顶点探测器预研**
 - 负责多个项目（所创新、CEPC 科技部重点研发计划等）的sensor和像素模拟电路的总体设计考虑
 - 工艺选择、sensor结构、模拟电路结构和需求分析等
 - Sensor和像素模拟电路是探测器芯片的关键部分之一，是实现高探测效率和位置分辨的关键技术及设计难点
 - 承担各款CMOS像素芯片（JadePix系列、TaichuPix系列、国产55 nm工艺探索芯片）中sensor和像素单元设计、优化和性能验证工作
 - **新技术路线探索**
 - 基于先进CMOS工艺的芯片研发，stitching技术探索

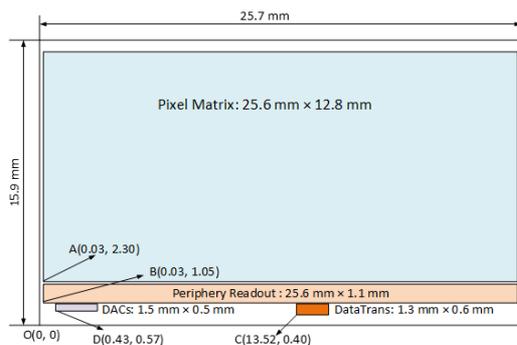
任务完成情况：CEPC顶点探测器方案设计（1）

□ 面向Ref-TDR的CMOS pixel sensor方案

- 基于MDI本底数据计算VTX的读出数据率，评估Triggerless读出方案的可行性
- 针对Low-lumi Z的探测器需求，完成基于TJ 65nm CMOS工艺的功耗定量评估
 - 基于TaichuPix3的设计，给出功耗优化设计方案，明确40 mW/cm²指标的可实现性
 - 像素模拟前端降速以减小功耗
 - 外围读出电路和数据传输模块针对1 Gbps数据率优化功耗
 - 采用65 nm工艺，电源电压降低1.5倍，功耗减小1.5倍
 - 提供芯片功耗分布定量评估结果，为机械设计提供电子学接口，为散热设计提供需求

VTX像素芯片功耗分布估算

张颖



估算说明：

- TaichuPix-3芯片：180 nm工艺，电源1.8 V；
- 65 nm芯片：电源1.2 V；
- Data rate @Triggless-CDR: 4.48 Gbps /chip
bunch spacing (min.): 25 ns需要快前沿前端
- Data rate @Triggless-TDR (Low Lumi):
1 Gbps/chip
- Low Lumi@TDR: bunch spacing ~几百ns,
像素前端不需要快前沿，Matrix功耗可降低
- 图中芯片坐下角标为坐标原点，单位为毫米

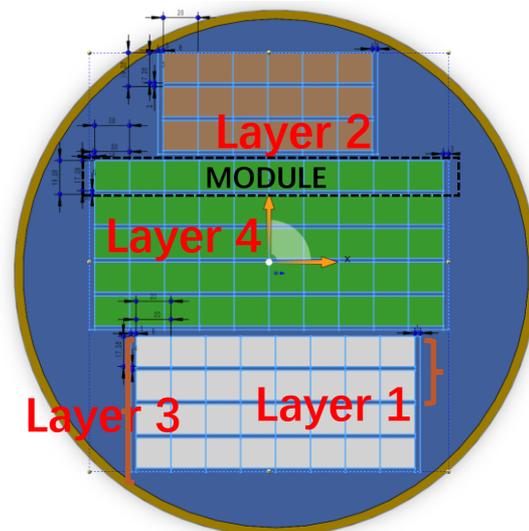
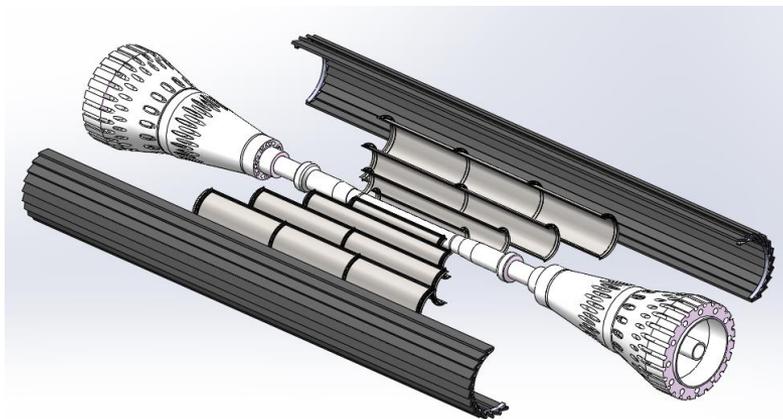
| | Matrix | Periphery | DataTrans. | DACs | Total Power | Power density |
|---|--------|-----------|------------|-------|-------------|------------------------|
| TaichuPix-3 180 nm @ 3.84 Gbps/chip (CDR Higgs, W, Z) | 304 mW | 135 mW | 206 mW | 10 mW | 655 mW | 160 mW/cm ² |
| 65nm 芯片 @ 1 Gbps/chip (TDR LowLumiZ) | 60 mW | 80 mW | 36 mW | 8 mW | 184 mW | ~40 mW/cm ² |

1

任务完成情况：CEPC顶点探测器方案设计（2）

□ 面向Ref-TDR的CMOS Stitching方案

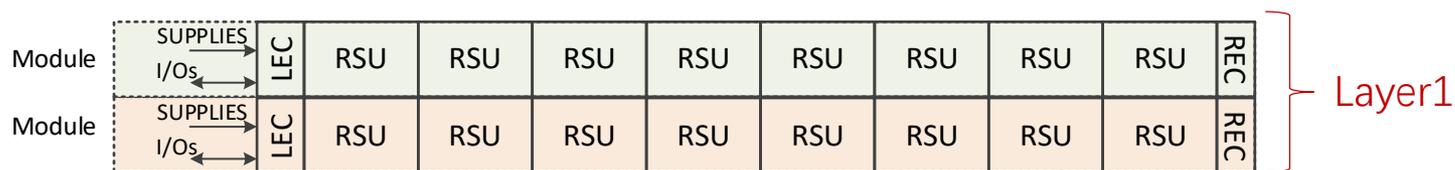
- 顶点探测器确定以Stitching MPAS方案为基准方案后，迅速开展初步可行性计算和讨论，提出初步设计方案
 - 完成了方案调研，参与讨论关键性能设计考虑（良率、IR-drop等）
 - 综合考虑性能、设计风险、近期可实现性，确定了以一维Stitching结构为基本方案
 - 初步完成芯片顶层布局设计，估算重复传感器单元（RSU）尺寸和死区面积，为探测器物理性能仿真提供接口数据
 - 明确了Long Barrel顶点探测器四层基于单个晶圆实现的尺寸和拼接方案
- 共同制定未来3年的顶点探测器芯片研发计划和路线
 - 并行开展基于TJ 180 nm工艺的Stitching 芯片研发和基于TJ 65 nm的小规模验证芯片研发



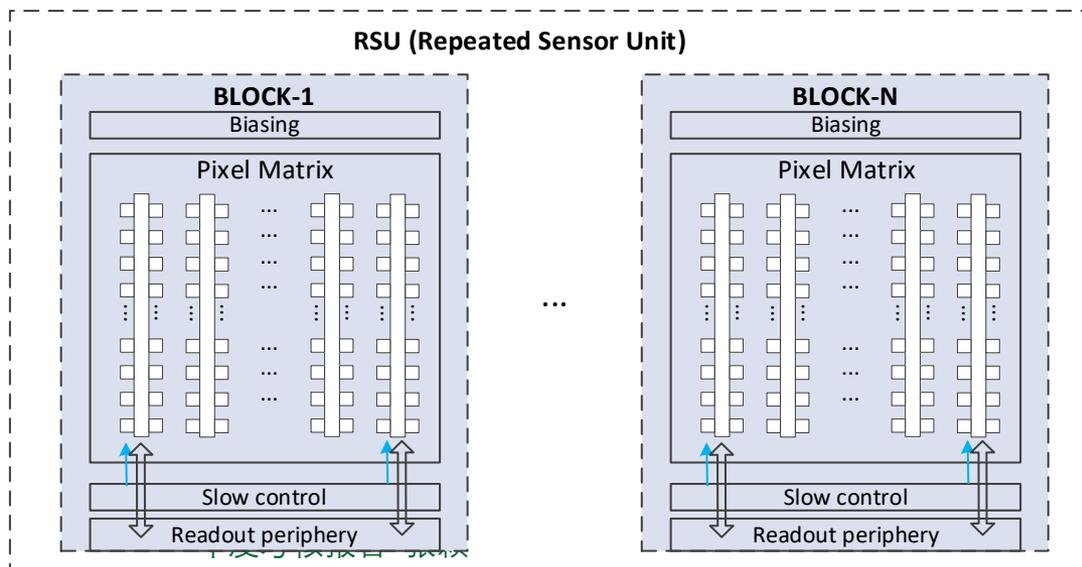
任务完成情况：面向Ref-TDR开展的VTX芯片设计（1）

□ 面向Ref-TDR的CMOS Stitching方案的芯片顶层布局设计

- 芯片采用一维拼接技术，在沿束流管长度方向上实现由多个重复传感器单元（RSU）和左终端（LEC）及右终端（REC）拼接成长条型模块（module）



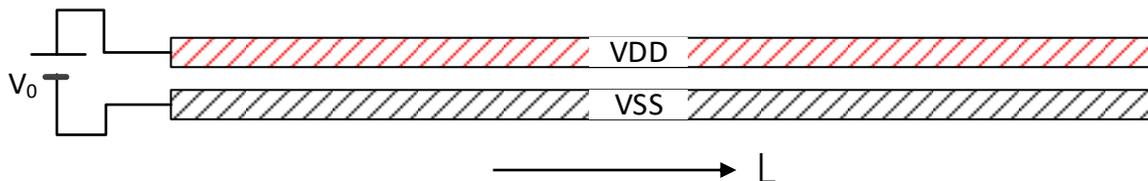
- 每个长条型module独立工作，VTX不同层根据半径尺寸不同，由不同个数的长条型module组成
- 每个重复传感器单元RSU由多个BLOCK组成，每个BLOCK可独立工作，BLOCK的结构如同TaichuPix芯片，包括像素阵列、阵列外围数字读出电路、外围慢控制、模拟偏置产生电路等



任务完成情况：面向Ref-TDR开展的VTX芯片设计（2）

□ 完成Stitching方案的电源分布初步评估

- 电源分布是大尺寸芯片设计的关键问题之一，影响芯片性能和良率。需要评估电压降IR-drop是否满足需要。



$$\Delta V = k \left(\frac{\rho}{t} \right) \frac{P_{\Sigma}}{V_0} L^2$$

$V_0 = 1.2 \text{ V}$, $k = 4$, $\frac{\rho}{t}$ 为金属线方块电阻 (min. $7.26 \text{ m}\Omega$), P_{Σ} 为功耗密度, L 为距离供电端的长度。根据此公式, 计算不同功耗密度和供电长度情况下, 电源和地线上电压降。

| P_{Σ} (mW/cm ²) | ΔV (mV) | |
|---------------------------------------|---------------------|---------------------|
| | $L = 12 \text{ cm}$ | $L = 24 \text{ cm}$ |
| 20 | 69.7 | 278.8 |
| 30 | 104.5 | 418.2 |
| 40 | 139.4 | 557.6 |

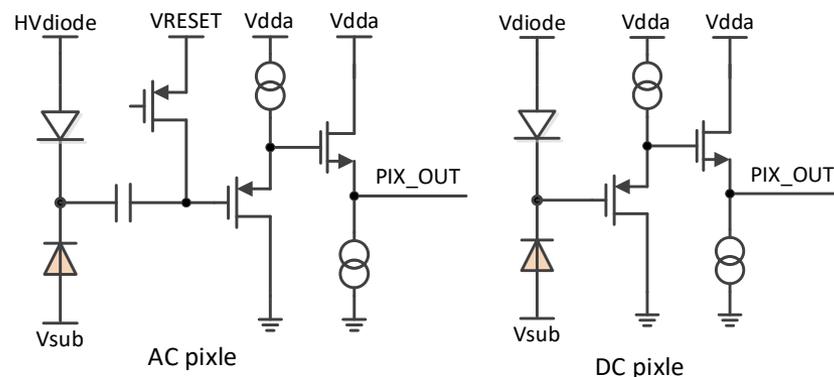
假设电源线最大长度为24 cm, 采用7层金属工艺, 想要实现 $\Delta V < 0.1 V_0$, 需要功耗小于 30 mW/cm^2 , 而且需要module双端供电需进一步研究其他方案

任务完成情况：面向Ref-TDR开展的VTX芯片设计（3）

开展基于TJ 65 nm工艺的像素设计

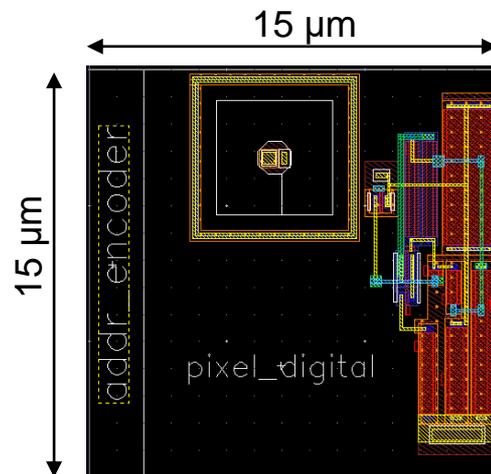
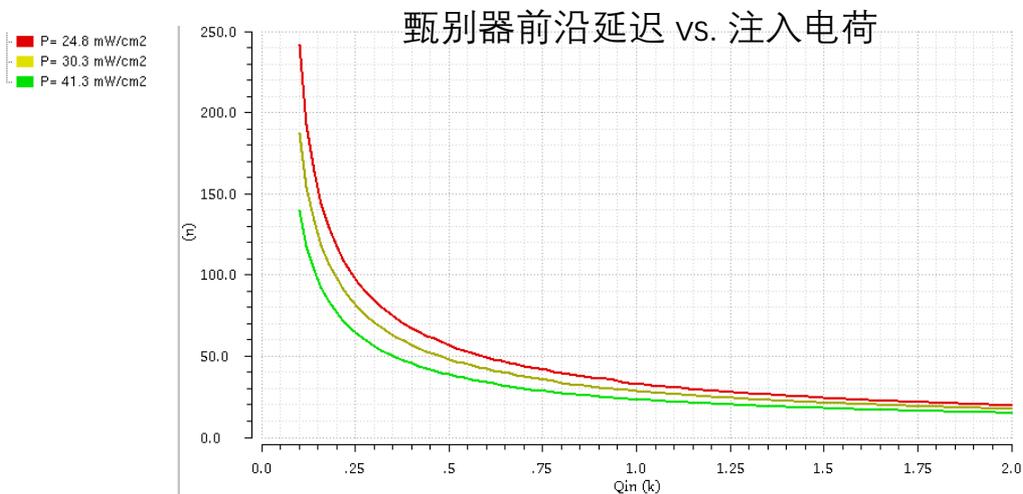
- 完成sensor测试像素单元设计，用于此工艺的sensor性能验证（外延层厚度比180 nm工艺少15 μm ，电阻率不同）

- 不同电极尺寸和spacing
- 不同偏置方式



- 完成模拟前端Front-end电路设计及版图

- 功耗和时间响应的折中考虑
- 面积5x14 μm^2 ，占像素（15 x 15 μm^2 ）总面积的31%，与TaichuPix-3中FE占比（32%）相当

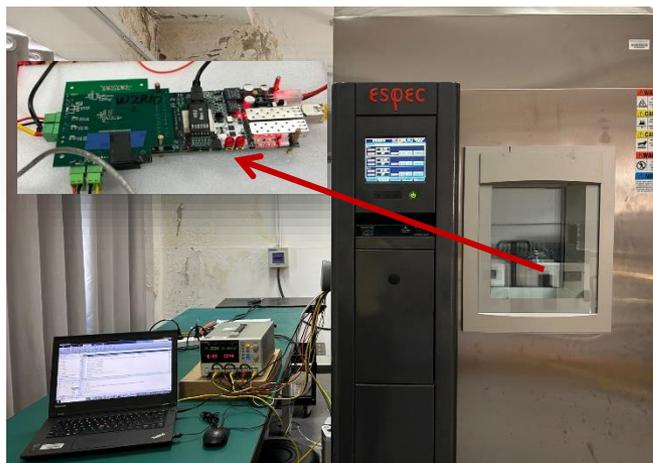


任务完成情况：CEPC顶点探测器芯片研发工作（1）

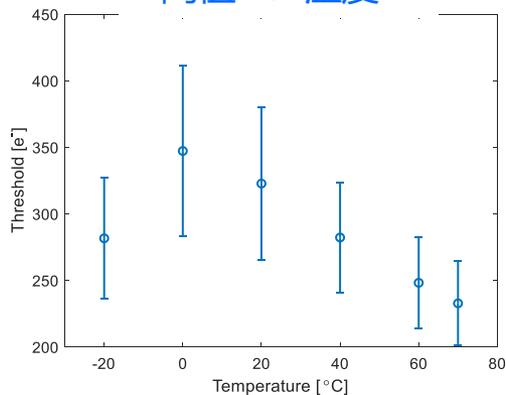
□ 太初芯片温度特性评估及失效原因分析

为设计迭代做准备

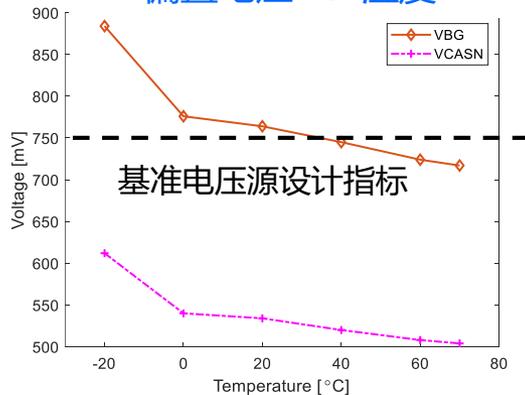
- 测试方法：芯片测试子板置于恒温箱，测试芯片电学指标随温度的变化（电流、偏置电压电流、像素阈值及噪声等）
- 测试结果：
 - 像素阈值随温度变化明显，芯片功能正常
 - 初步分析阈值变化主要源于像素的偏置电压和偏置电流随温度变化，根本原因是**偏置电路的基准电压源温度特性差**
 - 下一版改进方案：设计改版，**降低基准电压源（BandGap）的温漂系数**



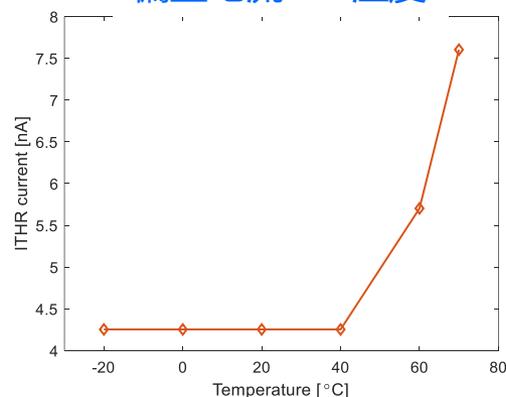
阈值 vs. 温度



偏置电压 vs. 温度



偏置电流 vs. 温度

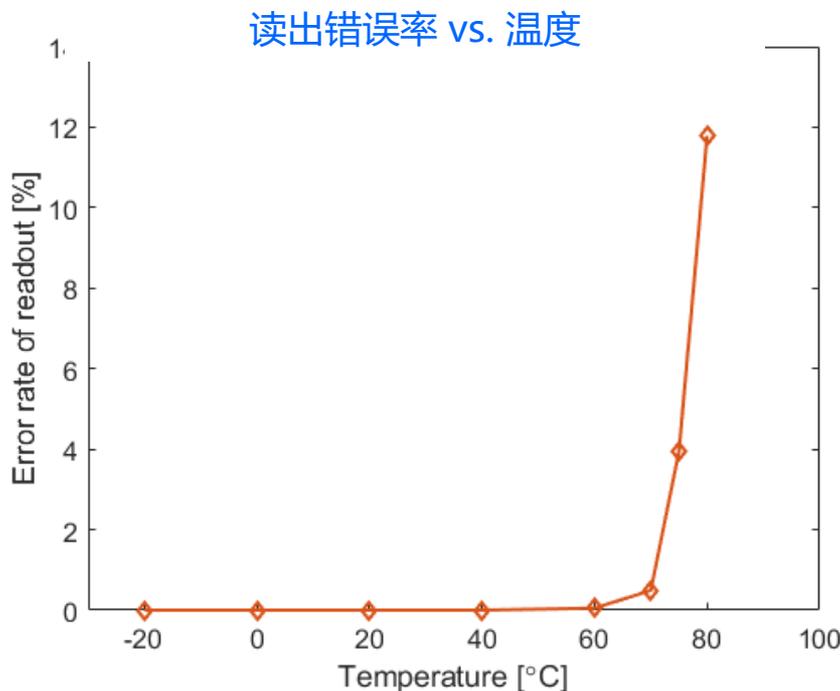


任务完成情况：CEPC顶点探测器芯片研发工作（2）

为设计迭代做准备

芯片温度特性评估及失效原因分析

- 环境温度高于60°时，出现明显的地址读出错误，且出错比例随温度迅速增加。
- 经测试验证，地址读出错误出现在列地址col<7> = '0' 的情况，将 '0' 错读为 '1'，初步诊断失效原因为列级读出逻辑的时序问题，需进一步开展仿真和测试确定解决方案



| 正确地址 | 读出地址 |
|------|------|
| 21 | 149 |
| 55 | 183 |
| 87 | 215 |
| 104 | 232 |
| 263 | 391 |
| 300 | 428 |
| 333 | 461 |
| 349 | 477 |

相差128

任务完成情况：CEPC顶点探测器芯片研发工作（3）

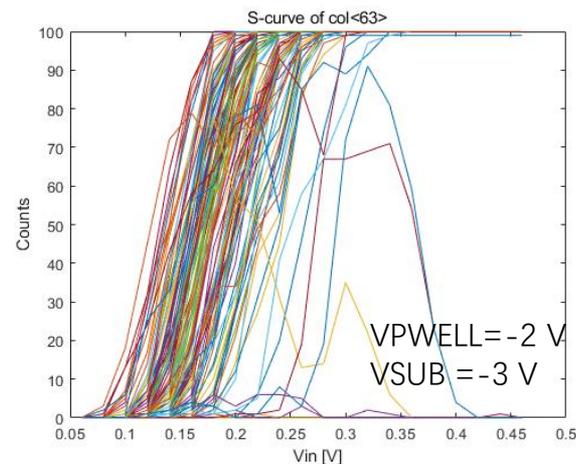
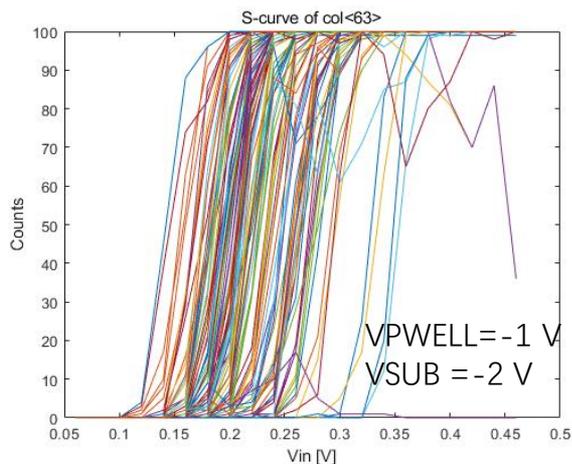
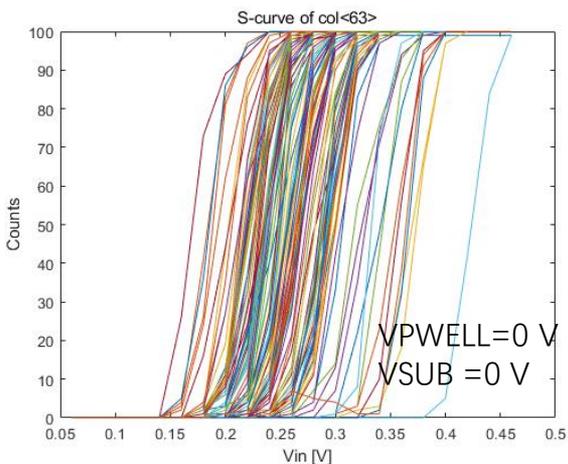
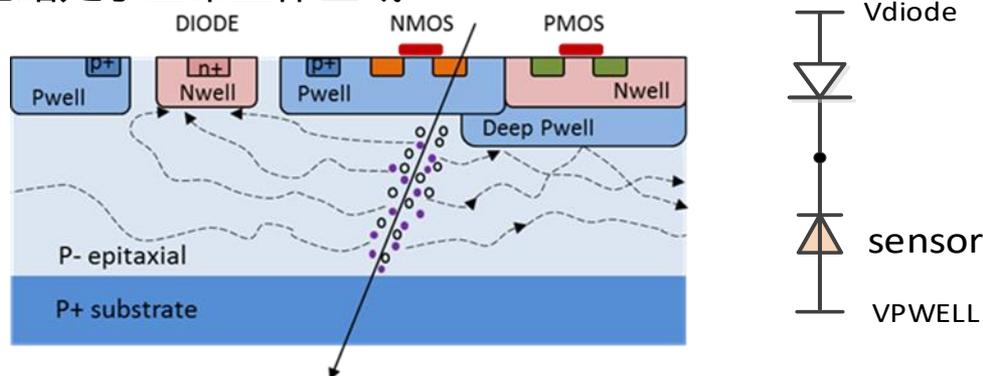
为设计迭代做准备

□ Sensor阳极负偏压对芯片性能的影响

- sensor阳极（VPWELL）加负偏压可以提高sensor的反向偏置电压，从而增大耗尽区，提高电荷收集能力
- VPWELL为负电压时，像素内NMOS管的特性会受影响，因此需要重新调节像素的偏置电压，使得像素前端电路处于正常工作区域

初步测试结果表明

- 阈值随二极管阳极负偏压增加而降低，符合预期
- 噪声随二极管阳极负偏压增加而增加，需进一步研究



本人研究成果与经费

□ 发表论文

| 序号 | 名称 | 期刊 | 排名 | 年份 |
|----|---|---|------|------|
| 1 | Beam test of a 180nm CMOS Pixel Sensor for the CEPC vertex detector | NIM. A, 1059, 168945 | 共同通讯 | 2024 |
| 2 | Beam Test of a Baseline Vertex Detector Prototype for CEPC | Transactions on Nuclear Science, 71, 1319 | 共同通讯 | 2024 |
| 3 | Data Acquisition System for CEPC Vertex Detector Prototype | Transactions on Nuclear Science, 已接收 | 10 | 2024 |
| 4 | Development of high-speed serializer transmitters in 180-nm technology for CEPC vertex detector readout electronics | JINST, 审稿中 | 2 | 2024 |

□ 课题经费情况

| 项目类型 | 项目名称 | 经费 | 项目状态 | 本人角色 | 起止时间 |
|-------------|-------------------------------|-----|------|------|---------------|
| 核电子学重点实验室项目 | 基于65nm CMOS工艺的MAPS芯片传感器关键技术研究 | 15万 | 在研 | 负责人 | 2024.6-2025.3 |
| 科技部重点 | CEPC-MOST3 | / | 在研 | 骨干 | 2024-2028 |
| 河南省科学院 | CEPC预研-顶点探测器 | / | 新增 | 骨干 | 2024-2027 |
| 自然科学基金面上项目 | 高精度单片有源像素传感器芯片关键技术研究 | 85万 | 未获批 | 负责人 | 2025-2028 |

学术交流、公共服务等

□ 国内外学术活动和报告

- 第四届半导体辐射探测器研讨会, 2024.5, 口头报告
- 中国物理学会高能物理分会第十四届全国粒子物理学术会议, 2024.8, 口头报告
- The 2024 International Workshop on CEPC, 2024.10, 口头报告
- Pixel2024, 2024.11, 口头报告

□ 学术发展规划

- 基础: 顶点探测器的CMOS像素芯片研发
- 创新: 探测新技术——先进CMOS工艺、CMOS 拼接 (Stitching) 、3D集成
- 拓展: CMOS像素探测器在其他领域的应用研发

□ 公共服务

- NIM期刊文章审稿
- 多次接待实验室参观: 顶点探测器原型样机介绍
- 图像传感器工艺厂商沟通: pdk申请、安装、更新等

□ 存在的问题

- 国内流片渠道受限 (可用工艺选项受限) , 计划积极开展与国外单位的合作, 尝试国外流片渠道

下年度工作计划

□ 继续开展CEPC顶点探测器研发工作

- 完成Ref-TDR 撰写
- 完成基于TJ 65 nm工艺sensor和像素测试单元的设计
- 参加TaichuPix-3芯片的改版设计，修改设计缺陷
 - TaichuPix-3芯片的卷曲和电学性能研究
- 参加CMOS芯片缝合技术（Stitching）研发
 - 基于TJ 180 nm 工艺的stitching芯片设计方案攻关，为65nm stitching芯片设计积累经验

□ 新技术探索

- Digital-on-top设计方法学习

感谢各位评委老师！