



2023-2024年度绩效考核报告

实验物理中心

探测器一组

周扬

报告内容:

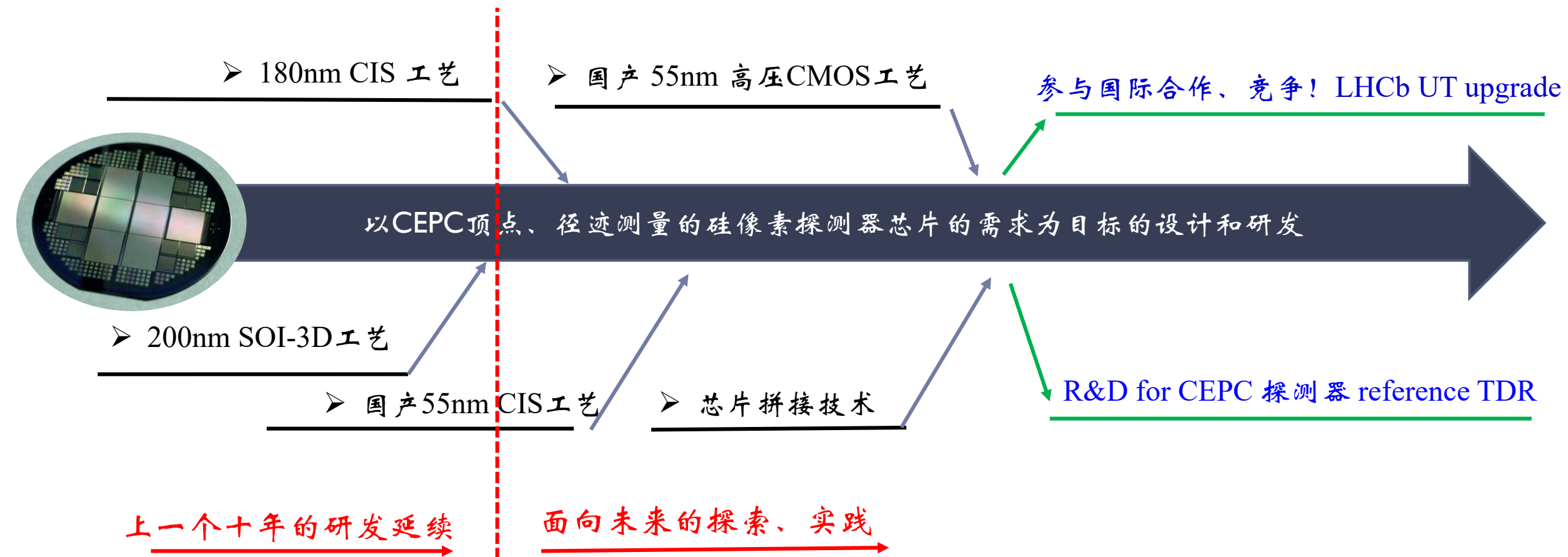
- 岗位职责
- 本年度工作情况
- 下年度工作计划

2024.11.22

岗位职责

目前聘用的职务	副研究员	聘用时间	2018.7
受聘课题组	实验物理中心探测器一组		
研究方向	硅像素探测器芯片设计、研发		
岗位职责： 硅像素探测器芯片的设计、研发			

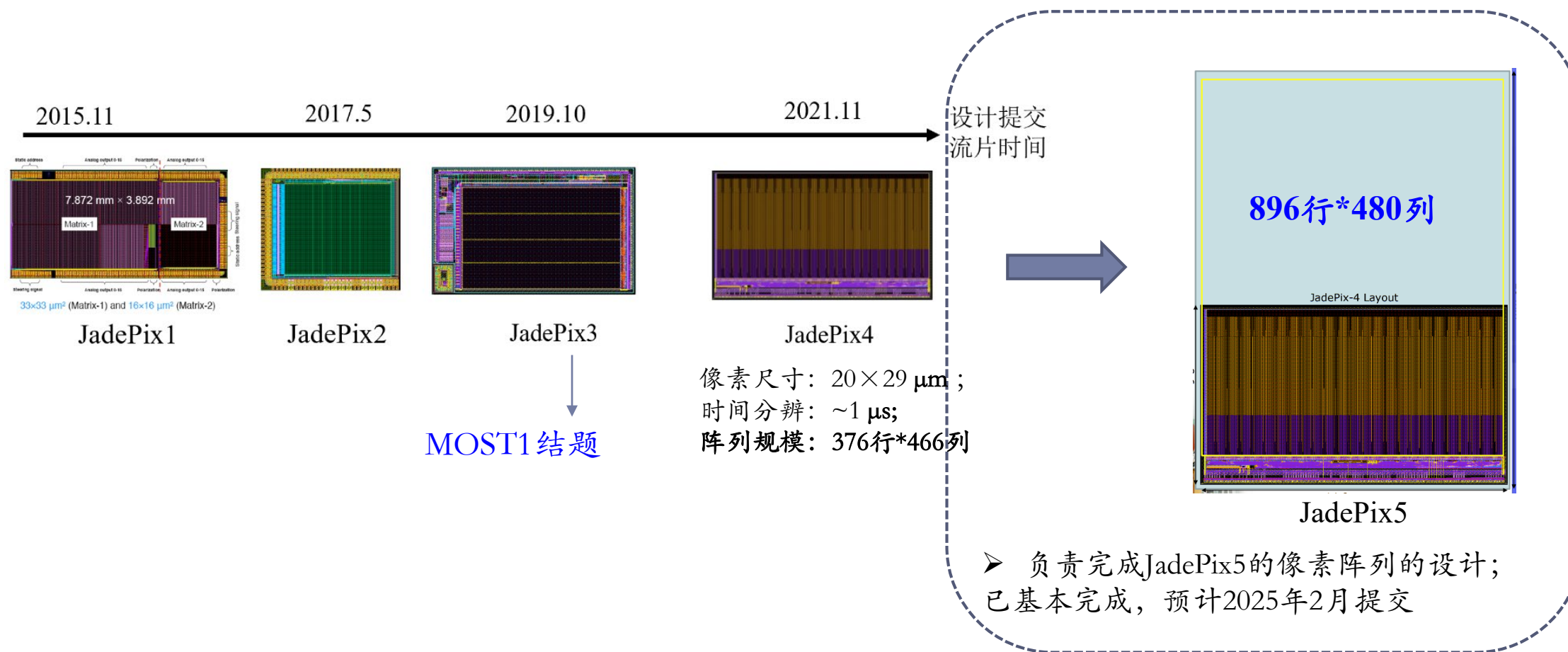
本年度工作情况



项目来源：科技部重点研发、自然科学基金重点项目、科学院先导培育、重点实验室自主研发、所创新、河南省政府等

研究任务一：180nm CIS工艺上的设计、研发

➤ 以CEPC顶点探测器为研发目标（180nm CIS 工艺）：位置分辨、时间分辨、低功耗



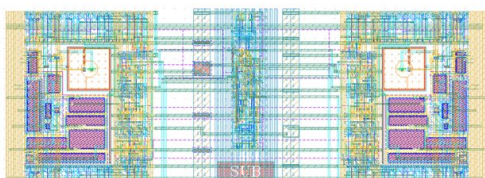
研究任务二：180nm → 55 nm技术节点迁移关键问题研究

- 任务目标：回答过去10年我们在180nm工艺上的技术积累（以JadePix系列作为参考基准），在迁移到下一代55nm节点工艺时，将面临哪些挑战，获得怎样的收益？一些共性的问题；*注 CEPC顶点探测器的基准方案已明确由180nm换为65nm工艺节点

结论：在维持噪声和时间分辨水平一致的情况下，预计像素尺寸可以减小~50%，阵列区域平均功耗密度减小30%！

表：180nm和55nm工艺节点下，像素阵列关键指标对比

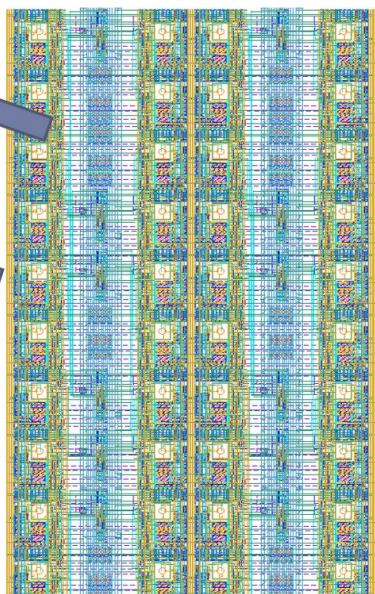
工艺节点	TJ--180nm	HLMC--55nm	相对比例
功耗(nW/pix)	~55	~15	↓~70%
模拟前端面积(μm ²)	16×16	9×12	↓~57%
模拟前端功耗密度(mW/cm ²)	~21.5	~15	↓~30%
单个像素面积(μm ²)	~30×20	~20×16	↓~47%
4×4像素阵列功耗(nW)	~660	~223	↓~70%
像素阵列功耗密度(mW/cm ²)	~7.7	~5.4	↓~30%
数字电路漏电流 (nA)	~4	~40	↑1000%
数字功耗占比	~1.1%	~28%	↑~27%
噪声水平(e ⁻)	~15(测试值)	~10(仿真值)	↓~30%
同等信号吸收条件下输出前沿引入的分辨误差 (μs)	~0.25(仿真值)	~0.17(仿真值)	↓~30%



两个像素的版图：单像素尺寸~23 μm * 15.5 μm



~2cm*2cm
1024*1024规模的像素阵列



HLMC 55nm CIS工艺，4层金属，支持stitching

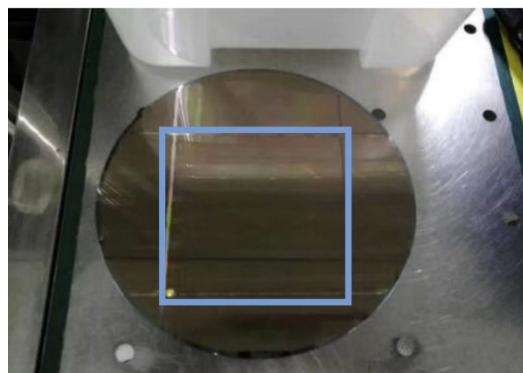
图1：在国产55nm工艺下完成的1024*1024规模像素阵列的最终版图，由于受到金属层数限制（仅4层），像素X方向尺寸为23μm。近期厂家更新了PDK，可以支持5层金属，预计像素X方向尺寸可以进一步降低到21μm左右

完成结题

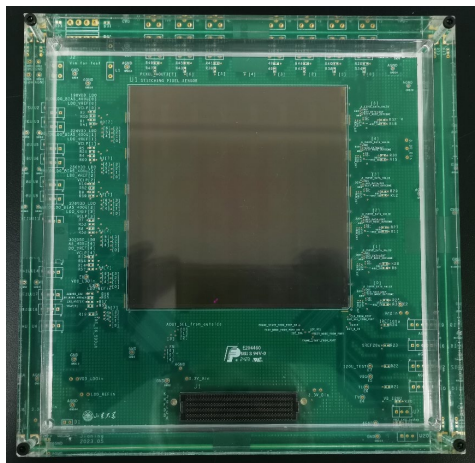
*感谢国重实验室自主研发和所资助部署的支持

研究任务三：晶圆级尺寸芯片的设计验证

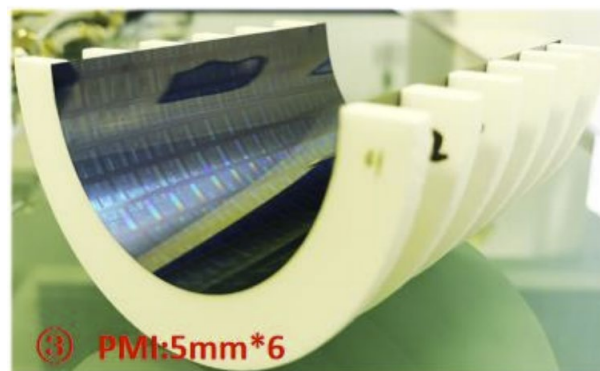
- 国内首次尝试实现晶圆级尺寸的大面积像素芯片的设计； 基于芯片缝合技术，单颗探测器芯片面积上限扩展2个数量级，减薄卷曲后，顶点/径迹探测器物质质量减少1个数量级； 该技术类型已被确认为CEPC 顶点探测器基准方案



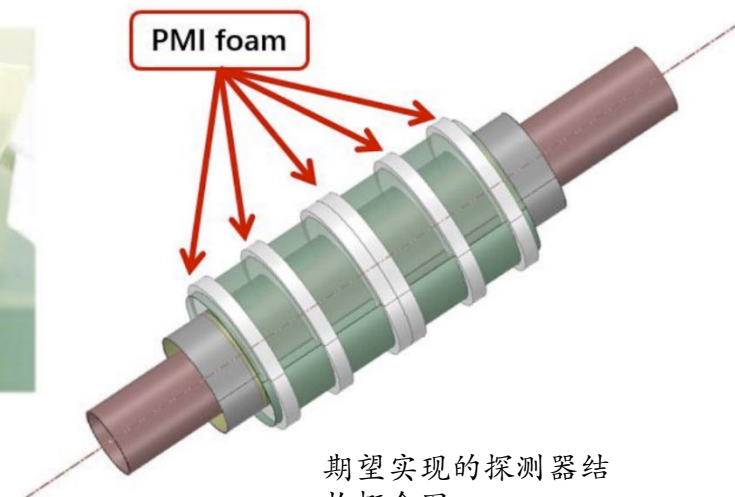
8英寸晶圆，单芯片尺寸11cm*11cm，2022年底完成设计并流片



芯片和测试板照片



假片减薄后卷曲照片



期望实现的探测器结构概念图

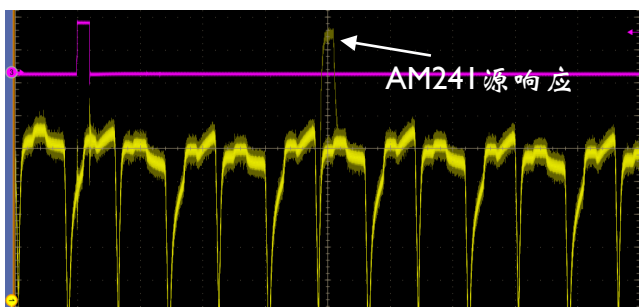
合作单位：高能所、山东大学、哈尔滨工业大学

完成情况：大部分功能验证符合设计预期

- 获得了第一手的stitching芯片设计和测试验证的经验
- 即将完成结题

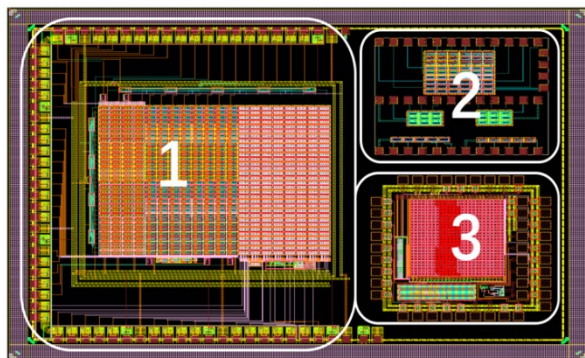
个人主要贡献：

- 芯片主要设计人员；
- 作为设计人员参与测试；
- 测试过程中的debug和FIB方案制定等



研究任务四：HV-CMOS像素探测器研发（1/3）-- 技术路线和工艺验证

➤ 目标：CEPC 内层径迹探测器 & LHCb UT 的升级（技术选型、位置分辨、时间分辨、功耗水平等性能需求一致）



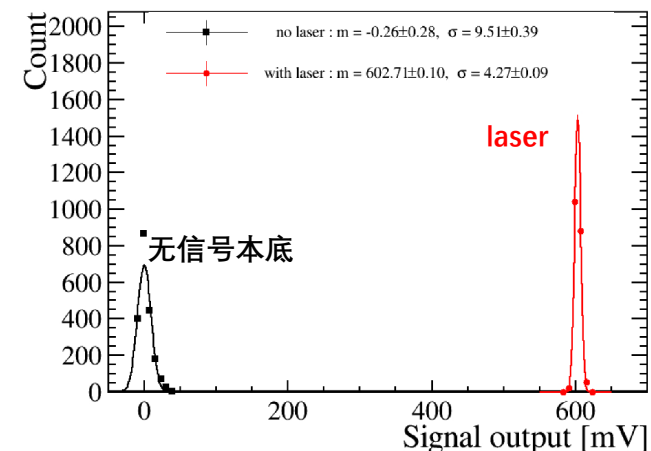
COFFEE2 芯片版图

从芯片设计的角度参与到测试验证和方案规划中：

➤ 芯片定性测试结果与设计吻合：验证了技术路线和工艺特性的有效性；为CEPC reference TDR、LHCb UT 升级竞争等的技术选型提供了重要的支撑；

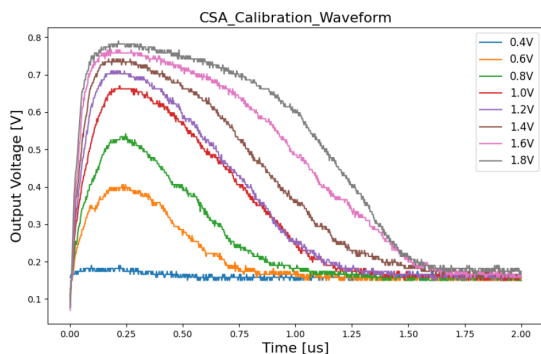
➤ 芯片定量测试已完成方案制定，正在开展：

- 噪声、像素间差异、cross-talk水平等；

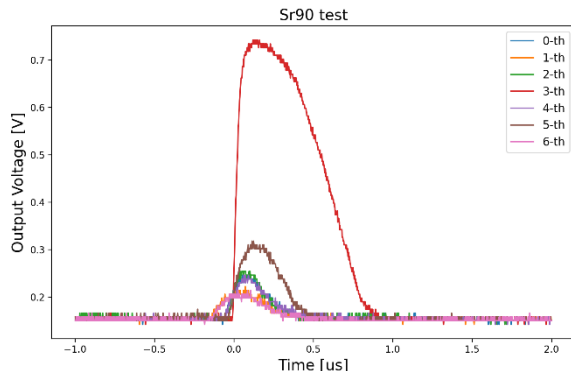


对激光源的响应

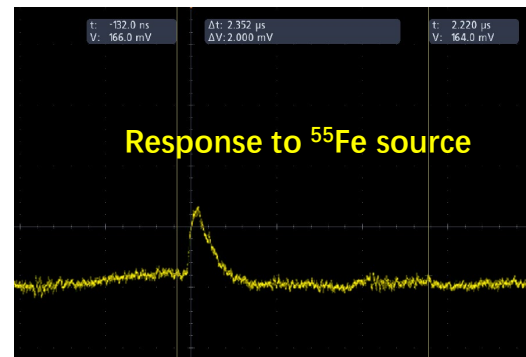
HV-CMOS像素探测器，国际上首次在55nm HV-CMOS先进工艺节点上的流片； 国产工艺。



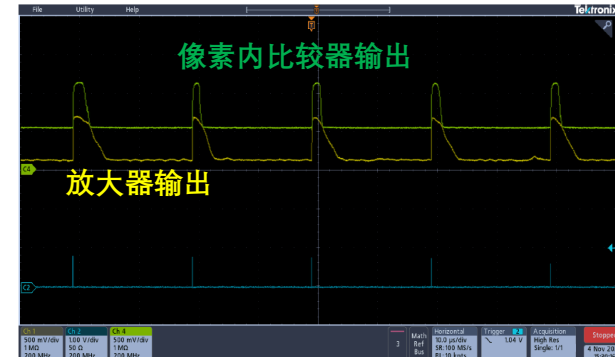
电荷注入模拟前放响应（不同能量）



Sr90 源响应

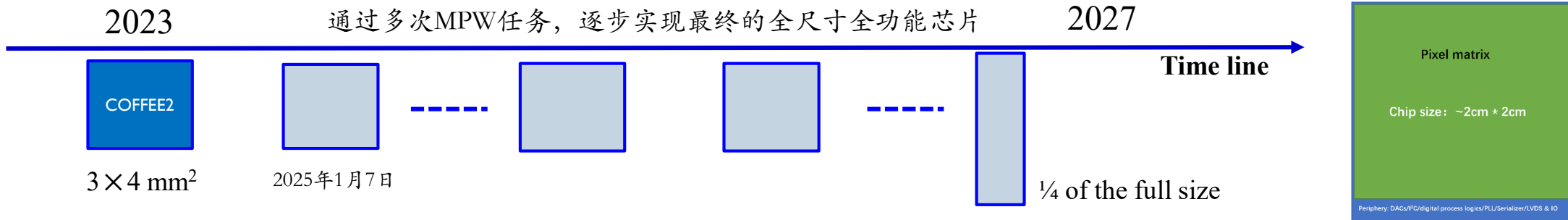


⁵⁵Fe 源响应结果

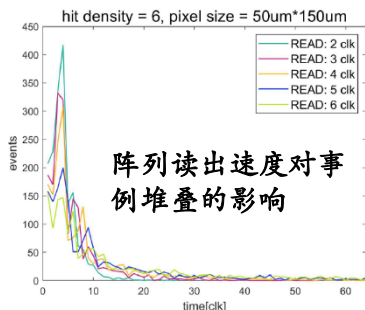
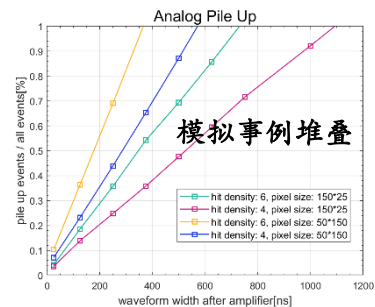


像素内数字化读出响应

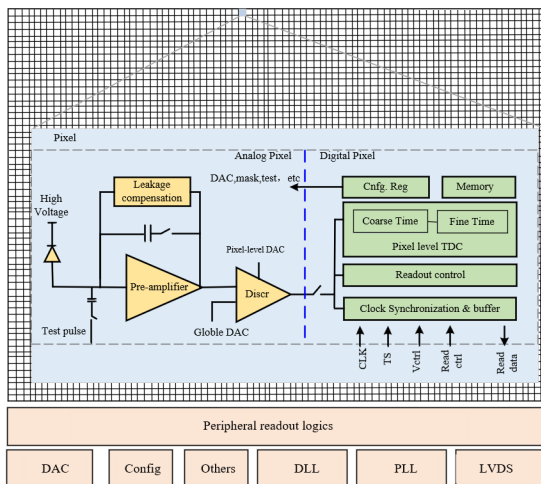
研究任务四：HV-CMOS像素探测器研发（2/3） -- MAPS芯片设计



Step1. 通过各类仿真 (Matlab、TCAD、Allpix²) 等确定满足物理目标和探测器指标的芯片设计方案



Step2. 确定像素阵列读出构架、数字外围方案、所有模块设计指标



In-pixel Coarse-fine TDC + data-driven readout

Step3. 任务拆解、设计、流片

- 下一版芯片核心目标：各模块初步功能实现；
- 已完成除DAC之外的大部分模块的原理图设计，
- 计划2025年1月7日提交流片；（仅数周后）
- 任务非常艰巨，正在集中力量争取实现流片（版图、综合仿真验证）；

作为芯片设计负责人：

- 结合应用背景、先进工艺的特点提出新的像素探测器读出结构；
- 确定了芯片最终的性能目标和各模块的设计指标；
- 组织协调~15人的设计队伍，发挥各自的专业特长，完成整体芯片的设计；

希望在明年，CEPC Reference TDR的正式国际评审前能提供有力的测试结果支撑。

研究任务四：HV-CMOS像素探测器研发（3/3） -- 推动工艺优化

高能物理领域单片集成像素探测器（MAPS）的性能除了ASIC设计，极大的依赖工艺条件：“卡脖子”严重，国外团队使用、优化出的工艺很难触及，自主可控、满足需求的国产工艺渠道依然缺失！

➤ 遍历了国内大部分100nm以下，40nm以上的工艺产线：读工艺文档、安装PDK，与技术人员邮件、电话、会议等各类方式的沟通；

工艺厂商	工艺	尝试单位、技术路线	是否改过工艺	尚缺少的工艺条件	工艺调整难度		
中芯国际 SMIC	180nm BCD	山东大学、HV-CMOS	否	高阻、P-well block	还未展开有源信号测试		
	55nm HV/LL	IHEP、HV-CMOS	否	高阻、DPW屏蔽、P-well	Fe ⁵⁵ 有清晰响应		
台积电 TSMC	工艺厂商	工艺	1.支持全流程混合设计	2.四阱结构、屏蔽层	3.高阻衬底	4.表面P掺杂屏蔽	工艺调整难度
华虹 (GSI)	中芯国际 SMIC	180nm BCD		满足条件			
	台积电 TSMC	90nm 以下 BCD/HV		部分满足、无屏蔽层			极困难 (大厂、)
华 (HLI)	台积电 TSMC	1. 项目背景 2. 技术路线					
	华虹宏力 (GSMC)						
	华虹 (HHNEC)						
	华力 (HLMC)						
其它较小							

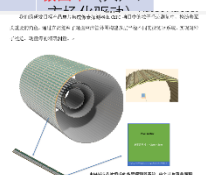
商用工艺需要修改才能更适合高能物理领域MAPS芯片的使用：

- 高阻值的信号敏感层：商用 $\sim 10\Omega\cdot\text{cm}$ ，我们期望更高（最好 $> 1\text{k}\cdot\text{cm}$ ），显著影响信号量、收集时间 -> 对应**功耗、时间分辨、位置分辨**等；
- 4阱结构：国内商用工艺大部分是3阱，需要第4阱做屏蔽层，显著影响像素内电子学设计的自由度，从而**影响芯片整体最终性能**；

重要进展：在12英寸、55nm工艺产线上推动了工艺方同意进行工艺优化（历时7个月）；

- 启动高阻晶圆进厂评估流程；
- 配合增加阱、调整离子注入浓度等；

各类与厂家沟通的文档



本年度文章与学术交流情况

➤ 文章：

1. 3D-integrated pixel circuit for a low power and small pitch SOI sensor, 10.1088/1748-0221/19/02/C02046, JINST (2024)
2. Feasibility study of CMOS sensors in 55 nm process for tracking, NIMA Volume 1069 P169905 (2024)
3. Simulation study of BESIII with stitched CMOS pixel detector using ACTS, Nuclear Science and Techniques, (12. 2023)
4. 3D-SOI 像素芯片逻辑层的设计与实现；核电子学与探测技术, 2024

➤ 会议报告、交流：

1. The development of HV-CMOS pixel sensors for silicon tracker in 55 nm process, oral The International Workshop on CEPC, 2024.10, 杭州
2. 基于55nm高压CMOS工艺的像素径迹探测器芯片研发进展, 第四届半导体辐射探测器研讨会, [大会特邀报告](#), 2024.5, 青岛

本年度在研项目、经费情况

编号	项目名称	项目来源	承担任务	本年度状态
1	65/55nm工艺CMOS芯片像素阵列设计关键问题研究	国重实验室	主持	完成结题
2	55nm工艺设计关键问题的研究	所自主部署	主持	完成结题
3	高精度SOI像素顶点探测器研究	NSFC重点	骨干	即将结题
4	基于大面积超薄CMOS像素传感器的BESIII内径迹室关键技术研究	NSFC重点	骨干	即将结题
5	粒子和空间辐射前沿探测技术研究	中科院培育	骨干	在研
6	“中俄NICA国际合作研究项目”子任务：硅径迹探测器预研	科技部重点	骨干	在研
7	CEPC-MOST3	科技部重点	骨干	在研
8	基于先进制程高压CMOS的径迹探测器技术研究	所创新	骨干	新增
9	CEPC硅内层径迹探测器（Pixel）研发	CEPC河南	骨干	新增
10	LHCb磁场上游径迹探测器传感器芯片研究	NSFC重点	骨干	已答辩
11	DRD3: 55nm HV-CMOS像素探测器研发	国际合作	设计负责人	已答辩

公共服务

- 党支部小组长，承担一些组织服务工作
- 文字材料：年报、各类文档撰写
- 评审专家、技术顾问
- 研究生培养：来源合作单位
 - 在读研究生1名；博士生2名

下年度工作计划

□ 未来工作计划：希望尽力**做成两件事**

1. 凝聚力量，完成HV-CMOS技术类型的像素探测器芯片的设计、验证；满足CEPC内层径迹探测器的需求，为明年CEPC reference TDR的国际评审提供有力的支撑；同时参与到LHCb UT升级最终方案的国际竞争中（英、法、德、中4组芯片方案）；
2. 推动55nm国产工艺针对高能物理应用的优化实现；

感谢各位老师！