

HVCMOS meeting

2024.01.09

参会：邓建鹏，董若石，李乐怡，李鹏戎，李一鸣，陆卫国，项治宇，谢坤好，徐子骏，赵梅，张晓旭，周扬，朱宏博

- 治宇介绍COFFEE2 IV、CV测试
 - 击穿电压约为-70V
 - 未达到全耗尽
 - dC/dV 斜率与像素面积成正比，并由此可推出电容的offset
 - 子骏后续整理了excel表格，显示扣除offset后电容与面积符合较好，至少对1/2/3三个有p-stop的区域是这样，对5/6有一定偏离
 - → 后续需调整仿真，与测试相对照
- 周扬提醒：
 - 该55nm工艺是更大制程等比例缩小得来，因此默认设计尺寸对应到实际尺寸应乘以0.9因子，对应芯片尺寸（4mm*3mm）实际测量也约为3.6mm * 2.7mm（治宇实测）。实际测试时应注意，如打线pad尺寸比预想更小
- COFFEE2 阵列1测试
 - 周扬整理测试硬件资源需求。阵列1共71个引脚，对应6类（偏置、电流、电压偏置输入、数字选通开关、模拟输出、数字输出等）
 - 拟自己设计测试原理图（坤好等），版图可外包
 - 测试板直接接芯片，还是测试板+芯片载板模式？（后者可能更灵活）
 - FMC接口转FPGA
 - 若石建议利用可变电源，防止类似GECCO板过多电源接口