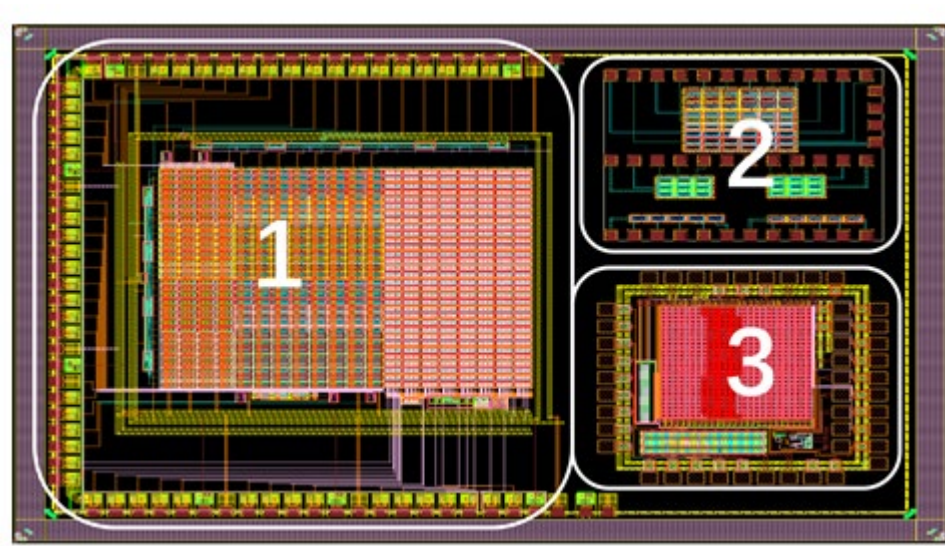


COFFEE2芯片 阵列1 测试硬件资源需求整理

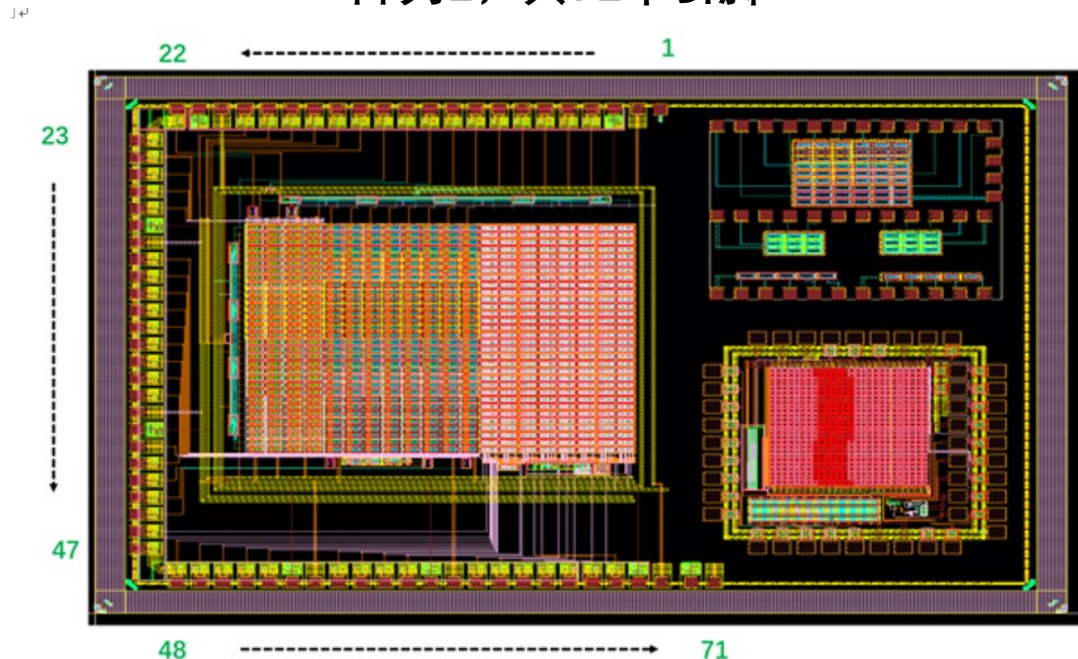
周扬 2024. 1



测试硬件资源需求统计：

1. 电源、地、负高压偏置： 17
2. 电流偏置输入通道： 1
3. 电压偏置输入通道： 24
4. 数字控制选通开关输入通道： 14
5. 模拟输出通道： 9
6. 数字输出通道： 6

阵列1，共71个引脚



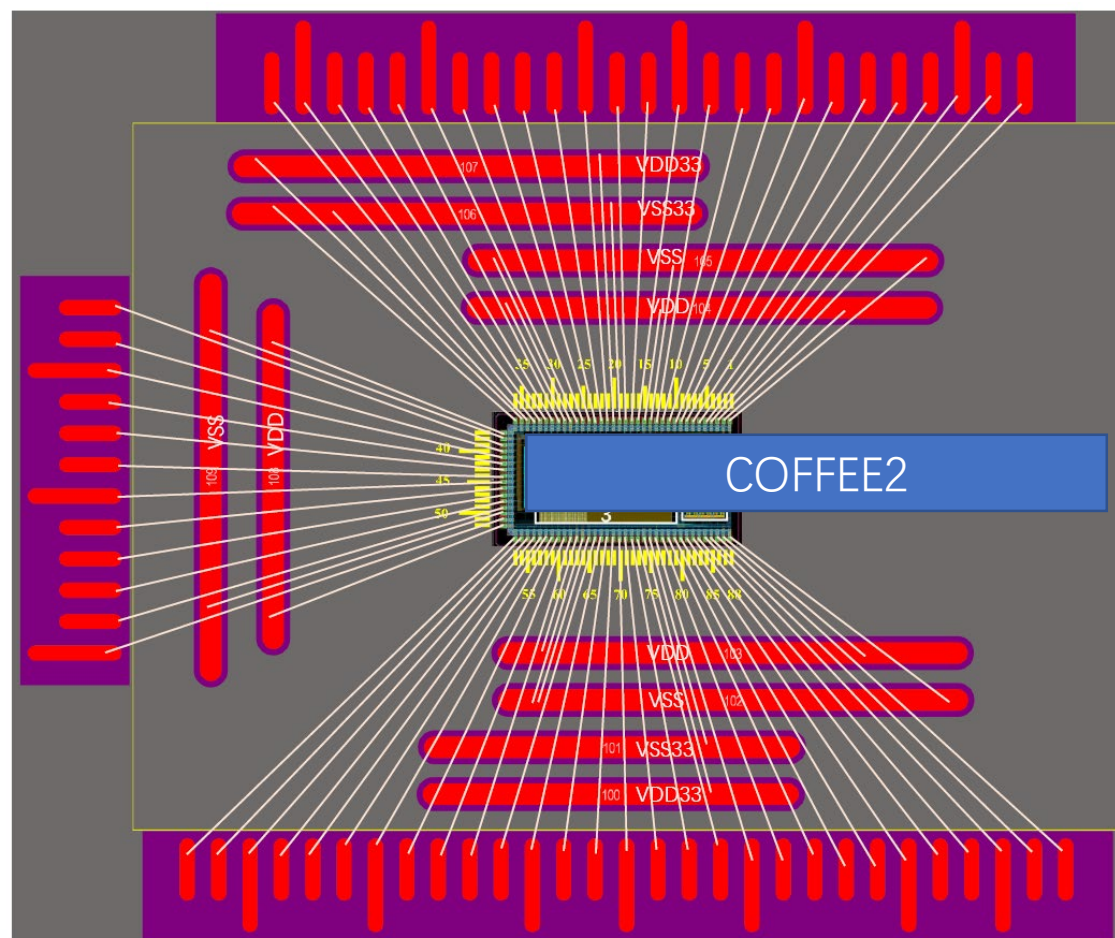
1. 电源/负高压偏置：共7类，17个pin脚

下一步：

- PCB版图丝印和pin脚打线图同步考虑；
- 需验证芯片实际大小是版图设计尺寸的90%？
(芯片整体尺寸、焊盘大小、焊盘间距)

- 模拟电源：Pin28, 40, 53, 59,
- 模拟地：Pin29, 39, 54, 60,
- 数字电源：Pin3, 21, 68
- 数字地：Pin2, 20, 69
- Gardring 电源1.2V：Pin70
- Gardring 地：Pin71
- 芯片负偏压 (V_minus)：Pin1

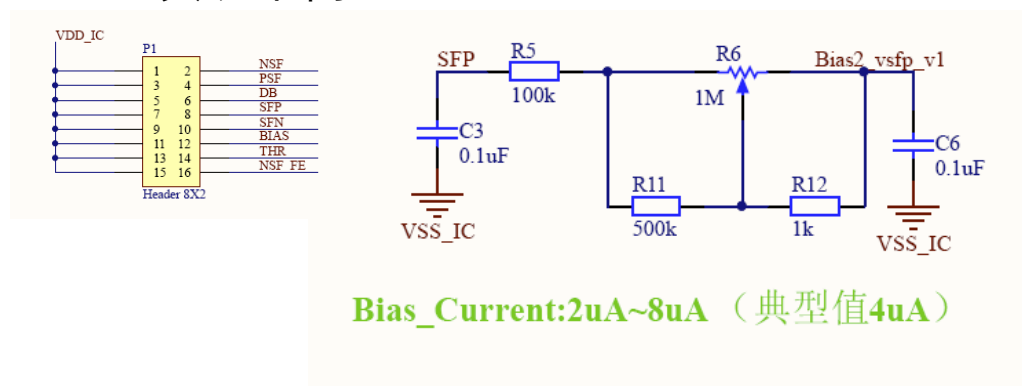
打线图举例，非coffee2芯片：电源、地可合并，提前验证PCB上丝印分配是否会产生打线冲突



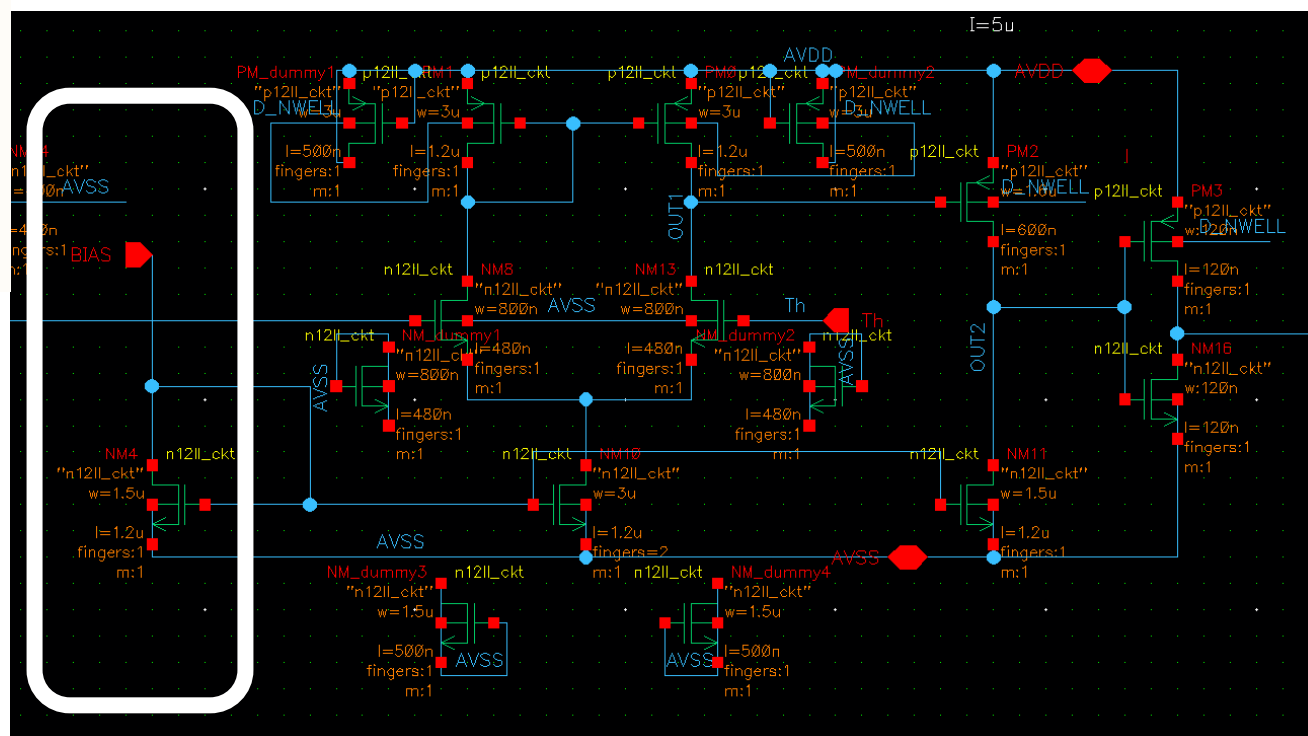
2. 电流偏置输入通道：供1个pin脚

- BIAS (Pin24) : 基准值5uA, 期望1-10uA可调;

PCB实现举例:



芯片内部BIAS通道截图:



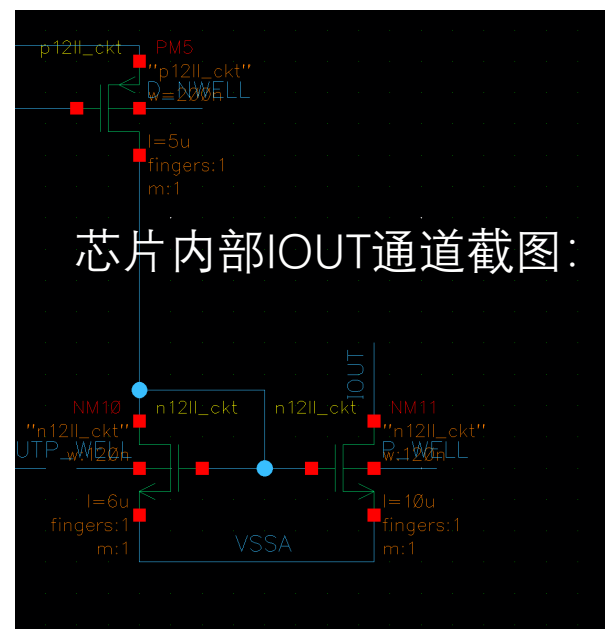
3. 电压偏置输入通道：共两大类，14+10=24个pin脚

一、可调偏置：可考虑用DAC芯片或参照电流偏置，用可调电阻实现

- TH_left (Pin25): 0.6-1V;
- COM_BIAS (Pin26) : 0.6-1V;
- VB1_FB (Pin31): 300mV-600mV;
- IBN (Pin32): 400mV-800mV;
- IBFOLL (Pin33) : 300-700mV;
- VCAS_right (Pin34) : 600-900mV;
- IBP (Pin35) : 600mV – 900mV
- VB1_SB (Pin38) : 100 – 500mV
- VP(Pin47): 600mV-850mV;
- VN (Pin48) : 450mV-600mV;
- VCAS_left (Pin49): 300mV-700mV;
- VNFOLL (Pin50) :300mV -500mV;
- BL (Pin51) : 500mV-600mV;
- IOOUT (Pin58) : 950mV基准, 可浮动调节

二、静态偏置：

- CLAMP (Pin27) : 1.2V固定偏置
- VB2_FB (Pin30) : 0V
- VDDA_left (Pin36): 800mV
- PWELL (Pin41) : 0V
- VB2_SB (Pin42) : 0V
- VBO (Pin52) :1.5V
- TH_right (Pin55) : 600mV
- VB1 (Pin56) : 700mV
- VDDA_right (Pin57) : 0.65V
- D_NWELL1: 0V



4. 数字控制选通开关输入通道：共两大类，12+2=14个pin脚

一、静态选通即可：

- Sel_col<0:4>, En_col, Sel_row<0:4>, En_row

二、动态脉冲： 备选方案数字脉冲+可变电阻分压

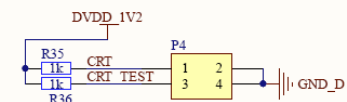
- VCAL(PIN37):脉冲输入，上升时间~ns，电平50-500mV可调；
- COL_CON: 外部输入脉冲，上升时间~ns，电平20-120mV可调；

PCB实现举例：静态选通开关信号

Switch

CRT = H: Aout

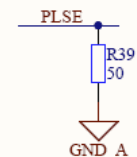
CRT = L: Dout



CRT_TEST = H: test on

CRT_TEST = L: test off

Test_inject



实现方案：FPGA

5. 模拟输出通道：共9个pin脚

保留示波器接口，不需要PCB上的进一步放大

- A_out_3cols (Pin22) :
- A_out_1st_col (Pin23) :
- VOUT_1COL (Pin43):
- VOUT_SP (Pin44):
- VOUT_7COL (Pin45):
- VDAC (Pin61):
- CSA_OUT_PIXEL (Pin62):
- CSA_OUT_COL (Pin63):
- VBG (Pin64):

6. 数字输出通道：共6个pin脚

- Col_sel<19> (Pin4): 保留测试点即可
- Row_sel<0> (Pin13): 保留测试点即可
- D_out_234cols (Pin11) :
- D_out_1stcol (Pin12):
- COM_ROW (Pin66):
- COM_PIXEL (Pin67):

4个通道均为比较器输出，需要示波器观察、刻度翻转时长（可以保留示波器测试点、同时FPGA接收信号，固件里添加时间信息）

PCB实现举例

Test_point



TP1 RowSel1_48_out
TP2 ColSel490_out