

COFFEE 系列芯片设计讨论

----- 关键问题、目标概况、部分设计指标

主要内容:

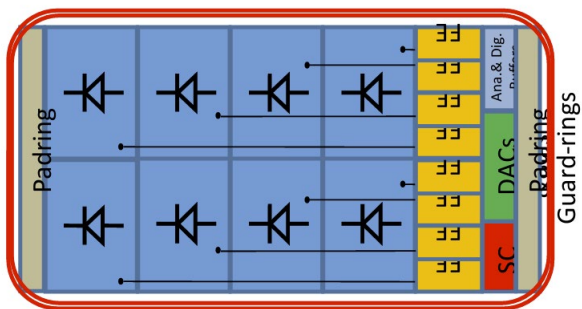
Zhou Yang 2024. 4. 16

- Q1: 没有深P阱, signal和sensor之间cross-talk对设计结构的影响;

Thanks for the discussions with Tianyang Wang@ LF-MONOPIX and Hui Zhang @ ATLASPIX

- Q2: COFFEE-3流片尺寸和验证目标;
- Q3: 必要的设计功能模块和manpower?
- Q4: 一些关键的总体设计指标 (tbd) → 不是最终值, 重要的是建立了模型, 后续随着设计进展, 方便迭代
 - 模拟COFFEE芯片的信号输入: 细节见 李乐怡 报告
 - Hit density (LHCb upgrade) 对设计的影响: 细节见 张晓旭 报告
 - 时钟分发的功耗支出、像素内细时间抖动对时间精度的影响: 见 魏晓敏、何英华 报告 (next time)

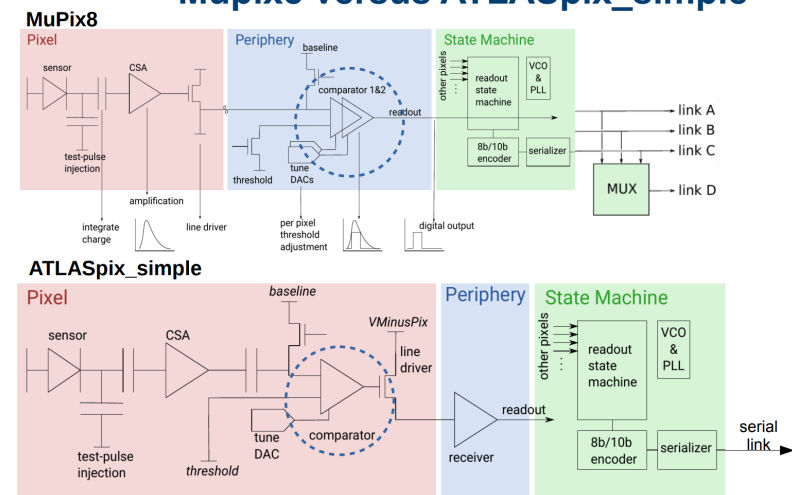
1



目前已有4个类型的构架路线下的研发经验，可供我们学习参考

2

Mupix8 versus ATLASpix_simple



André Schöning, Heidelberg (PI)

19

Vertex2019, 15. October, 2019

3

1. 被动diode;

每个像素的模拟前端都做在阵列底部: mini-cactus;

2. 模拟像素;

像素内仅模拟电路, 比较器在阵列底部; MuPix系列

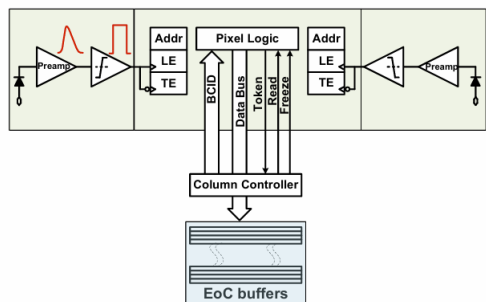
3. 数字像素;

像素内集成到比较器; ATLASpix系列

4. 像素内标记时间戳, FE-I3构架;

RD-50系列, LF-monopix 系列

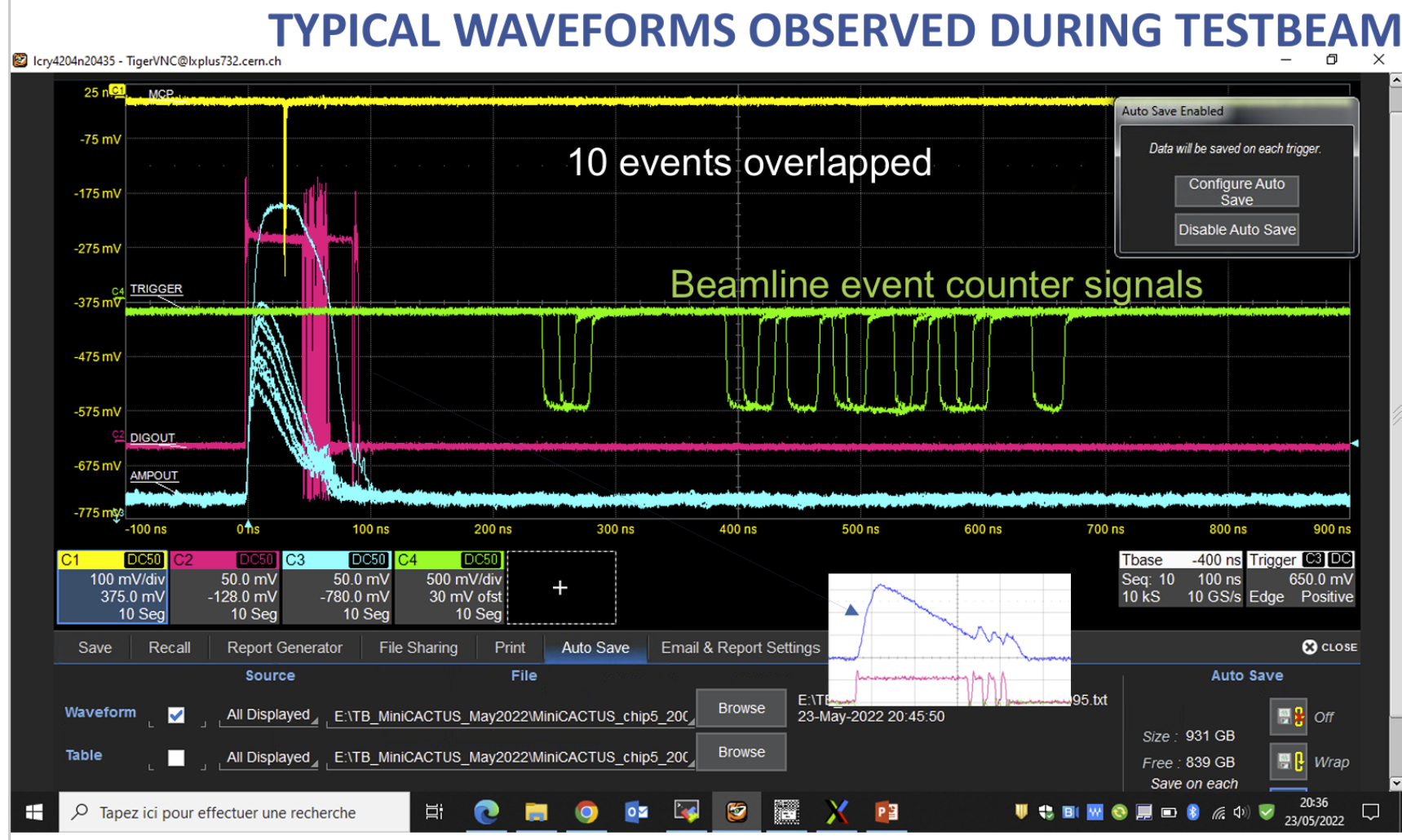
4



更复杂的像素内集成

mini-cactus: 被动diode, 阵列外FE (reported @ CEPC workshop 2024.4)

Cross-talk 来源

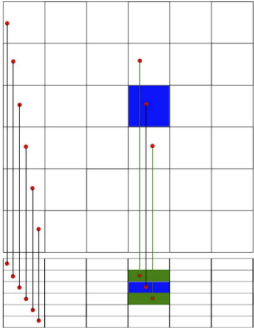


→ Ringing on Digital Output due to coupling from the digital buffers
(known problem from in-lab tests, negative impact on TW corrections from digital ToT)

个人观点 (需要与设计者验证): mini-cactus将初版设计中的像素内模拟前放移出到阵列外, 主要收益是降低输入电容, 同时cross-talk处理难度降低 (但非无法处理)

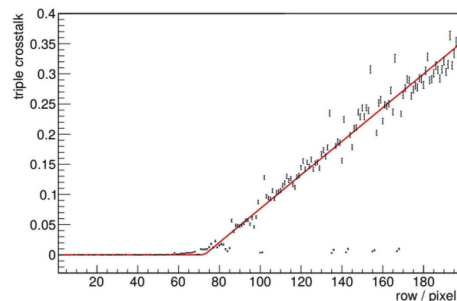
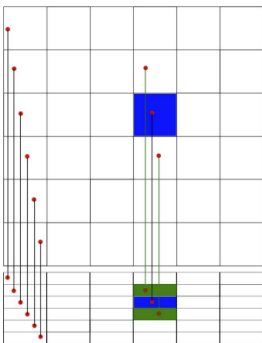
MuPix系列：模拟像素，比较器在阵列外围

Signal Line Crosstalk - MuPix8



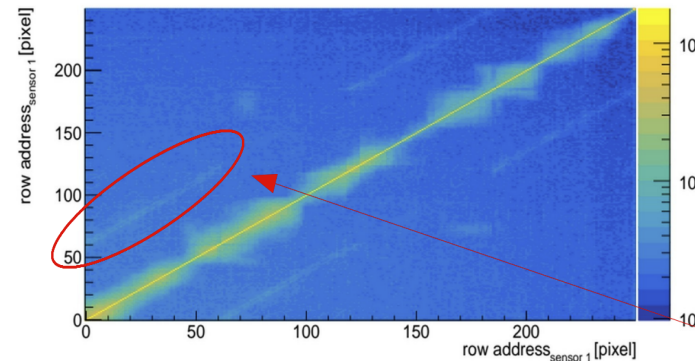
- Point-to-point connection
- Capacitive coupling to neighbouring lines (increases with length)
- Crosstalk can induce additional hits
- Not easily distinguishable from charge sharing
- Additional Readout load

Signal Line Crosstalk - MuPix8



Triple Crosstalk:
hit induced in both neighbouring lines

Routing Optimisation - MuPix10



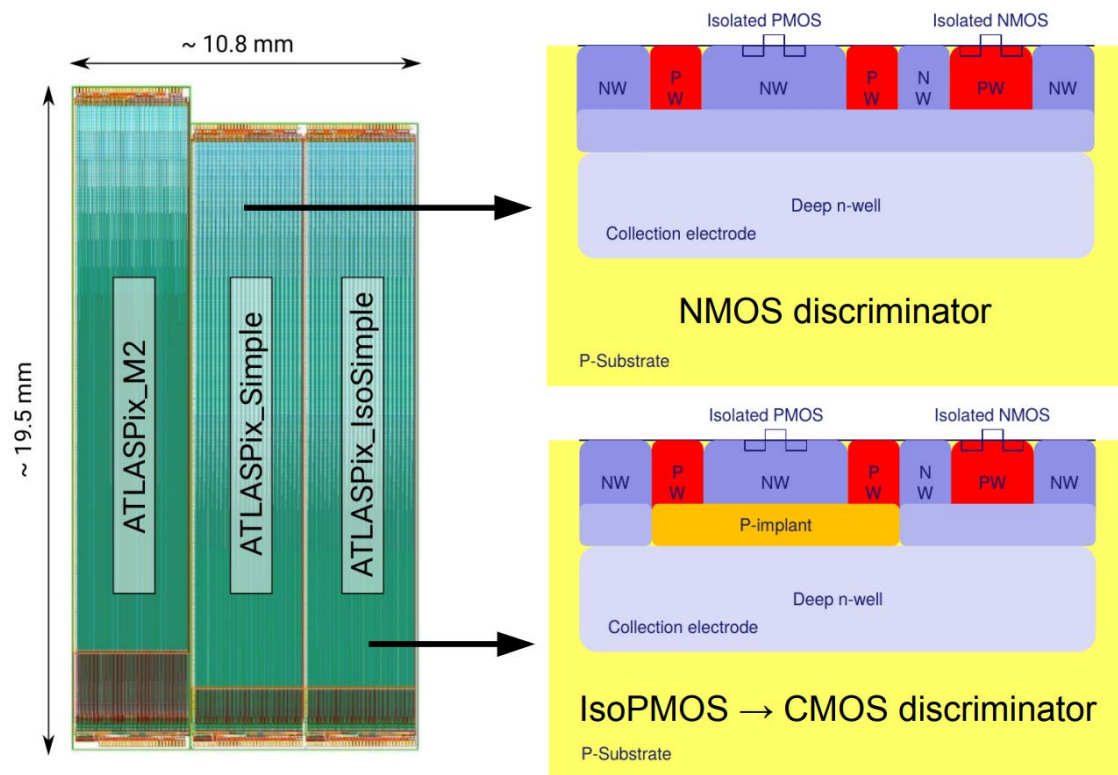
- Equalize but reduce crosstalk
→ minimise the length that two line are neighbouring
($\frac{1}{4}$ of total length, 2cm)
- ~12% triple crosstalk expected
- Make Crosstalk easily detectable
→ neighbouring signal lines are not neighbouring pixels
- Crosstalk can be removed, possibly already during the data taking
- Even more improvement expected for MuPix11

ATLASPix系列：数字像素，比较器在像素内，阵列外标记时间戳

KIT团队的大部分流片没有深P阱，也有相同的设计，有/无深P阱的对比流片

ATLASpix_simple

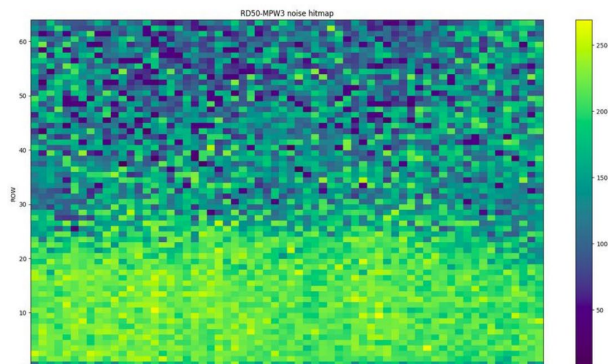
有针对并行数据线之间cross-talk做优化



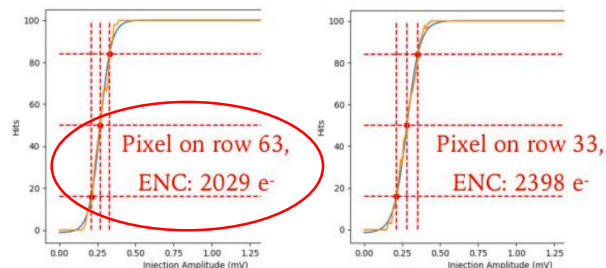
Note, discriminator
is implemented
in pixel!

RD50 MPW系列、LF-MonoPix系列：数字像素，像素内标记时间戳（FE-I3构架）

RD50-MPW3 noise hitmap



Pixel matrix noise hitmap



S-curves for pixels on row 63 and 33 for the same column.

- Pixel matrix hitmap.
 - No injected signal (only noise).
 - Chip default configuration.
 - Threshold 300 mV above baseline (900 mV).
 - Shutter window of 2s.
- Bottom part of the matrix is noisier.
 - Confirmed by S-curves of pixels corresponding to different rows.
- Noise coupling from digital periphery.
 - Digital ground shared by digital periphery and digital part of pixels.
 - Simulation confirms that noise is minimised by separating digital periphery and digital pixel grounds.

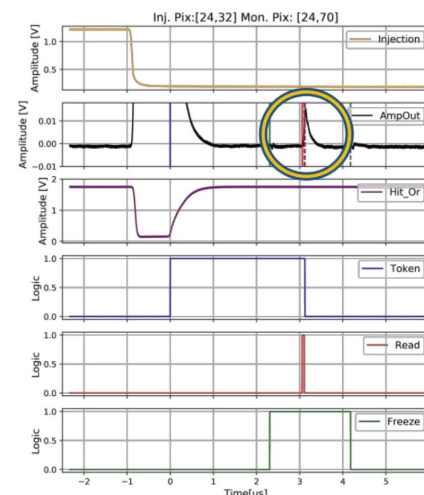
From Zhang, 41st RD50 Workshop, 2022.

模拟前端Noise 过高!



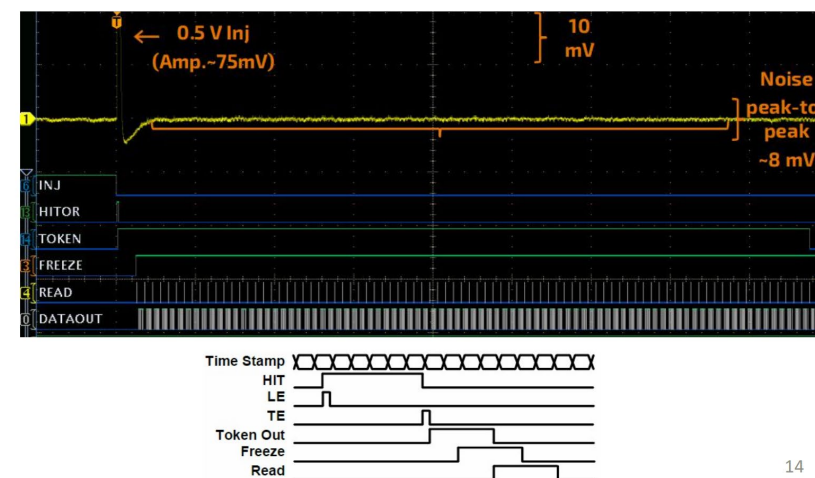
LF-MONPIX 2: CROSS-COUPLING MITIGATION

Observation in LF-Monopix 1:
Small **cross-coupling signal**
coincident with switching of READ inR/O



LF-Monopix 2 with **improved pixel layout**:

No sign of cross-coupling coincident with R/O digital switching while carrying signals from pixels across column



From J.DINGFELDER, VERTEX, 2021

LF-MONPIX1中发现了轻微cross-talk，在
LF-MONPIX2中修正（通过时序和版图设计）

重要经验支撑：HV-CMOS工艺上，像素
内集成复杂的电子学，有成功先例！

➤ Q1: 没有深P阱, signal和sensor之间cross-talk对设计结构的影响;

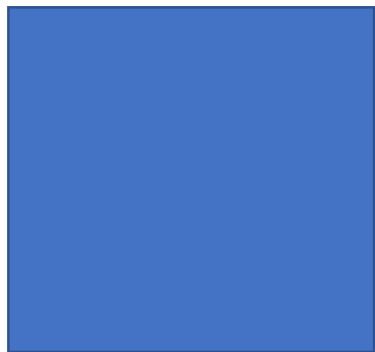
结论:

1. 没有深P阱并不会使HV-CMOS像素内集成复杂的电子学功能成为不可行的选项;
2. 像素内模拟前端和比较器的设计可以尝试更多的可能 (NMOS, CMOS等, 见LF-monopix1/2的设计细节);
3. 没有深P阱影响前端使用两级放大的电路结构 (by 张慧);
4. 像素设计对串扰依然非常敏感, 需要谨慎的版图设计 (与sensor的串扰, 设计工具无法体现, 需要与有成功经验 (LF-MONOPIX) 的设计人员更充分的沟通), 更仔细和充分的后仿真验证/layout迭代;
5. 像素阵列layout的迭代需要留出足够的时间 (2 month at least! For our case);
6. Coffee2测试过程中, 如果发现串扰, 值得首先回顾版图, 做后仿真, 排查layout;

➤ Q2: COFFEE-3流片尺寸和验证目标;

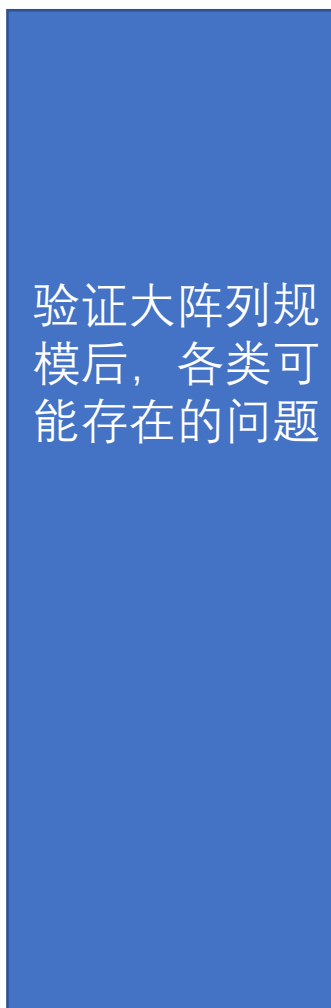
非常顺利的情况

Step1.方案验证芯片



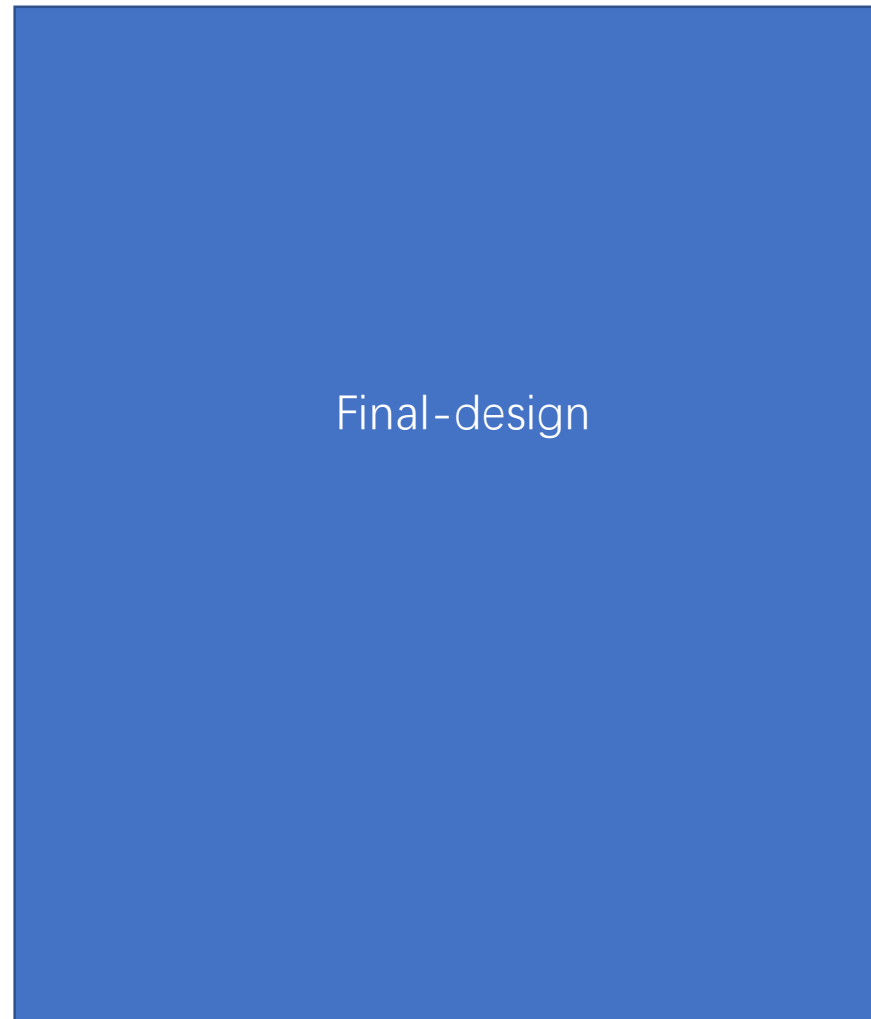
类似coffee2的面积即可，
1-2个MPW最小面积，取
决于最终的设计方案

Step2.Y方向全尺寸，X方向1/4



验证大阵列规
模后，各类可
能存在的问题

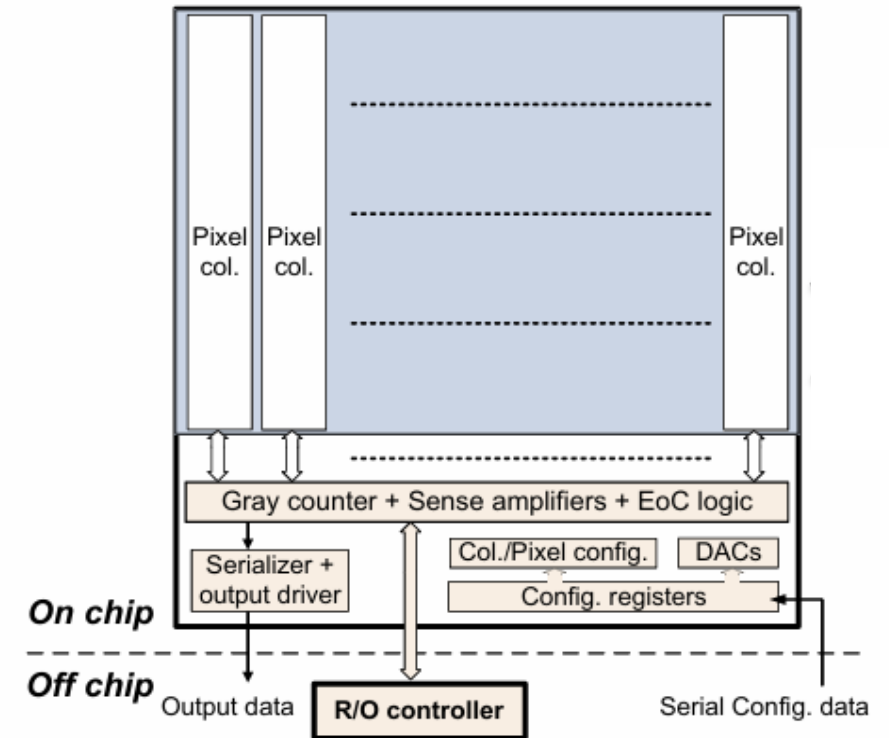
Step3.全尺寸芯片



Final-design

➤ Q3: 必要的设计功能模块和manpower?

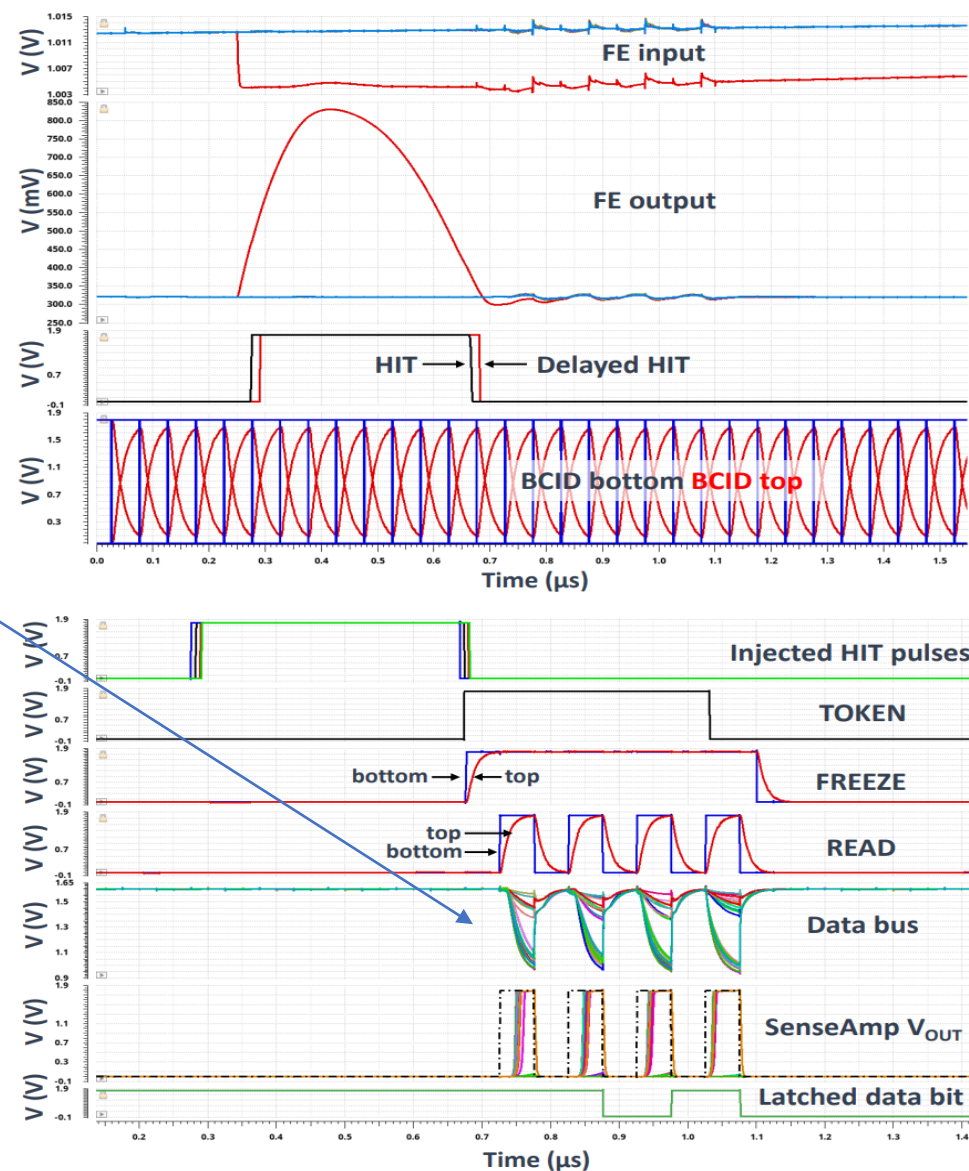
1. Top integration & verification
2. Sensors & Guard ring
3. In-Pixel
 1. Amps;
 2. Discriminators; Could have different flavors for Radiation tolerance/Gain/power/timing ... optimization
 3. Threshold tuning;
 4. Test/musk structure;
 5. Memories;
 6. VCDL;
 7. Fine-time stamp control unit;
4. Pixel matrix (Double-column) :
 1. Column-rain, Token-ring & fast or
 2. ...addr. / TS bits / readout method for minimize cross-talk
5. SenseAmp: at matrix bottom, for large matrix. See next slide
6. DLL:
7. Readout Control Unit: readout logic, 64b/66b, Serializer
8. Current DAC: spec. to be decided
9. Voltage DAC: spec. to be decided
10. Configs.
11. Slow control interface: I2C or SPI;
12. LVDS: driver & receiver (1.28Gbps)
13. PLL: for LHCb



Example: MONOPIX architecture

Why sense amp?

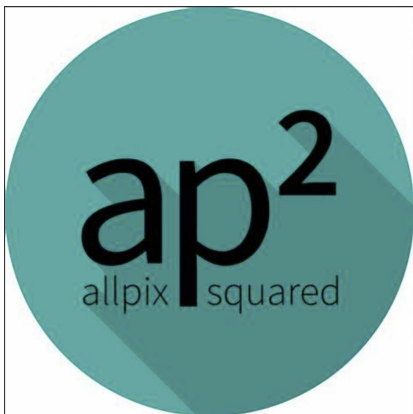
- 使用SF输出阵列数字信号，限流，减小数字信号对sensor的扰动；
- 增加sense amp，保证数字外围模块输入信号的质量；
- 已验证可行的方案；
- 是否可以不用SF，用常规数字buffer驱动matrix内总线，取消底部的sense amp？尚没有类似验证过的HV-CMOS芯片。Maybe we could try in sub-matrix.



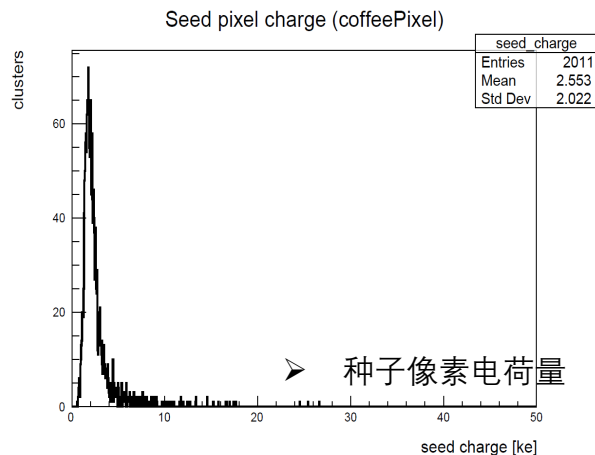
MonoPix 大芯片阵列后仿真

➤ Q4: 一些设计指标 (tbd)

◆ 利用allpix squared仿真MIPS入射粒子在COFFEE芯片中的电荷沉积和收集情况 by 李乐怡



By CERN



COFFEE芯片仿真结果

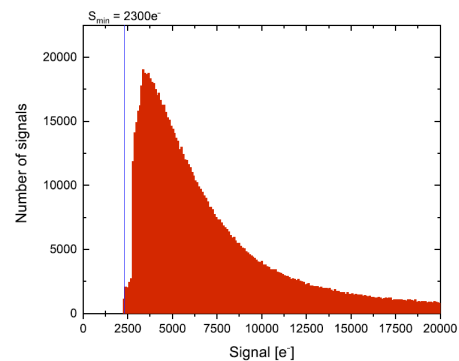


Fig. 16. ATLASpix3 tested in 3-GeV electron beam. Signal spectrum obtained by measuring ToT and by calibrating ToT with the injection circuit. High-voltage bias was -50 V.

ATLAPIX3芯片束流测试结果

该工作目的和意义:

- 为模拟前端设计提供信号范围的参考: 为模拟前端的设计优化、时间戳分发到像素阵列的优化、TOT时间的关注范围、是否有特定比例的信号特例 (过大、过小), 需要在数字端或模拟端预处理等提供依据;
- 为COFFEE2芯片接下来的有源测试提供仿真对照结果: 帮助理解测试结果, 同时可迭代修正工艺参数, 为以后的流片设计提供更可信的仿真参照;
- 需要对应TCAD仿真的合作;

➤ Q4: 一些设计指标 (tbd)

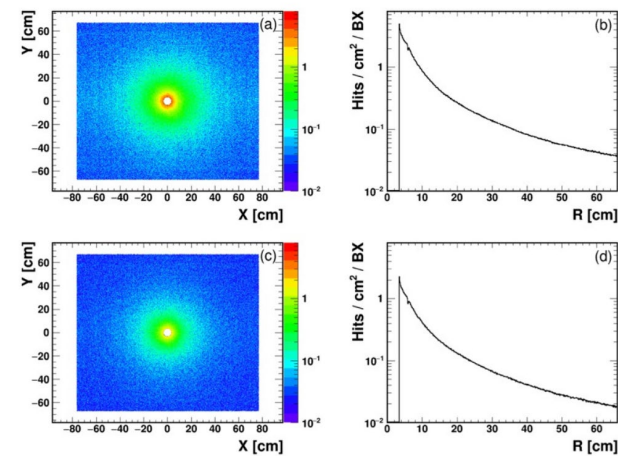
◆ 根据LHCb UT 的hit density计算当前设计构架的可行性 by 张晓旭

我们的研发同时以CEPC tracker和LHCb UT升级为目标，由于hit density方面 LHCb UT升级远大于CEPC的指标，需要验证当前提出的构架方案是否可以应对极端情况，及可以改善的方向。

- The target luminosity for LHCb in Upgrade II is $1.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$ which represents a factor 7.5 increase compared to the current situation.
- -> UT位置，极端情况6 hits/cm²/Bx
- **Recent update***: 降低了探测器设计难度

Peak luminosity (1.5→1.3→1.0)×10³⁴ cm⁻² s⁻¹

假设极端变条件为 4 hits/cm²/Bx
BX = 25ns



本项工作的目的和意义：

- 验证目前的设计构架是否存在读出方面的digital pile-up;
- 为相关设计指标提供优化依据：
 - 像素内数据读取速度：read信号宽度、频率
 - 时间戳分发位宽：6bit or 8bit in matrix
 - 数字外围数据缓存FIFO深度;
 - 芯片读出速率等指标;

*Jianchun Wang, "brief Introduction: scoping of the LHCb Phase II Upgrade", LHCb U2UT meeting, April 9, 2024

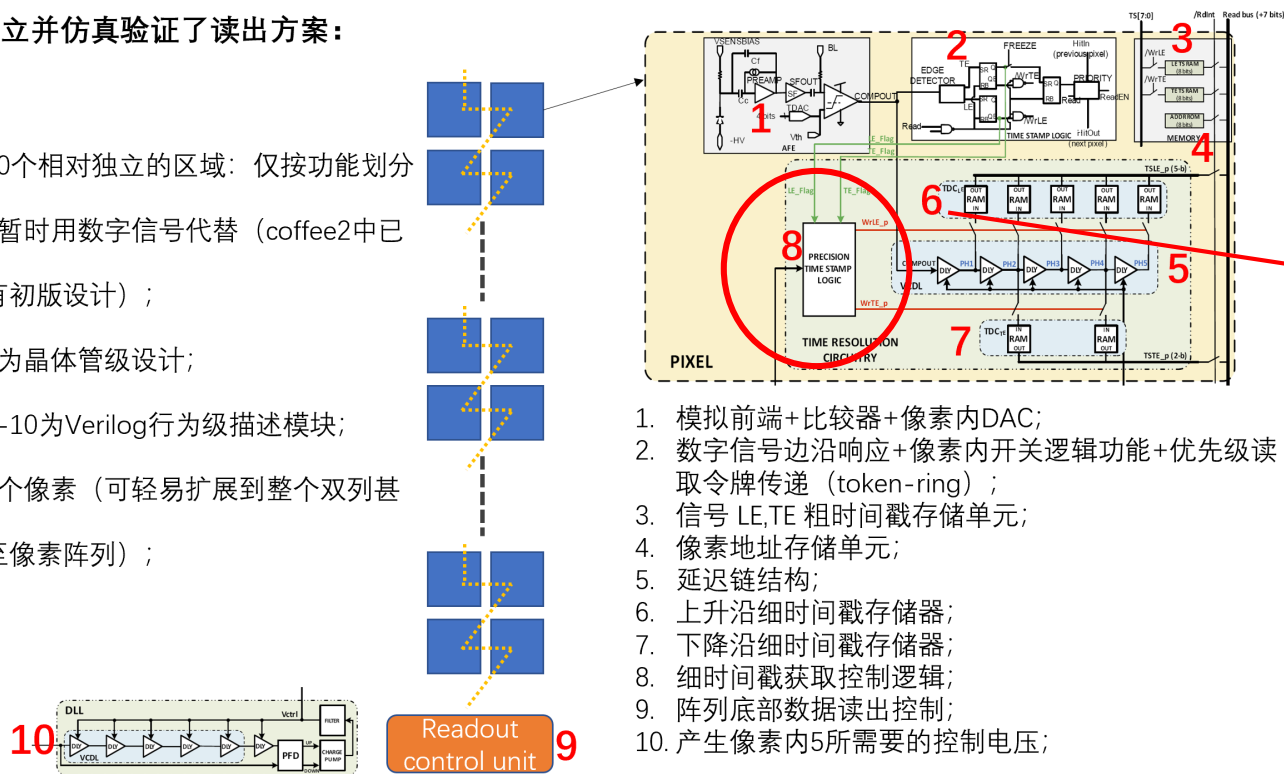
➤ Q4: 一些设计指标 (tbd)

- 时钟分发的功耗支出、像素内细时间抖动对时间精度的影响: by 魏晓敏、何英华

设计方案最终的功耗指标是本项研发的主要难点之一, **时钟分发**是FE-I3结构的一个主要的功耗支出来源: eg. 180nm 工艺下, 完整大尺寸芯片BCID时钟分发 (40Mhz) 功耗 $80\text{mW}/\text{cm}^2$: 那**预先评估55nm工艺下改部分的功耗支出**, 以及**构架层面的低功耗方案**就非常重要

建立并仿真验证了读出方案:

- 10个相对独立的区域: 仅按功能划分
- 1暂时用数字信号代替 (coffee2中已有初版设计);
- 2为晶体管级设计;
- 3-10为Verilog行为级描述模块;
- 4个像素 (可轻易扩展到整个双列甚至像素阵列);



目的和意义:

- 预期55nm工艺可以显著减小时间戳分发的动态功耗, 给出合理的评估值;
 - 将左图中提供细时间戳控制的8, 由专门的时钟驱动, 改为TS总线驱动, 省掉一路时钟分发的功耗支出;
- >
- 需要组合逻辑产生TS变化的激励条件, 对不同值和数据位宽度的TS, 产生的激励条件的质量相比专门的激励时钟会有所降低, 需要评估该激励条件的 jitter, 是否能否覆盖在我们的总体时间分辨率精度之内 ($<3\text{ns}$)