

HVCMOS 会议

2024.07.09

参会：陈洋，李乐怡，李鹏戎，李一鸣，陆卫国，王雨劼，魏晓敏，项治宇，张晓旭，赵泽焯，周扬

- 测试：

- 治宇报告新定制的测试板即将寄到，计划在顺义的厂家打线，本周五有望开始测试
- 卫国在调试电路测试固件，I2C调试有问题

- 设计

- 周扬报告设计整体进展和一些重要参数估计：
 - 像素尺寸，建议 $35 \times 150 \mu m^2$ 考虑，对应scale前设计尺寸 $40 \times 175 \mu m^2$ ，恰能满足10微米分辨率要求，且行列地址所需比特数无浪费
 - 功耗，建议按 $200 mW/cm^2$ 估计，ATLASPix3达到约 $150 mW/cm^2$ ，但属于功耗较低设计，我们计划实现功能较复杂、类Monopix
 - 数据格式估计 ~42bit
- 乐怡介绍串扰效应仿真模拟
 - 1-2ke小信号产生振荡现象；20-30ke大信号引起幅度下降、tot增大、下降沿产生尖峰。建议研究8-10ke左右典型信号影响；建议研究串扰对TOA影响
- 乐怡介绍工艺调研情况
 - Towerjazz 65nm CIS：尚需：p-type wafer; 加入一层very deep n-well；去掉外延层；高阻衬底
 - Tower BCD 65nm: Pdrift层有望用于隔离NT（相当于DNW）和NW，但用法不典型
 - SMIC BCD 180nm：山大已流片，据称测试也观察到数字信号对sensor串扰，待确认
 - SMIC BCD 55/90nm 在沟通中
 - GTA(积塔) BCD 180nm可量产，90nm尚不成熟，国内小厂有可能做工艺研发改进，但数字库支持尚不完善
- 李鹏戎介绍CSA设计进展
- 王雨劼介绍PLL锁相环进展，多个模块已完成版图设计
- 陈洋介绍LVDS设计进展