

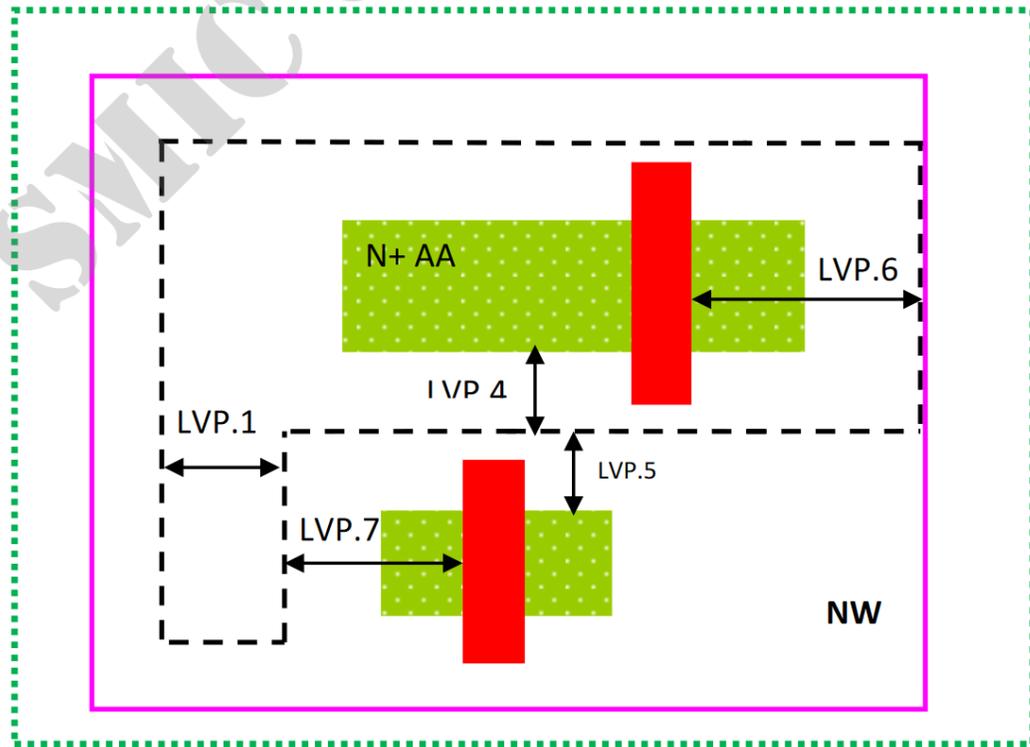
Sensor与数字电路间的 串扰仿真 & 工艺探索

李乐怡、周扬、李一鸣

2024. 07. 09

串扰仿真

SMIC HV 55nm 工艺中，NW层与DNW层之间没有隔离



NW



P+AA



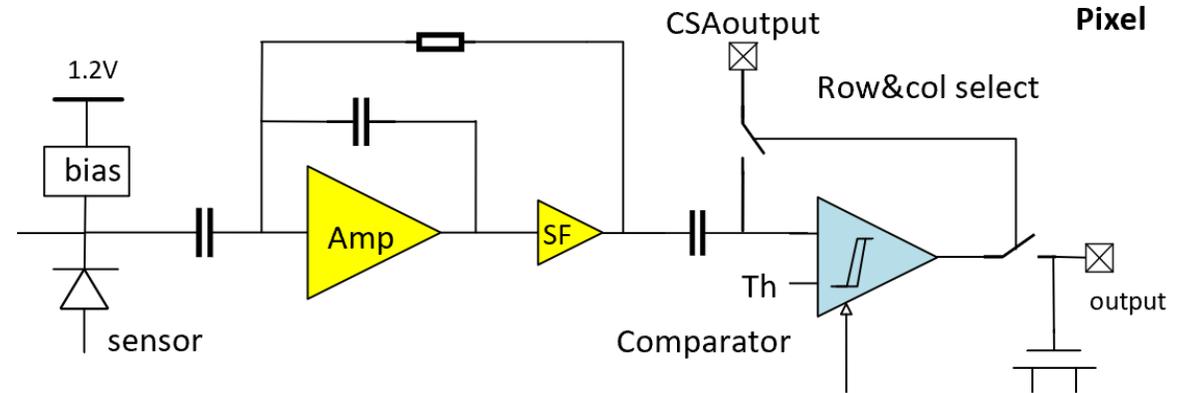
Poly



LVP



DNW



仿真电路：CSA前放 + 比较器（数字）

在前仿中观察数字信号(翻转)与模拟信号分别会对sensor产生怎样的扰动

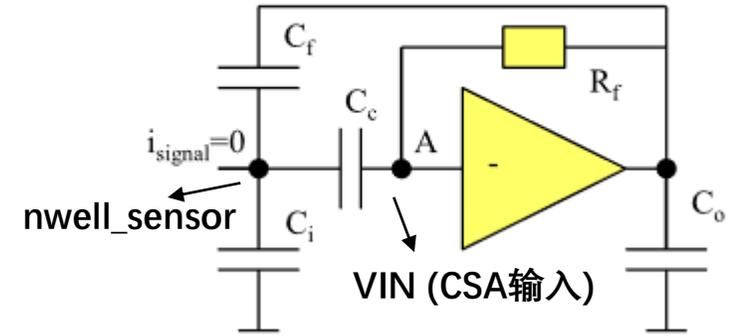
比较器工作时（数字信号）PMOS电压翻转对sensor的串扰观察

仿真接法1: 无串扰

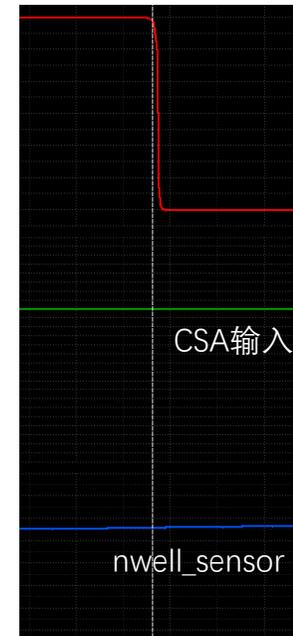
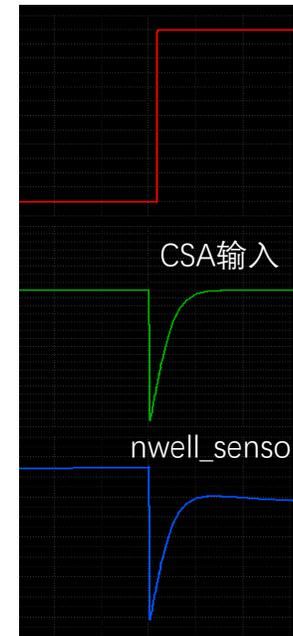
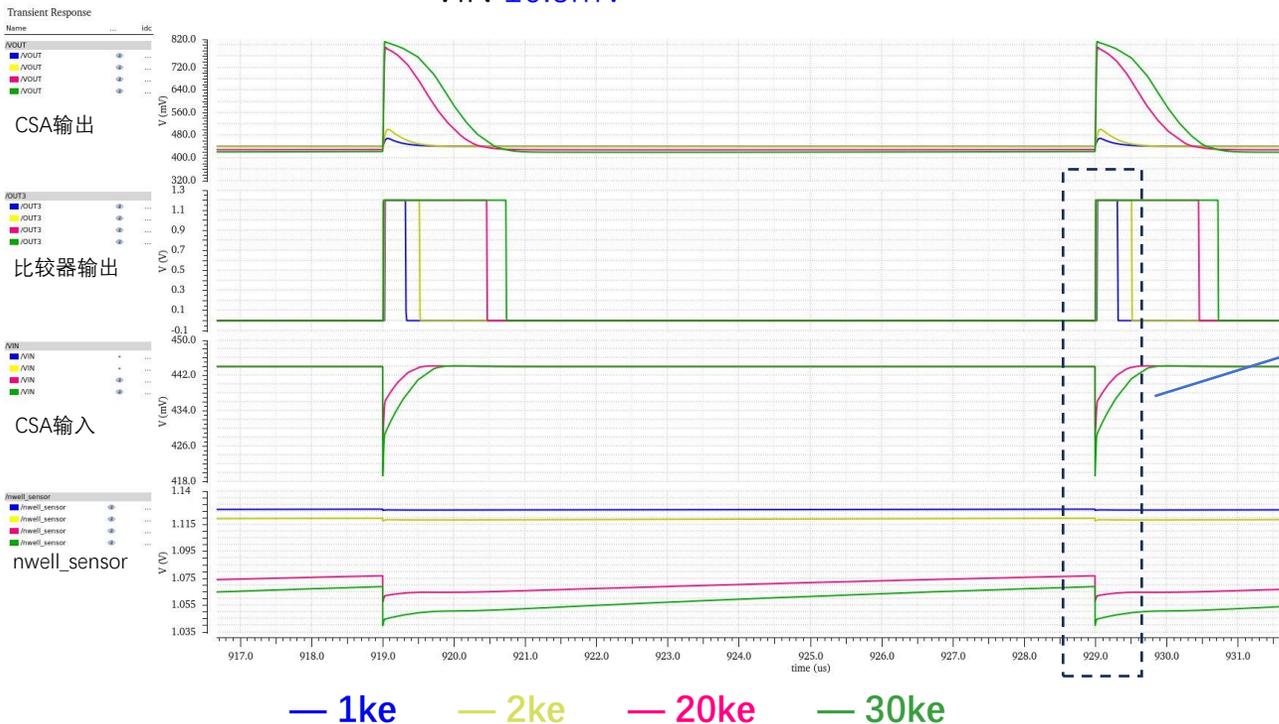
- 所有PMOS的bulk端(nwell)标为“VDD”，由理想电压源钳位在1.2V
- sensor端标为“nwell_sensor”，且用Ivan文章中的电路偏置到1.1V左右

信号: 20ke -> ToT = 1.46us (CSA输出: $\Delta V = 363mV$)

- 比较器下降沿: nwell_sensor 无尖峰
VIN 无尖峰
- 比较器上升沿: nwell_sensor 产生向下的尖峰: 19.5mV
VIN 16.5mV



30ke	$\Delta V = 390.1mV,$	$TOT = 1.73us$
20ke	$\Delta V = 363.0mV,$	$TOT = 1.46us$
2ke	$\Delta V = 98.7mV,$	$TOT = 0.51us$
1ke	$\Delta V = 28.2mV,$	$TOT = 0.30us$



比较器工作时（数字信号）PMOS电压翻转对sensor的串扰观察

仿真接法2：有串扰、有震荡

- PMOS的bluk端（n阱）标为“NWELL”
- sensor端标为“nwell_sensor”，且用Ivan论文中的电路偏置到1.1V左右
- 仅比较器中 PMOS 的“NWELL”与“nwell_sensor”用50Ω电阻连接（数字信号的串扰）

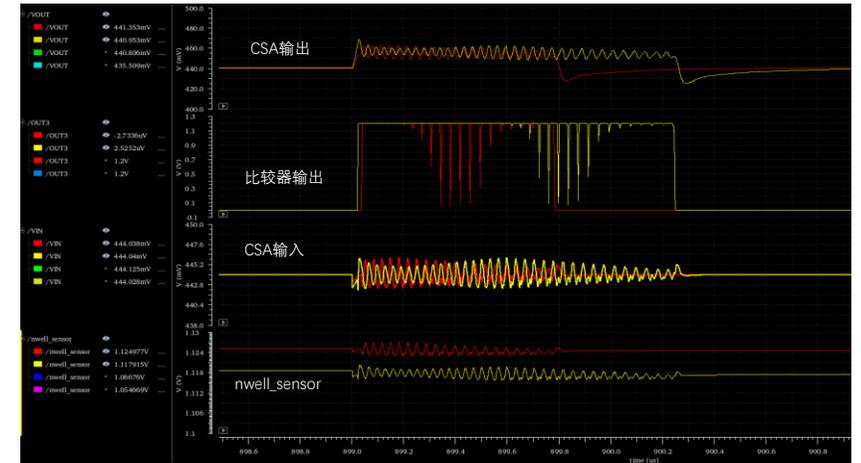
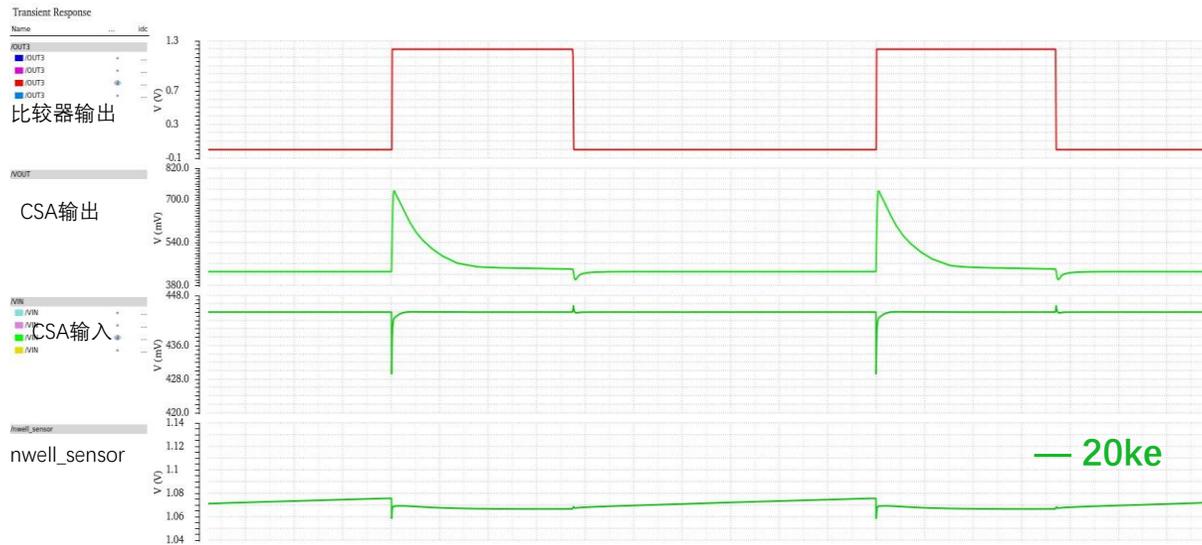
信号：20ke -> ToT = 3.74us (CSA 输出: $\Delta V = 303mV$)

- 比较器下降沿: nwell_sensor 产生向上的尖峰~1.5mV (串扰)
VIN 产生向上的尖峰~1.58mV (107e)
- 比较器上升沿: nwell_sensor ~17.3mV; VIN~15mV 幅度减小

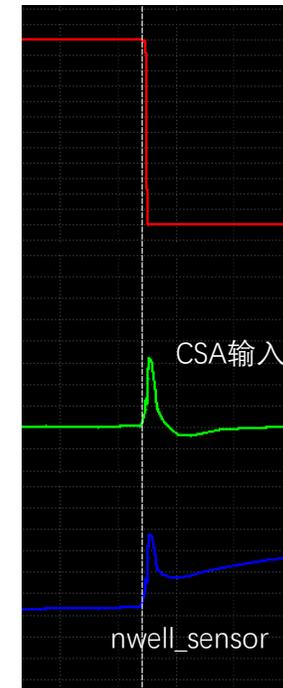
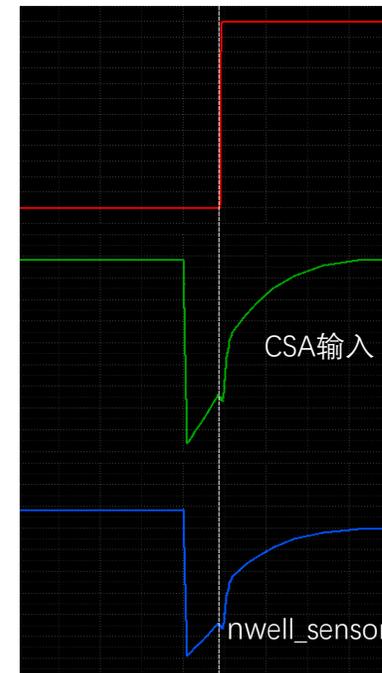
串扰对前放的影响（与接法1无串扰相比）：

nwell_sensor 下降幅度减小 (19.5mV->17.3mV) → CSA输出信号幅度减小

但信号TOT增大 (1.42us-> 3.74us)



** 1ke、2ke小信号仿真，看到了振荡



CSA PMOS管工作 对sensor和其他模块的串扰观察

仿真实验3:

- PMOS的bluk端 (n阱) 标为“NWELL”
- sensor端标为“nwell_sensor”，且用Ivan论文中的电路偏置到1.1V左右
- 仅 CSA 中 PMOS 的“NWELL”与“nwell_sensor”用 50Ω 电阻连接

信号: 20ke -> ToT = 1.8us (CSA 输出: $\Delta V = 338.5mV$)

- 比较器下降沿: 无尖峰
- 比较器上升沿: nwell_sensor ~19.3mV ; VIN~16.5mV



30ke	$\Delta V = 364.8mV$,	$TOT = 2.16us$
20ke	$\Delta V = 338.5mV$,	$TOT = 1.8us$
2ke	$\Delta V = 63.2mV$,	$TOT = 0.58us$
1ke	$\Delta V = 29.5mV$,	$TOT = 0.34us$

CSA输入的基线波动,
信号量越大, 基线越高

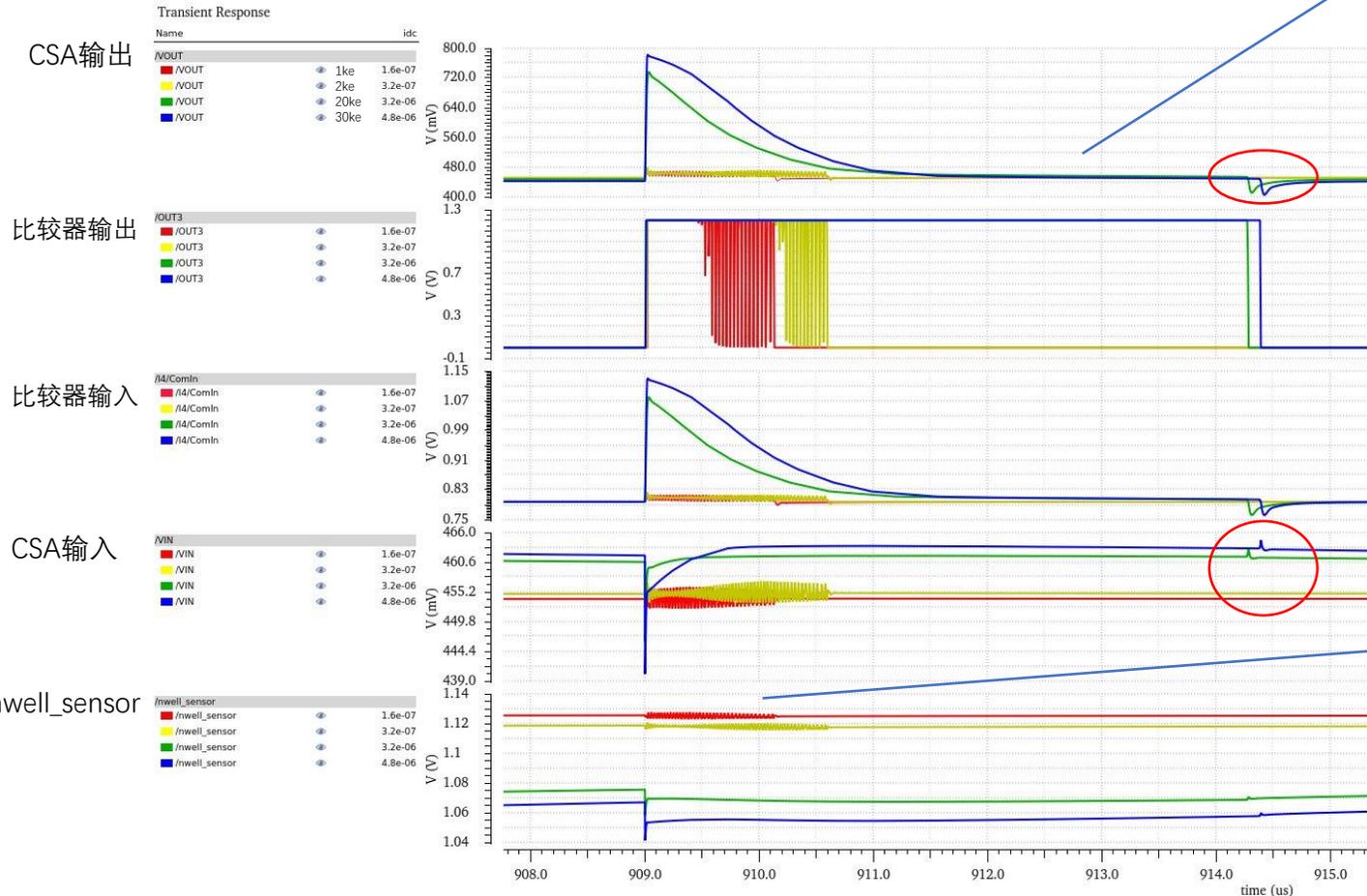
比较器工作时（数字信号）PMOS电压翻转+CSA PMOS管工作 对sensor和其他模块的串扰观察

仿真实验4：有串扰、有振荡

- PMOS的bluk端（n阱）标为“NWELL”
- sensor端标为“nwell_sensor”，且用Ivan论文中的电路偏置到1.1V左右
- 所有PMOS（比较器+CSA）的“NWELL”与“nwell_sensor”用50Ω电阻连接
- 模拟无深p阱隔离、且CSA与比较器中所有PMOS共用一个nwell的情况

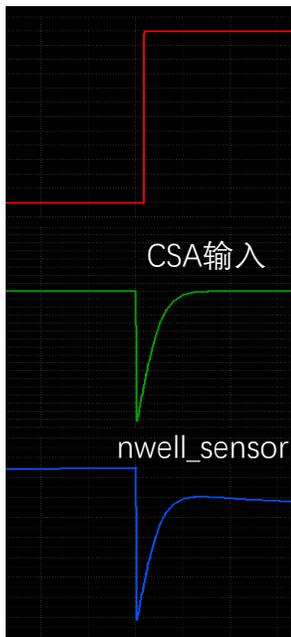
CSA输出信号幅度减小 信号TOT增大

30ke $\Delta V = 340.3mV$, $TOT = 5.4us$
 20ke $\Delta V = 289.4mV$, $TOT = 5.27us$
 2ke 振荡
 1ke 振荡

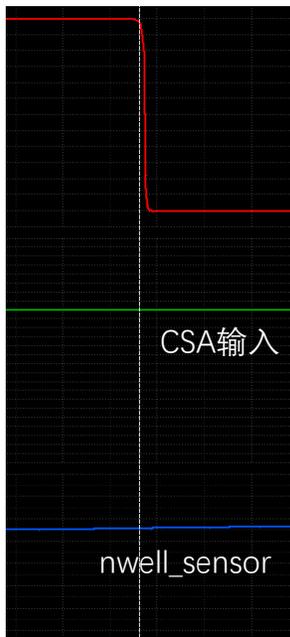


在sensor端就产生了振荡
(仅小信号)

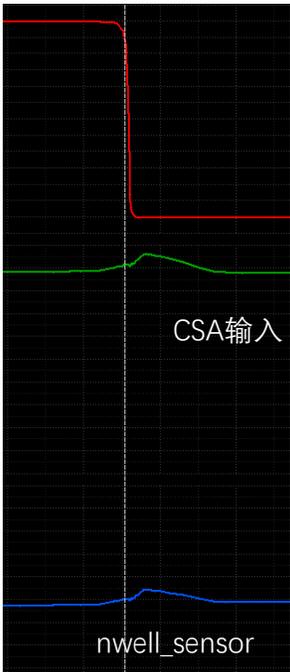
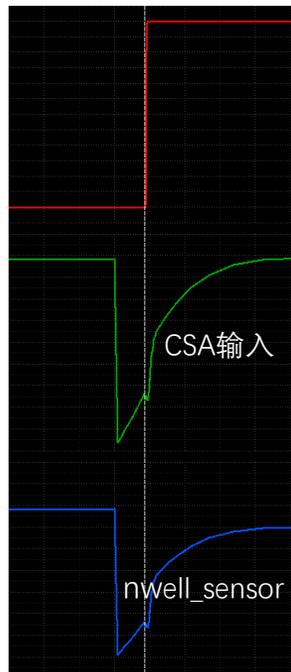
数字信号上升沿



数字信号下降沿



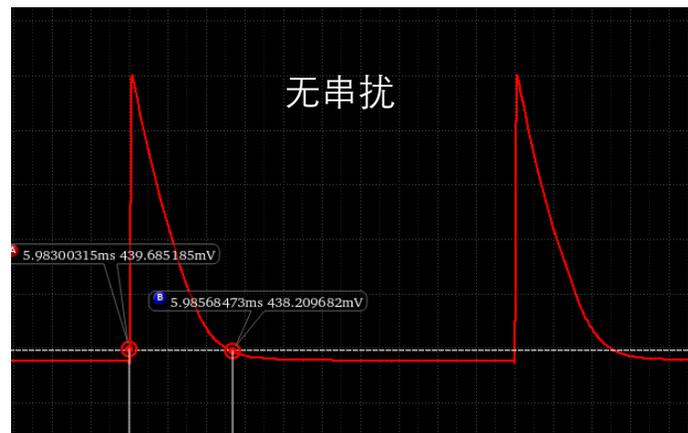
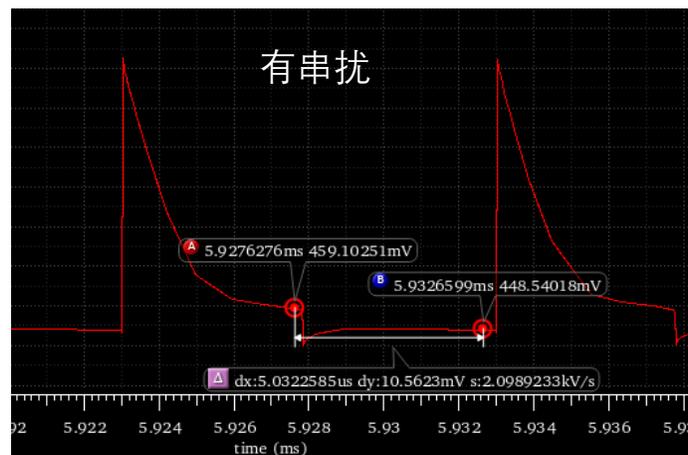
无串扰



串扰

串扰对前放的影响:

nwell_sensor 下降幅度减小 (电荷电压转换系数变小) → CSA输出信号幅度减小、信号TOT增大; 在小信号量情况下, 可能引起振荡

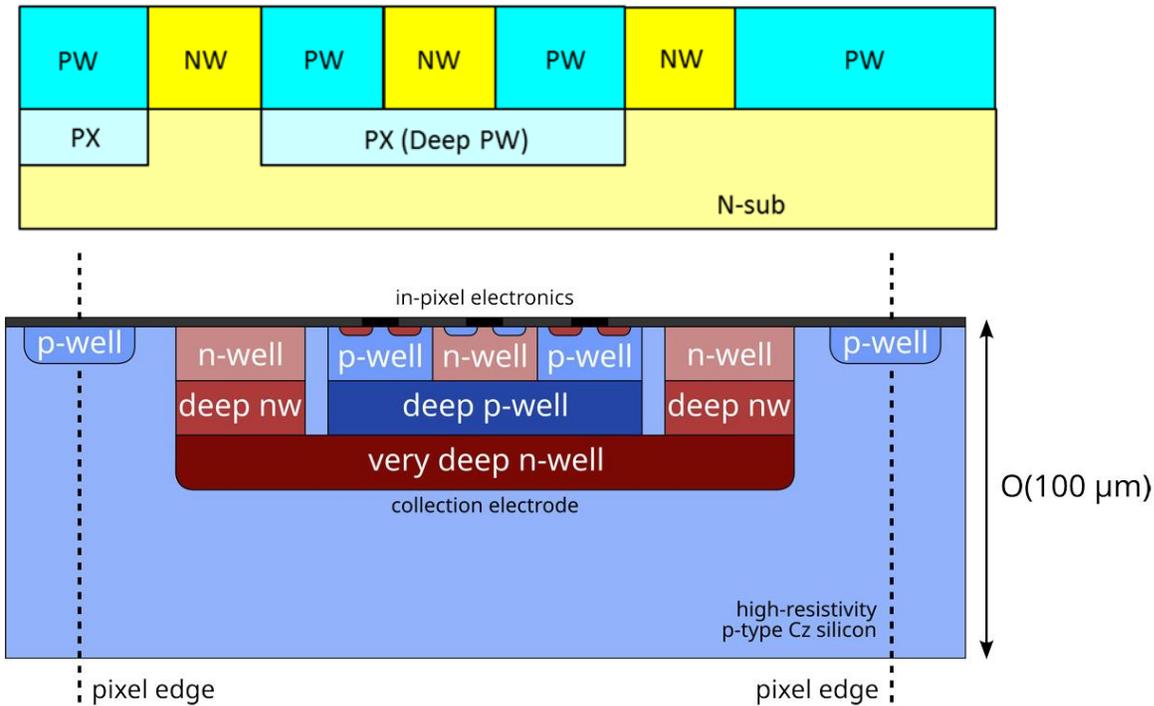


工艺探索

1. TowerJazz 65nm CIS

Substrate	N on N+ Epitaxial wafer Axis : <100> , Resistivity : 23~27Ωcm(epitaxial layer), 4~12Ωcm(N+ layer) Thickness of epitaxial layer : 5.0+/- 0.5um SFQR:0.05um PUA>=95%
Well	Retrograde triple well

After MASK calculation (Cross section)



要求:

- P型晶圆;
- 增加very deep n-well层;
- 不要外延层;
- 高阻衬底;

已通过TJ中国提交给CIS技术部分, 等待反馈

2. TowerJazz 65nm BCD工艺

- PDK安装 —— TPS65PMB 1.2V & 5V PDK Package
- 工艺中存在Pdrift层，期望将其放置于NT(deep N-well)与NW(N-well)中间 用于隔离PMOS管的衬底和深N阱

CMOS (5V)

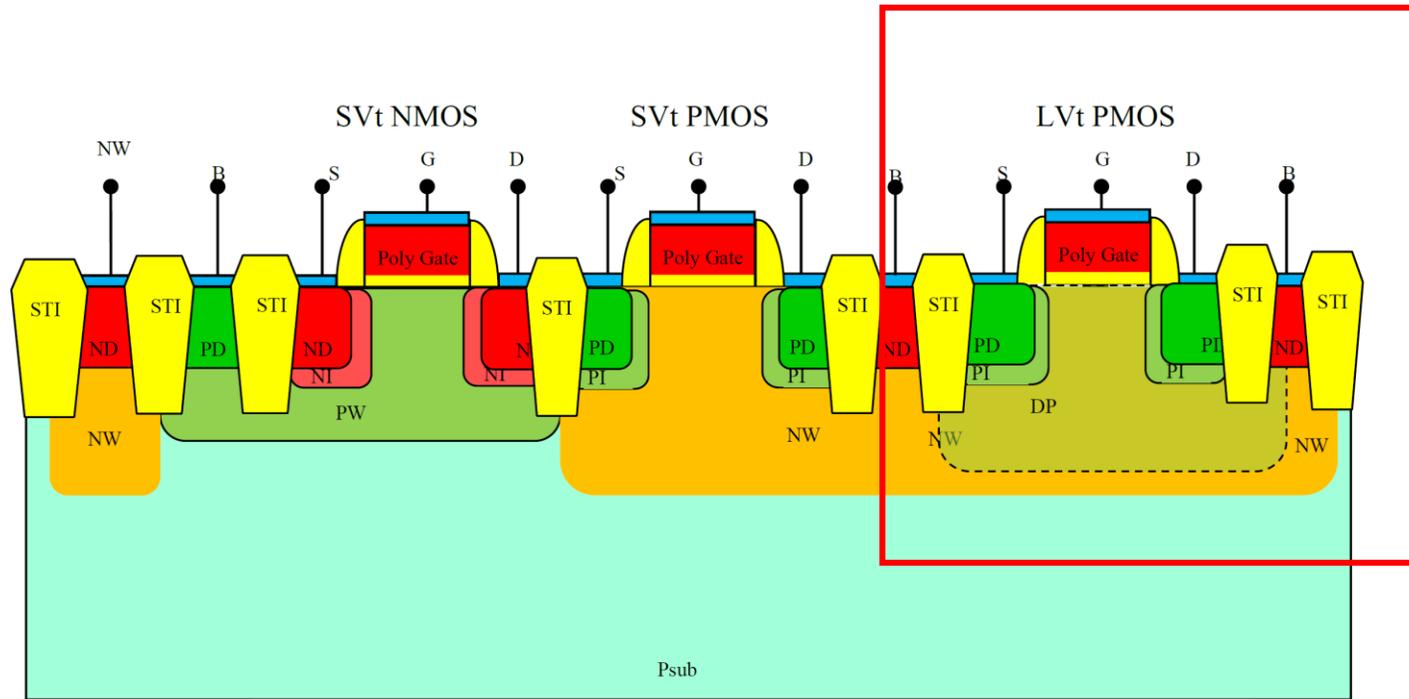
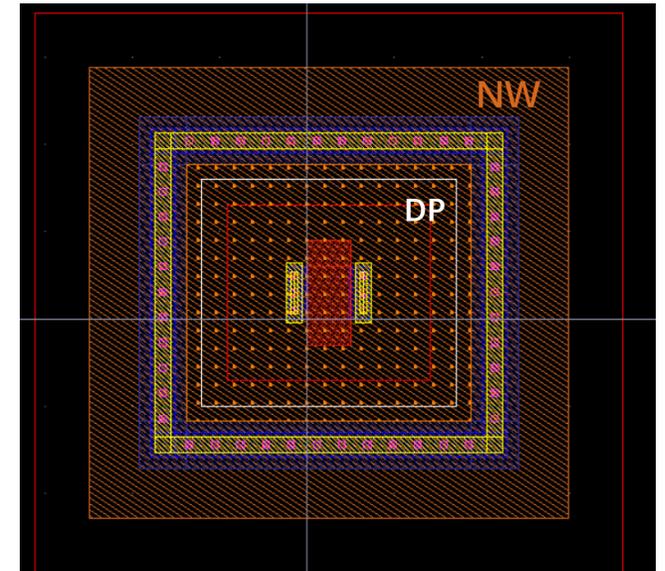
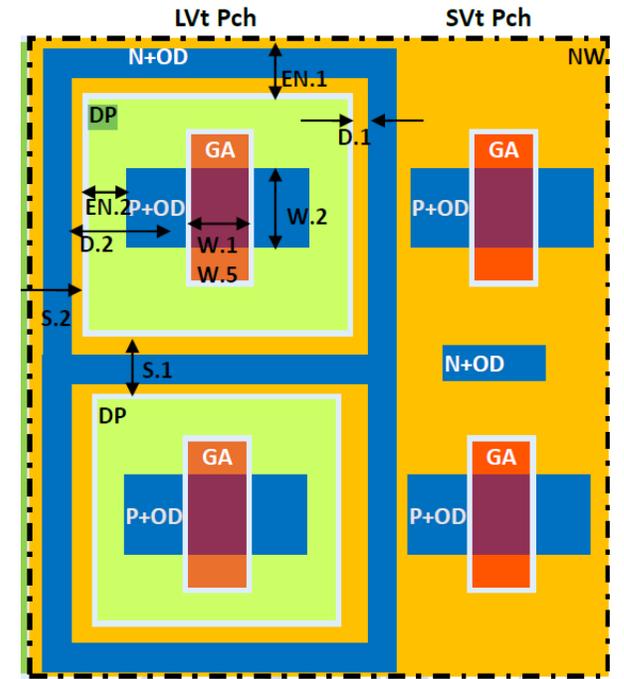
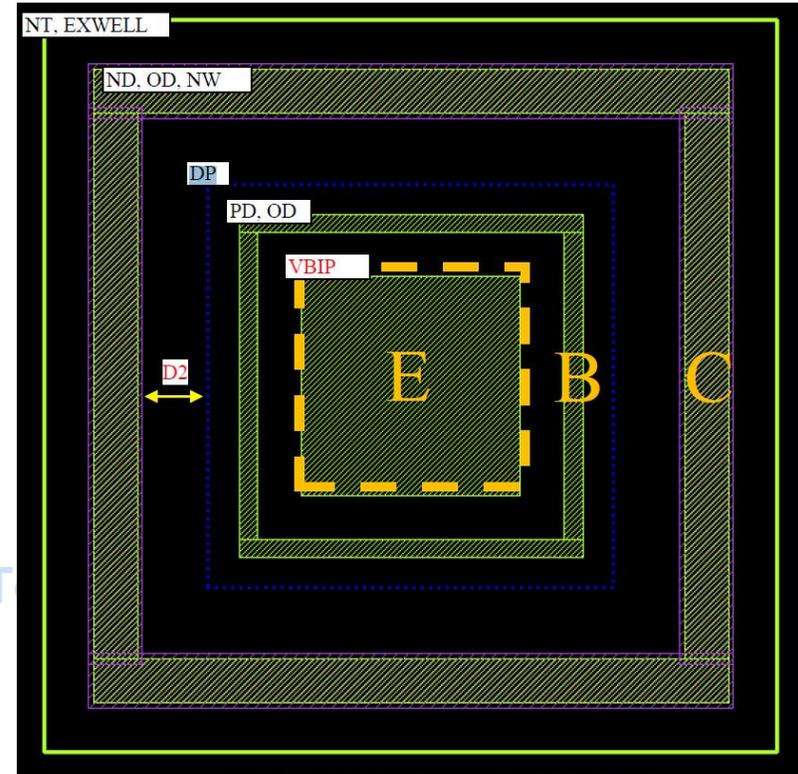
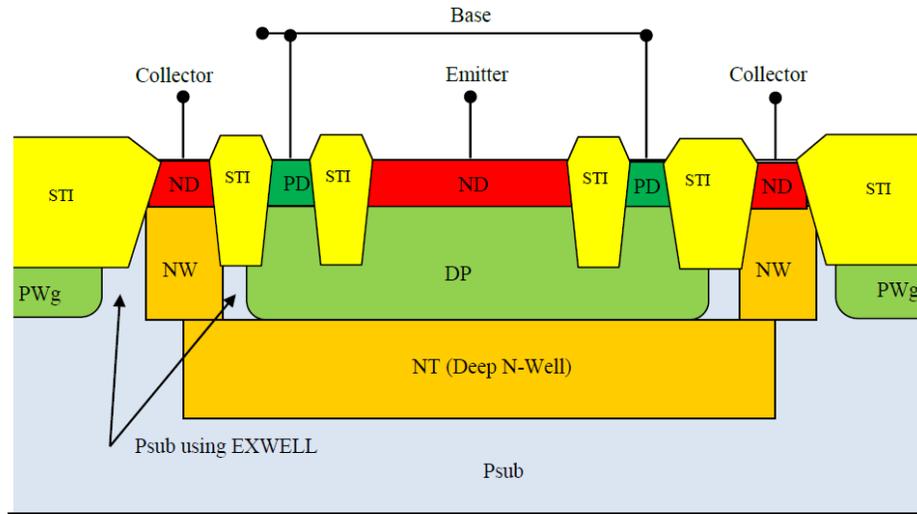


Figure 10.16-3: X-section of isolated SVt NMOS, SVt PMOS and LVt PMOS

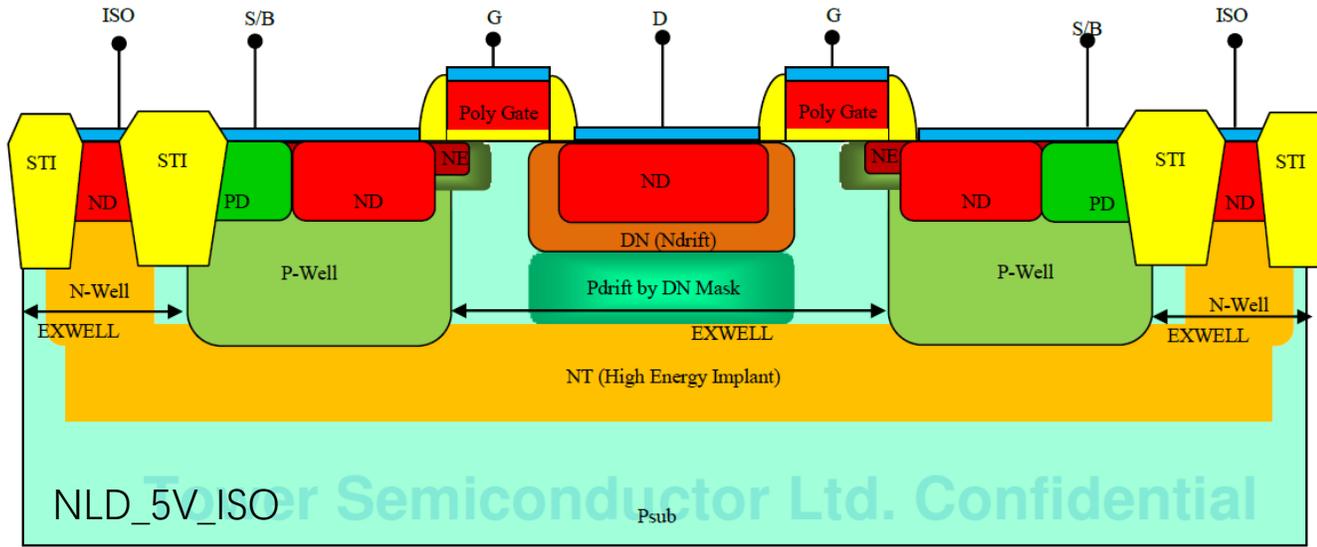
5V LVt PMOS 器件 (p50lvt_pm) 带有DP层，但DP层被NW包围，design rule中也有相应规则 eg. EN1: Enclosure of NW around DP min 1.2um



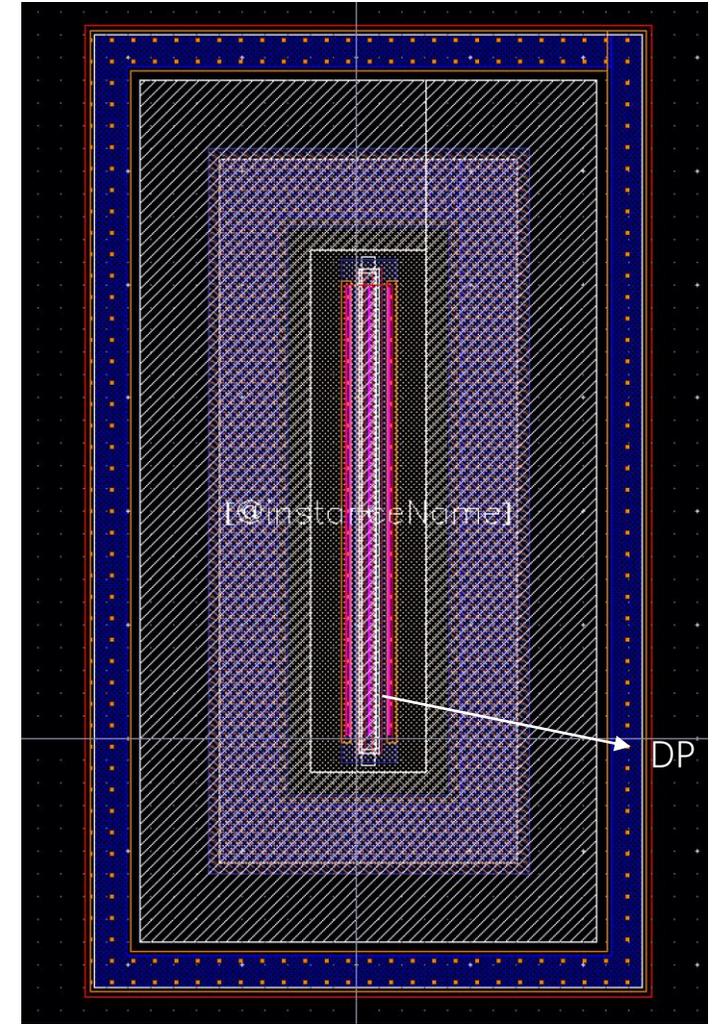
BJT



DMOS



在图示中，DN (Pdrift)层深度浅于N-well层

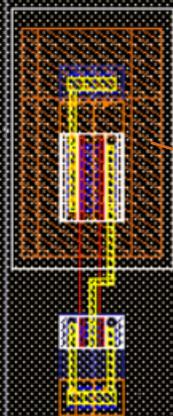


NT-DP-NW 层次关系示意图

NT(deep N-well)
包围所有工作MOS管
用作收集极

PMOS "p12hvt"

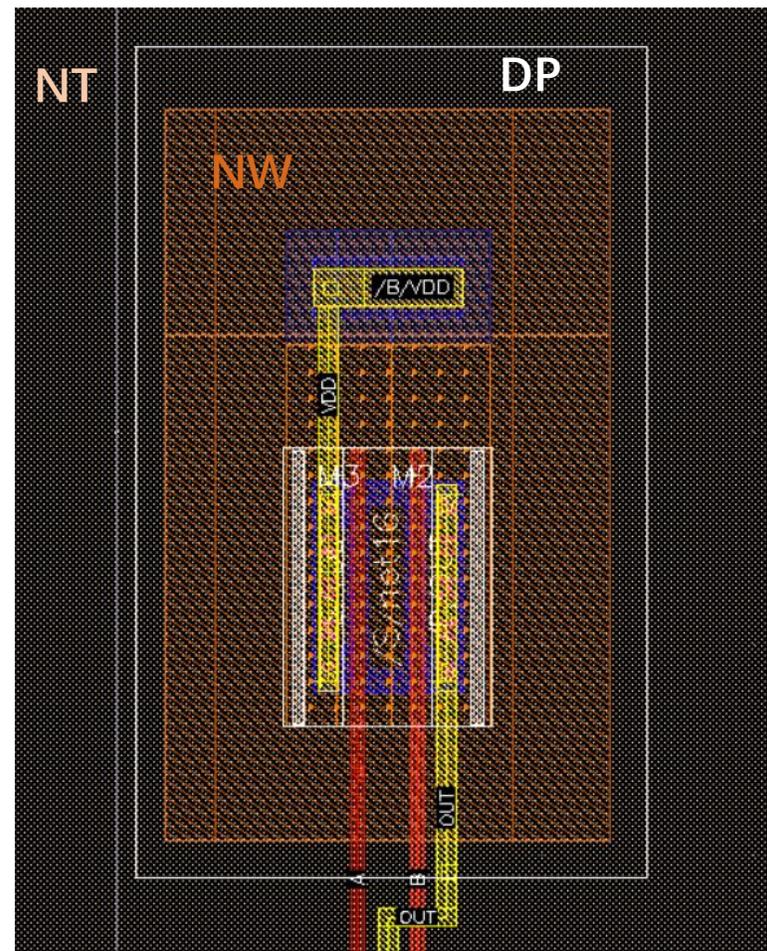
NMOS "n12hvt"



DP (P-drift)
包围PMOS管的衬底NW(N-well)
目的: 隔离NT与NW

NW (N-well)层

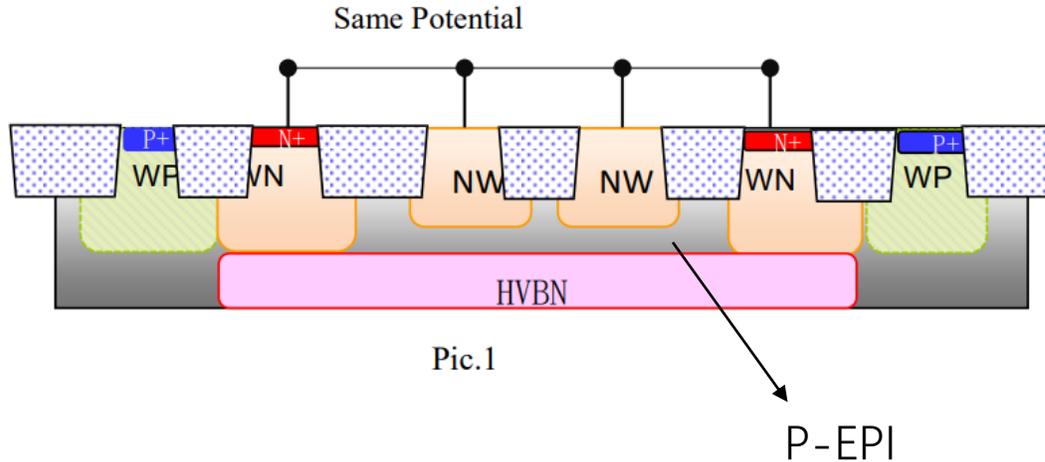
Layer	Purp...	V	S
OD	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
NT	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
NW	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
GA	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
DUMGAL	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
ND	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
PD	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
CA	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
M1	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
M1	tx...10	<input checked="" type="checkbox"/>	<input type="checkbox"/>
TEXT	drw	<input type="checkbox"/>	<input type="checkbox"/>
VH	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>
DP	drw	<input checked="" type="checkbox"/>	<input type="checkbox"/>



已反馈给工厂

3. SMIC 180nm BCD

工艺文档阅读；参照山大经验



宋澳东re: 测试中观察到了数字信号对sensor端的串扰

4. SMIC 55nm/90nm BCD

正在尝试从不同渠道获得工艺文档、PDK

5. GTA 180nm/90/55 BCD



沟通协调、与相关销售、技术人员讨论，获得工艺文档或者PDK过程中