

JadePix Development for MOST3

Yunpeng Lu

2024/11/29



报告内容

- 研究目标
- 像素阵列读出方案比较
- 设计进展情况
- 下一步计划



研究目标

■ CEPC顶点探测器的性能要求

● 顶点分辨性能 Impact Parameter Resolution

$$\sigma_{d0} = \sigma_{Geom} \oplus \sigma_{MS} = 5 \mu m \oplus \frac{10}{p(\text{GeV}) \sin^{3/2} \theta} \mu m$$

直接影响
第一项
间接影响
第二项

● 核心问题：如何在 50 mW/cm^2 的功耗预算下，设计出最佳的空间分辨率和时间标记？

↑
air cooling的上限

Physics driven requirements	Running constraints	Sensor specifications
$\sigma_{s.p.}$ 3-5 μm	----->	Small pixel 17-25 μm
Material budget 0.15% X_0 / layer	----->	Thinning 50 μm
	-----> Air cooling ----->	Low power 40 mW / cm^2
r of Inner most layer 11 mm	-----> beam-related background ----->	Time Stamp 1 μs
	-----> radiation damage ----->	Radiation tolerance 3.4 Mrad / year $6.2 \times 10^{12} n_{eq} / (cm^2 \text{ year})$
Occupancy		



课题2的相关指标

■ 顶点探测器样机

- 位置分辨 3 μm
- 时间精度 100 ns
- 平均功耗 100 mW/cm^2

■ 指标的完成难度很大

- 时间精度比MOST1提高了3个数量级（纵向对比）
- 位置分辨和时间精度比ALPIDE显著提高（横向对比）

基本策略：用两种芯片来组装样机，double-sided结构

-JadePix主要侧重位置分辨和平均功耗

-TaichuPix主要侧重时间精度和平均功耗

还有没有改进空间？

国际上主要像素芯片的相关指标

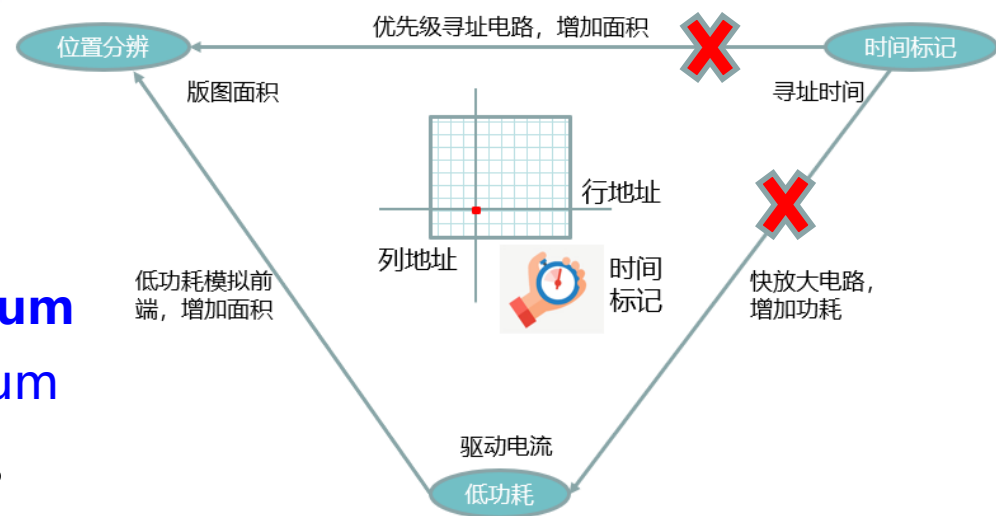
芯片名称	工艺尺寸	位置分辨	时间精度	平均功耗
MIMOSA	350 nm	4 μm	$\sim 100 \mu\text{s}$	200 mW/cm^2
ALPIDE	180 nm	5 μm	$\sim 3 \mu\text{s}$	$< 50 \text{mW}/\text{cm}^2$
MOSS/MOST	65 nm	5 μm	$\sim \mu\text{s}$	$< 40 \text{mW}/\text{cm}^2$

工艺尺寸的缩小，并不意味着位置分辨改善！**设计取舍**才是关键

像素阵列读出方案的比较

■ 方案1, Rolling Shutter

- 像素尺寸小, 功耗低, 但读出速度慢
- JadePix-3中对比了不同的HIT寄存器设计
 - D-latch版本, 像素小但有10%的重复击中, **16um x 23um**
 - D-flipflop版本, 消除了重复击中的可能性, 16um x 26um
- 时间标记精度 = 帧扫描时间 = 512行*192ns=**98.3 us**
- 过于强调缩小像素, 没有充分发挥180nm工艺的性能
 - 在MOST1项目中是合理的选择, 同类型芯片中像素最小



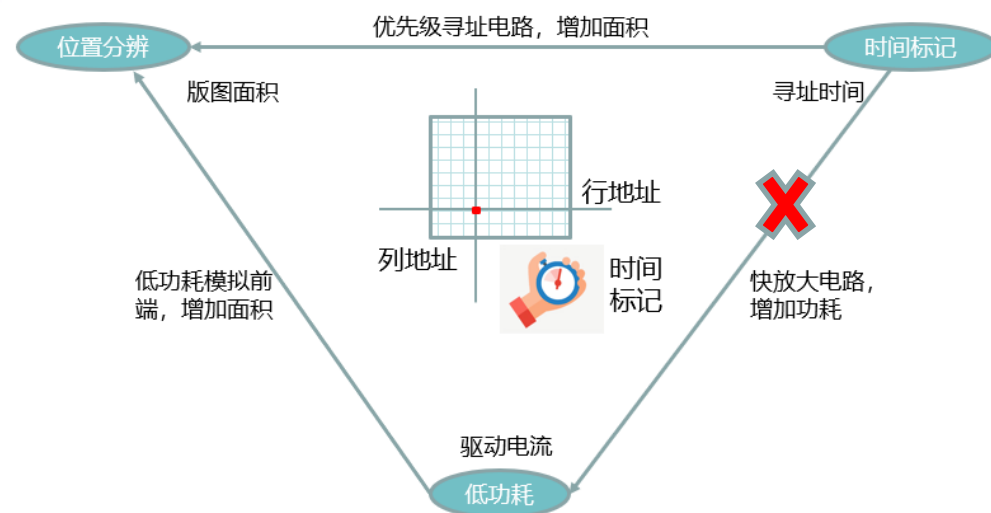
Rolling Shutter →

芯片名称	工艺尺寸	位置分辨	时间精度	平均功耗
MIMOSA	350 nm	4 um	~ 100 us	200 mW/cm ²
ALPIDE	180 nm	5 um	~ 3 us	< 50 mW/cm ²
MOSS/MOST	65 nm	5 um	~ us	< 40 mW/cm ²

像素阵列读出方案的比较

■ 方案2, 异步地址编码 (AERD)

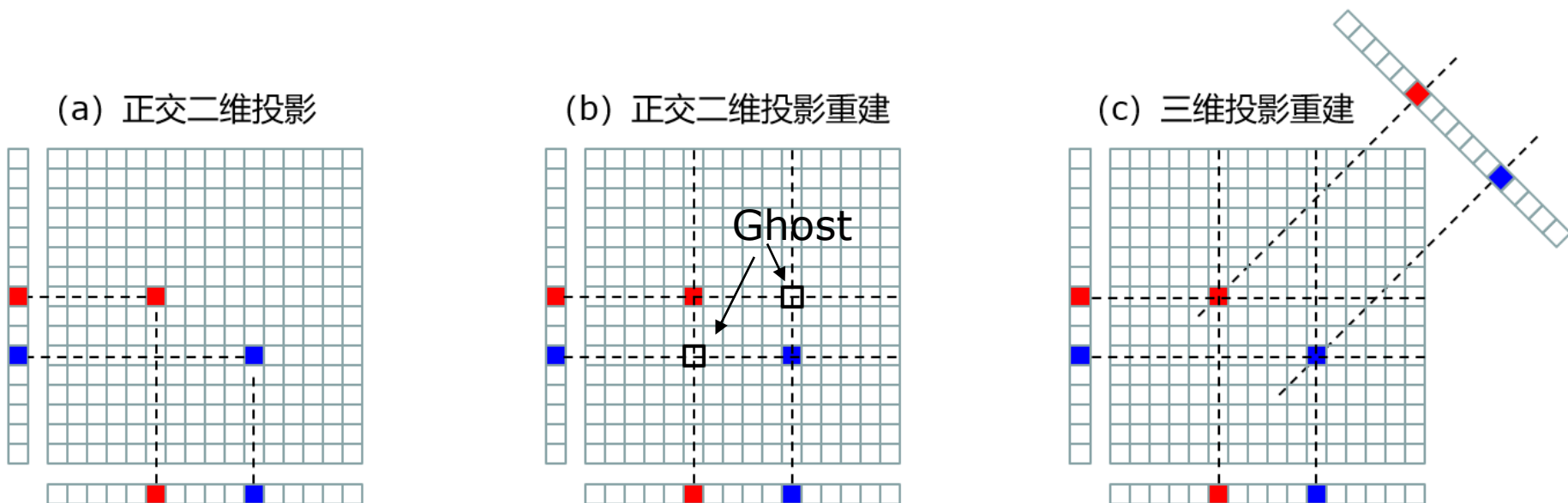
- 功耗低, 速度快
 - 相比方案1增加了像素尺寸
- ## ■ JadePix-4中实现了大规模阵列
- 356行 x 498列, 20um x 29um
- ## ■ 时间标记精度 = max [Time walk, 像素读出时间]
- Time walk = 1 us, 像素读出时间 = 100 ns
- ## ■ AERD是180nm工艺上的主流方案
- 在65nm工艺上继续延用



	芯片名称	工艺尺寸	位置分辨	时间精度	平均功耗
	MIMOSA	350 nm	4 um	~ 100 us	200 mW/cm ²
AERD →	ALPIDE	180 nm	5 um	~ 3 us	< 50 mW/cm ²
AERD →	MOSS/MOST	65 nm	5 um	~ us	< 40 mW/cm ²

像素阵列读出方案的比较

- 方案3，多方向投影
 - 在X和Y方向外，增加1到2个斜向投影
 - 对于**稀疏化击中**的应用场景，可以准确排除Ghost Hit
- 像素小，功耗低，速度与AERD相当
 - 纸面上看是最适合MOST3的选择
- 缺乏前期验证和经验积累



方案选择

	像素尺寸	功耗	时间标记
Rolling Shutter	优	优	差
AERD	一般	优	优
多方向投影	优	优	一般

■ 基于**AERD方案**来探索180nm工艺下的性能极限

- 充分理解IPHC组和CERN组的设计选择
- 根据CEPC的要求进行设计改进
- 也可用于65nm工艺



JadePix-5的设计

- 阵列规模：896行 x 480列
 - 预留MASK面积2cmx1.5cm
- 像素尺寸：20um x 30um
 - 长条形有利于提高 $r\phi$ 方向分辨
 - 但也要考虑z方向的电荷收集效率
- 设计分工
 - 王安琪：像素
 - 周扬：AERD和像素阵列
 - 王云翔：外围读出
 - 卢云鹏：整体电路和集成
 - 复用了JadePix-3的DAC和SPI模块（华师设计）

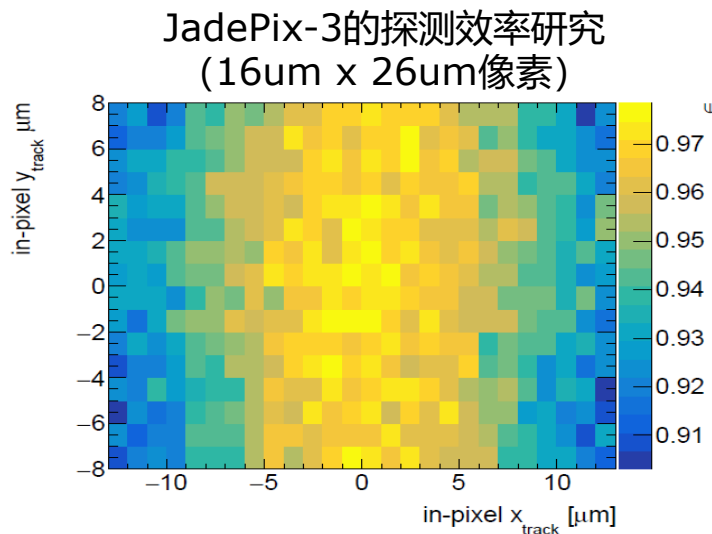
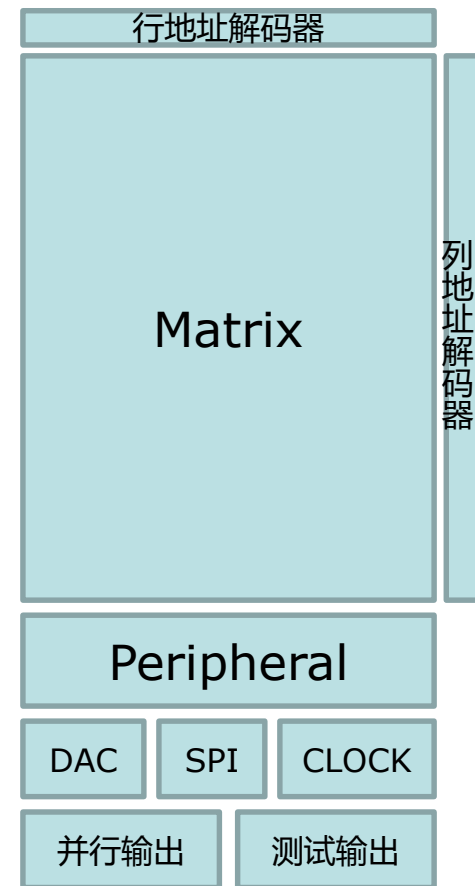


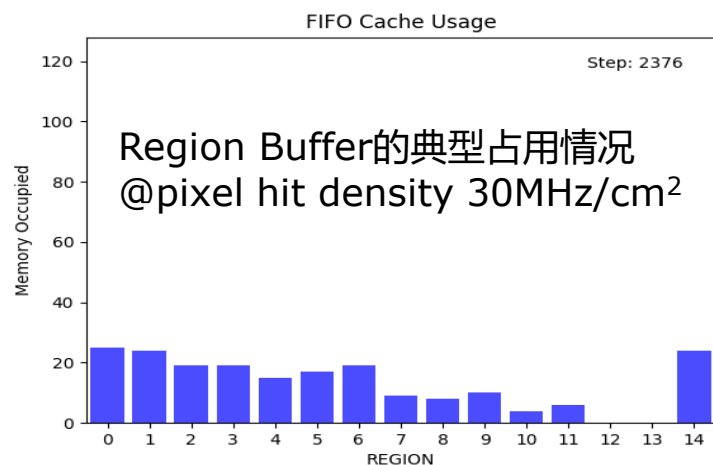
Figure 13: Efficiency plotted as an in-pixel map. Experiment parameters: beam energy = 5.8 GeV, threshold = 200 e^- . DUT residual cut = $10 * pitch / \sqrt{12}$.



JadePix-5芯片外围数据读出

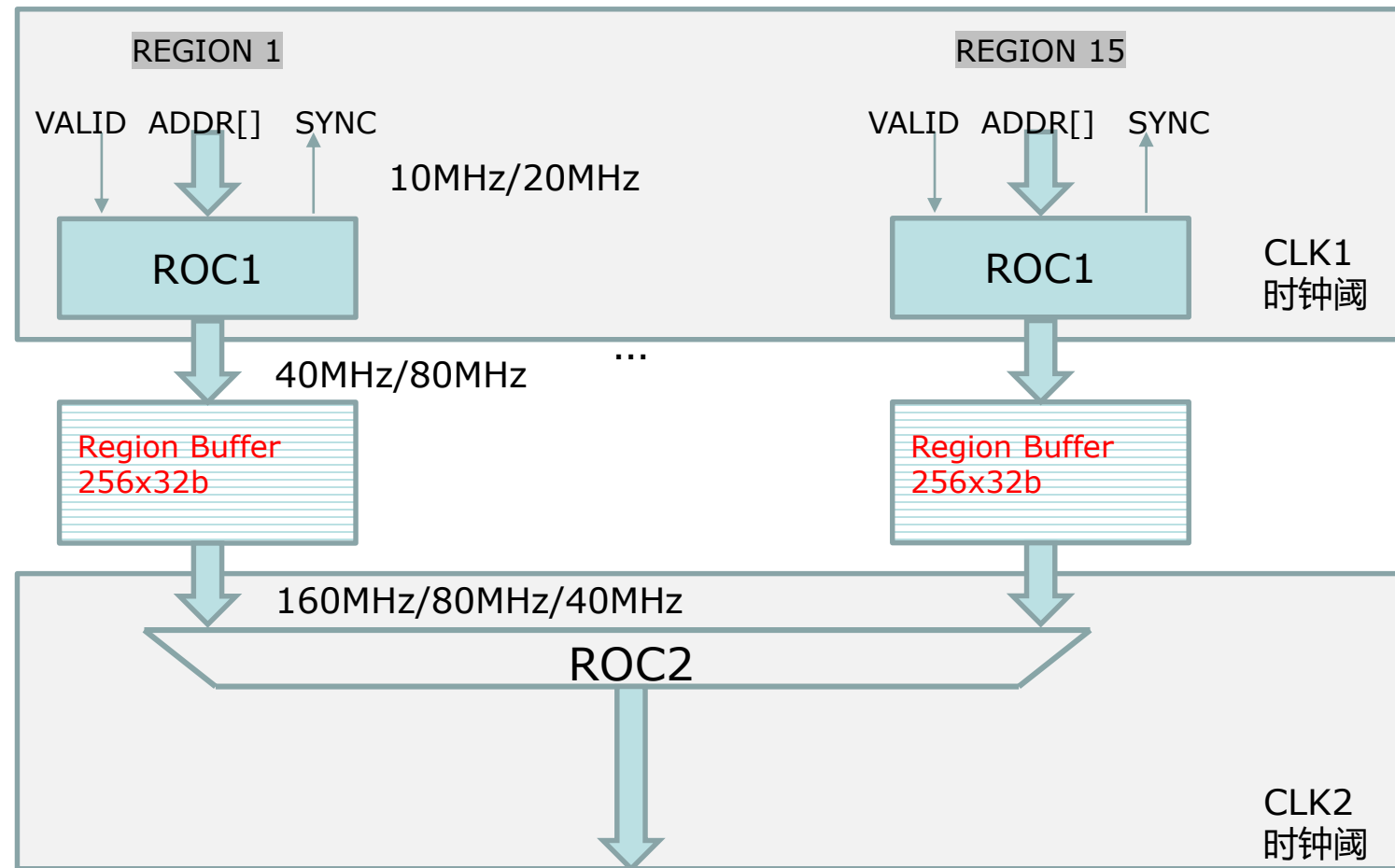
■ 像素阵列分成15个region

- 32列作为1个Regional Readout Unit
- **Regional Buffer**: 256x32bit
- 数据字: 12bit行地址+4bit列地址
+ 15bit时间标记+ 1bit预留



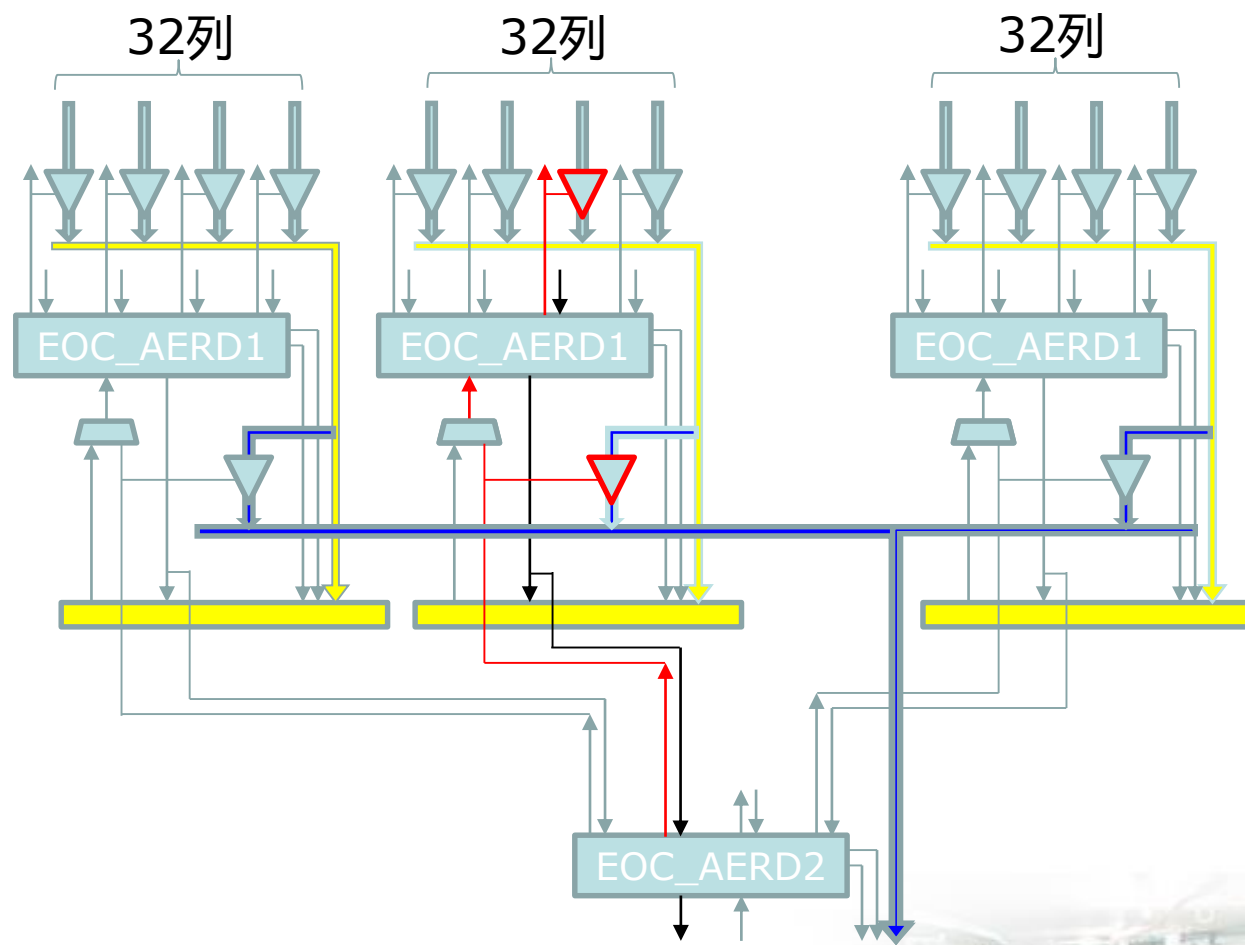
■ 控制逻辑

- ROC1, matrix region readout
- ROC2, fetches data from Regional Buffers 1-15, and transmits off chip



JadePix-5的测试读出端口

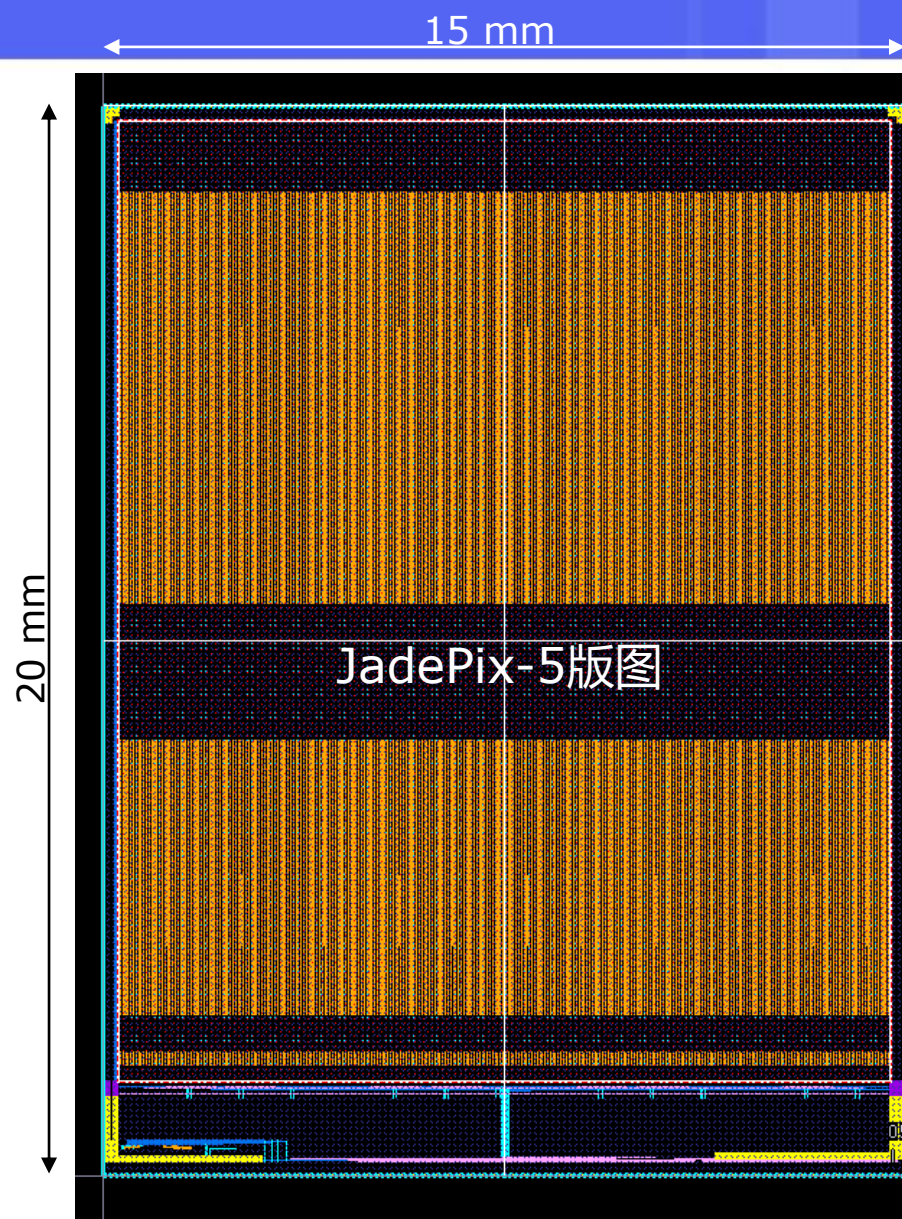
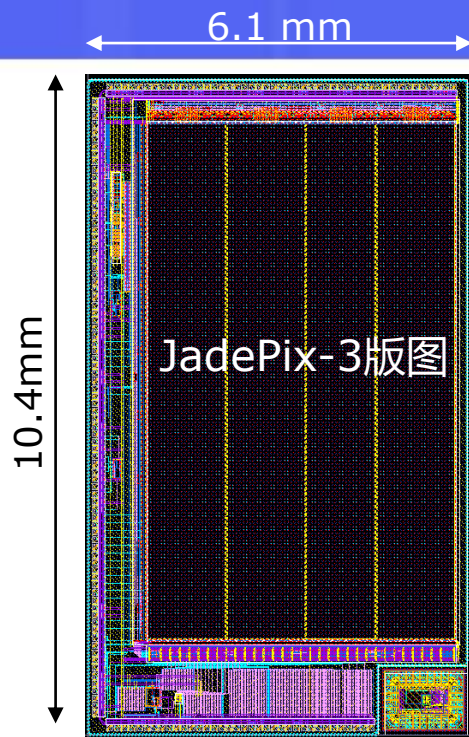
- 两套数据读出路径
 - Region buffer, 正常数据读出
 - Test port, 满足Design for Test的要求
- 读出路径的切换
 - Column输出的数据流
 - AERD1的控制接口VALID和SYNC等
- 测试读出增加AERD2
 - 对15个region的AERD1进一步地址编码
 - 速度慢, 用于调试和研究像素阵列



黄色方框为Region Buffer的接口

蓝色箭头为测试读出路径

JadePix-5版图



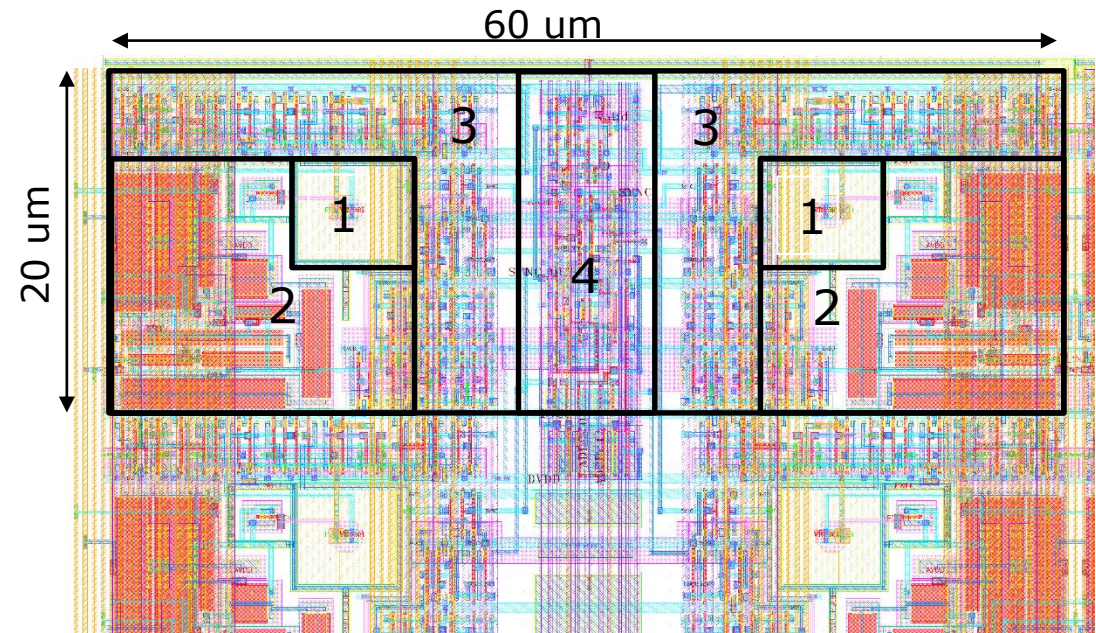
1st GDS
submitted
for DRC
check in
Nov. 15

	JadePix-3	JadePix-5
Pixel size	16 μm \times 23.1 μm	20 μm \times 30 μm
Readout time	98.3 μs	\sim 1 μs
Average power	< 100 mW/cm ²	< 100 mW/cm ²
Pixel array	512 row \times 192 col.	896 row \times 480 col.
Mask area	10.4mm \times 6.1 mm	20mm \times 15mm



后续计划

- JadePix-5设计提交, 2024年12月31日
- JadePix-5的测试准备: 测试子板与测试系统固件
- 异步地址编码 (AERD) 的改进方案: 4-pixel group
 - 减少一级AERD
 - 合并pixel group的像素逻辑
 - **显著减小像素尺寸**
 - 1次MPW+1次工程批
- 下次流片时间, 待定
 - 流片途径, 法国IPHC或者国内代理
 - JadePix-5初步测试 (6个月) +改进方案的设计 (6个月)



JadePix-5 pixel layout

1. Diode
2. Analog frontend
3. Digital logic
4. AERD shared by 2 col.

谢谢关注

- Backup slides

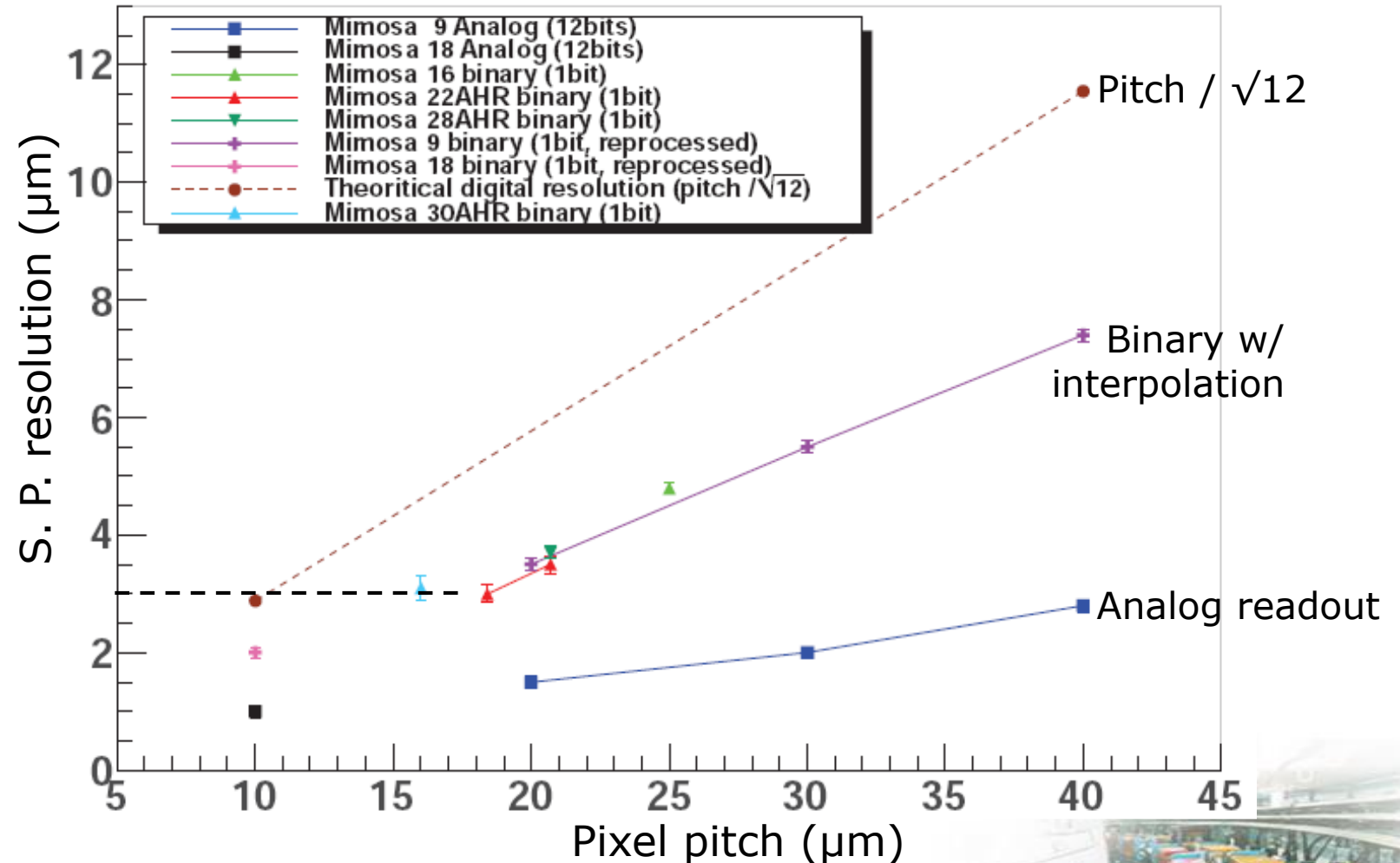


Single point resolution

- Pixel pitch dominant, with interpolation on the hit cluster

- Binary w/ interpolation:
Pitch **16~18 μm** required

- Analog readout:
Best resolution with a cost on power & readout speed



Investigated by the Mimosa series (IPHC, France)

Hit processing flow

- Hit registered in the each pixel needs fast processing
 - Hit position (col. and row address) to be encoded
 - Time stamp to be attached
 - Register to be reset for the next hit
- A major modification on the hit processing flow
 - Row address encoding embedded into the active pixel matrix, which is much faster

