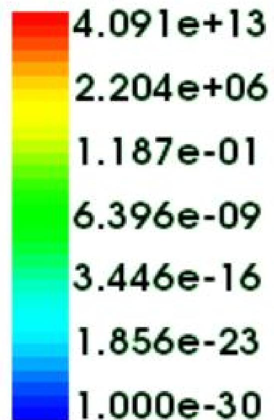
CMOS strip chip仿真与设计

符晨曦

2024.12.06

截面仿真：MIP不同位置正入射

HeavyIonChargeDensity (cm^-3)



MIP正入射器件产生的非平衡载流子密度分布
产生率取81对每微米

n93_des 1
n94_des 1
n95_des 1
n96_des 1
n97_des 1

0 0.25 0.5 0.75 1

入射位置对应产生率 数字代表粒子从n-stop入射过渡从p-stop入射

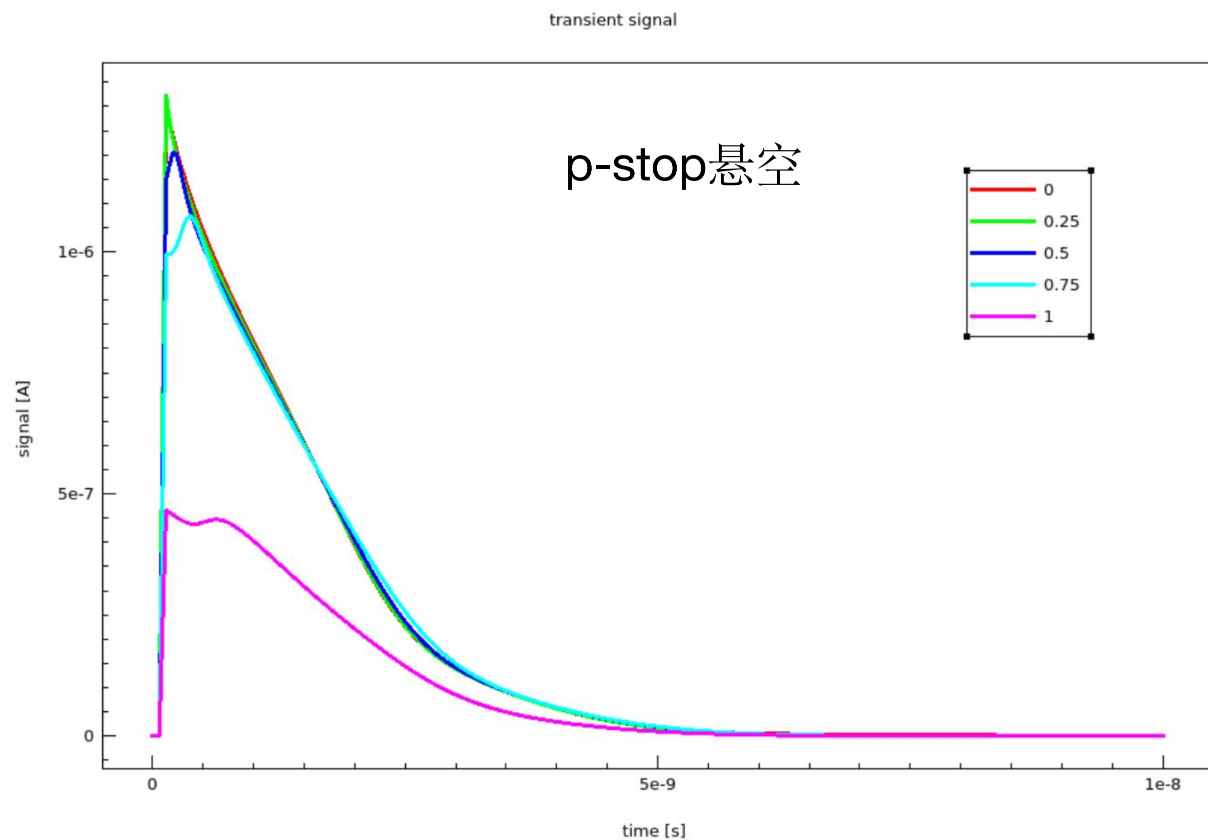
p-stop n-stop p-stop

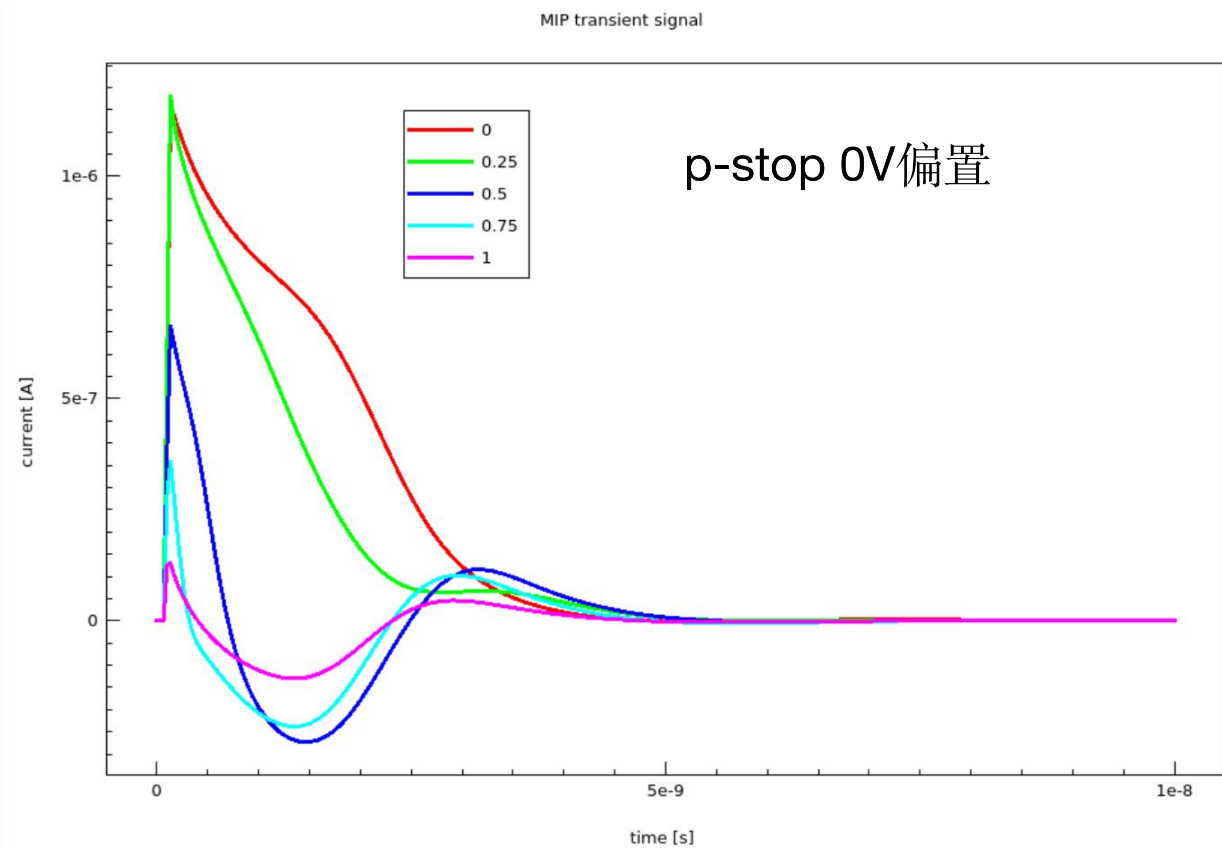
灵敏区

衬底

结构示意
宽75
高150

MIP不同位置正入射 (75um pitch)

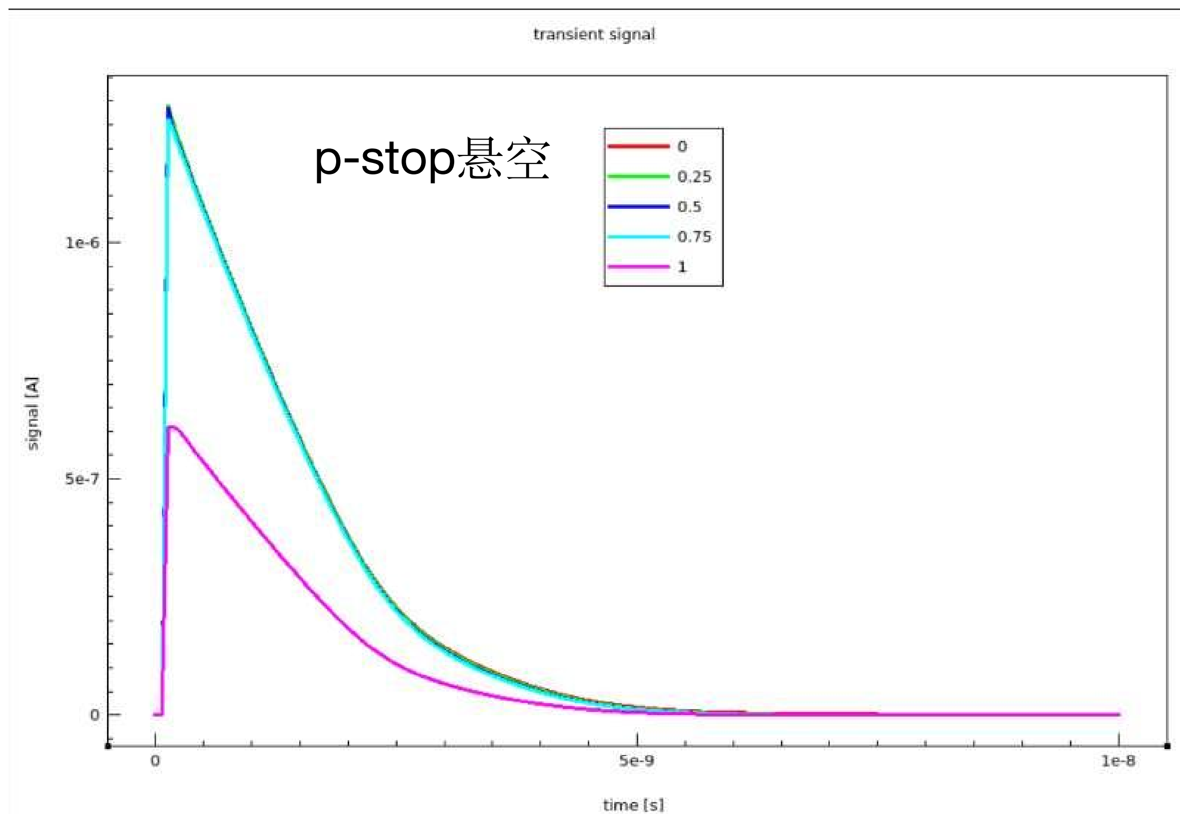


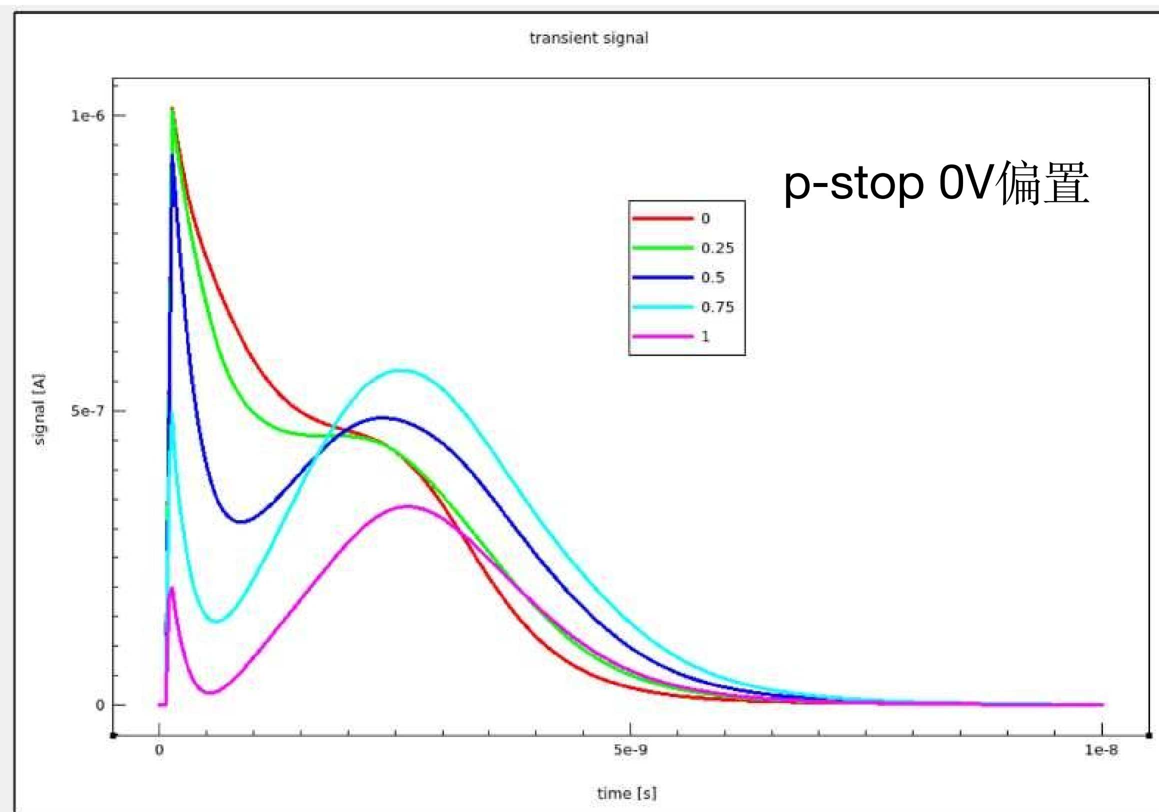


悬空时能有正常的电荷收集量，0V偏置时信号丢失很严重

要想器件正常发挥探测和击中位置重建功能，只能让p-stop悬空或接一个与悬空时相近的偏压

MIP不同位置正入射 (20 um pitch)

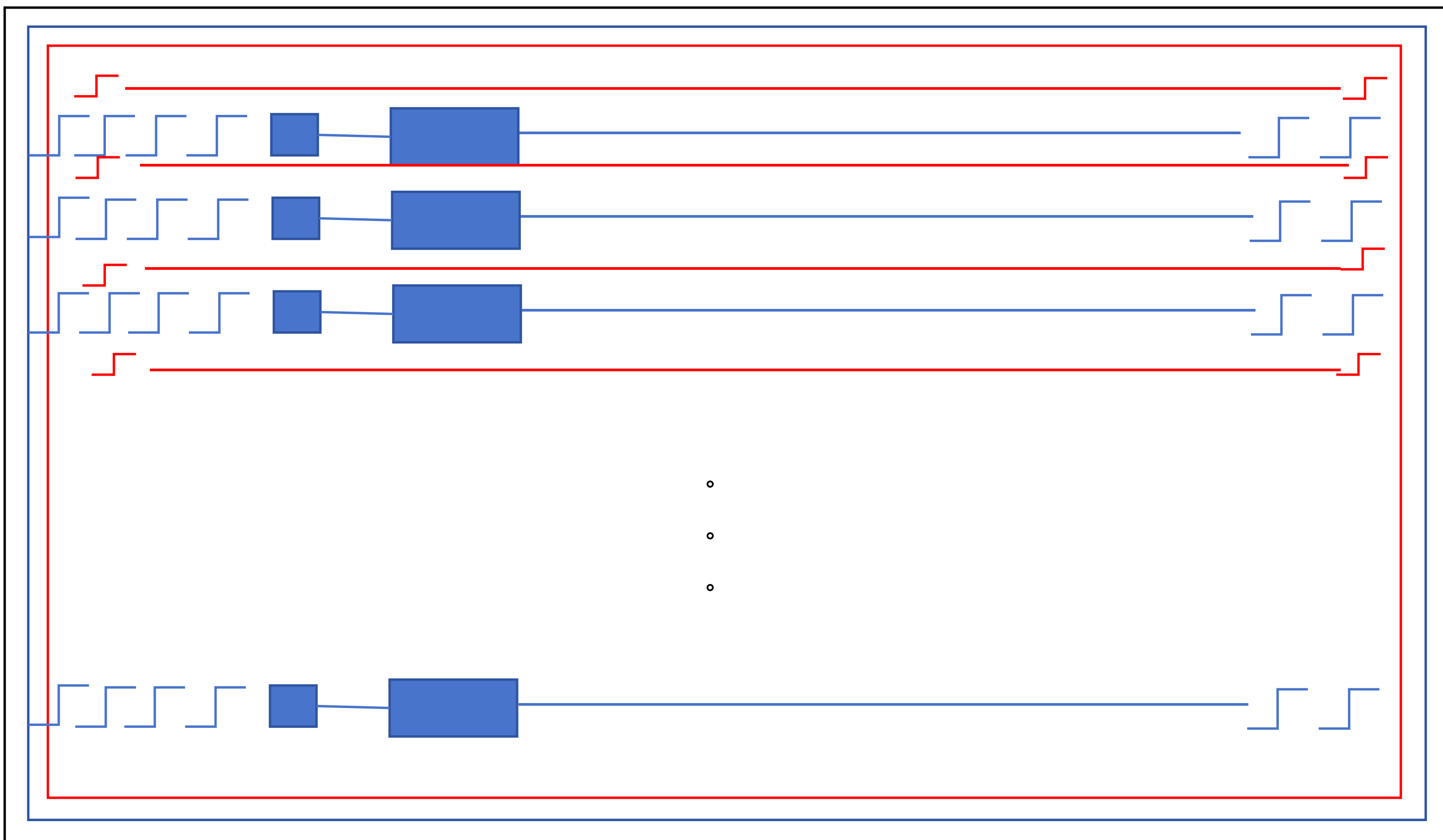




在MIP的电离能损展宽相对于75um的仿真不变时
20um器件在空间上电荷收集量的均匀性反倒变好了（只针对p-stop悬空时而言）
现在的仿真还没有计及邻近读出电极间的容性耦合 需要完善

CSC 1-A设计草稿：俯视

poly DCpad ACpad



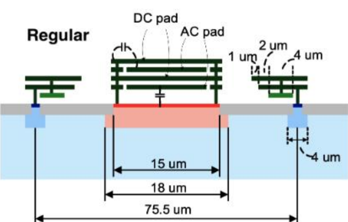
外轮廓2.1 x 2.1 cm^2
外环：保护环
中环：n-stop偏压环
内环：p-stop偏压环
环上的pad未画出

红线为p-stop 蓝线为电极条
都通过poly连到对应的偏压环
邻近电极条（或邻近p-stop）
间隔75um 共256条

期望对75um情形
生产两款较小的sensor
1.05*1.05 道数、条长均减半
1.05*2.1 仅减半道数

CSC 1-A设计草稿：横截面

：通孔



75
75

AC
DC
AC
DC
AC
DC
AC
DC

p电极
(双层)
p电极
(双层)
p电极
(双层)

poly?
poly?
poly?
poly?
poly?

p+
STI
n+
STI
p+
STI
n+
STI
p+

p阱
n阱
p阱
n阱
p阱

1
2

15
15
18

2
4

15
15
18

1
2

本征硅

硅片总厚度150

p缓冲
p衬底
底部电极

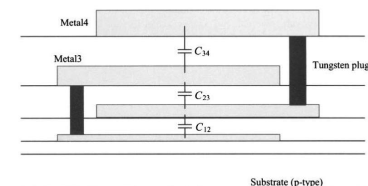
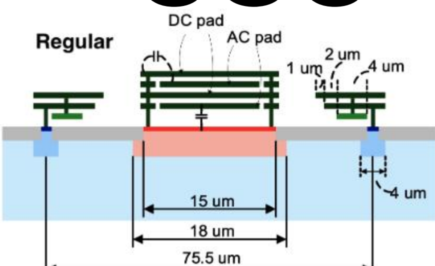


Figure 5.24 Cross-sectional view of a parallel plate capacitor using metal1-metal4.

以上为金属
poly层
以下为硅

左侧数字
代表结构宽度

CSC 1-A设计草稿：纵截面



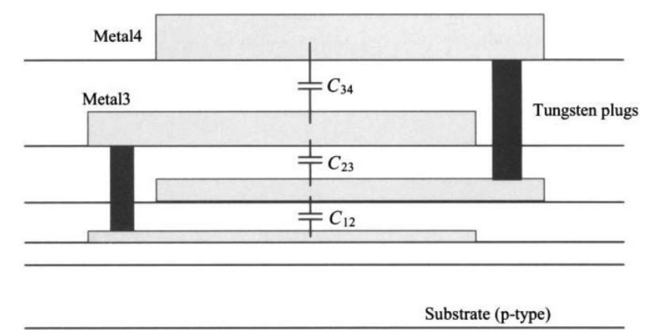
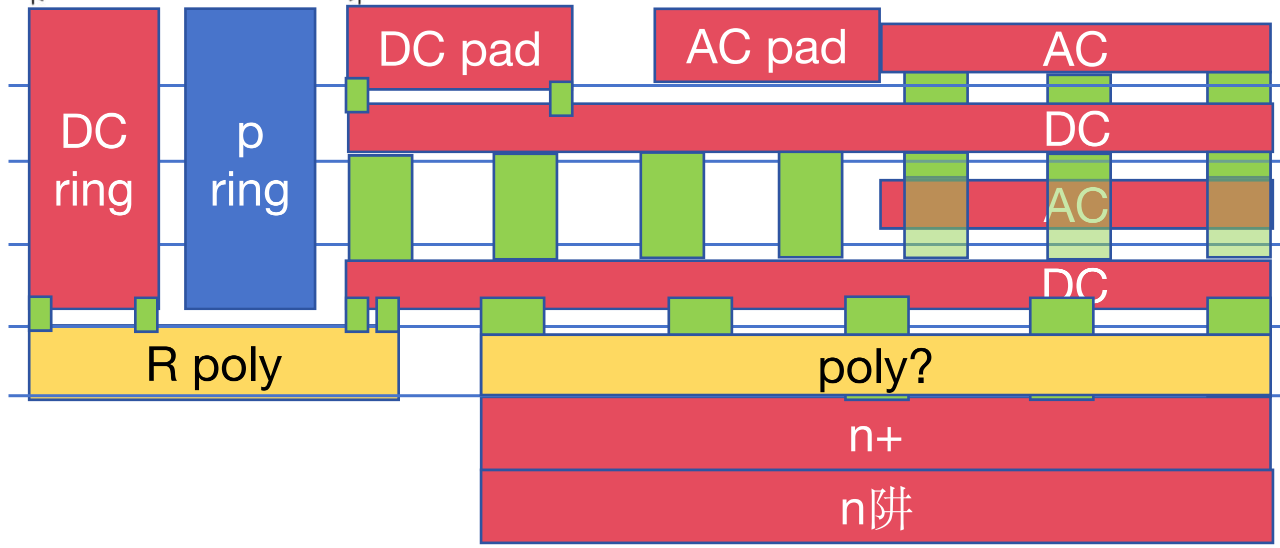
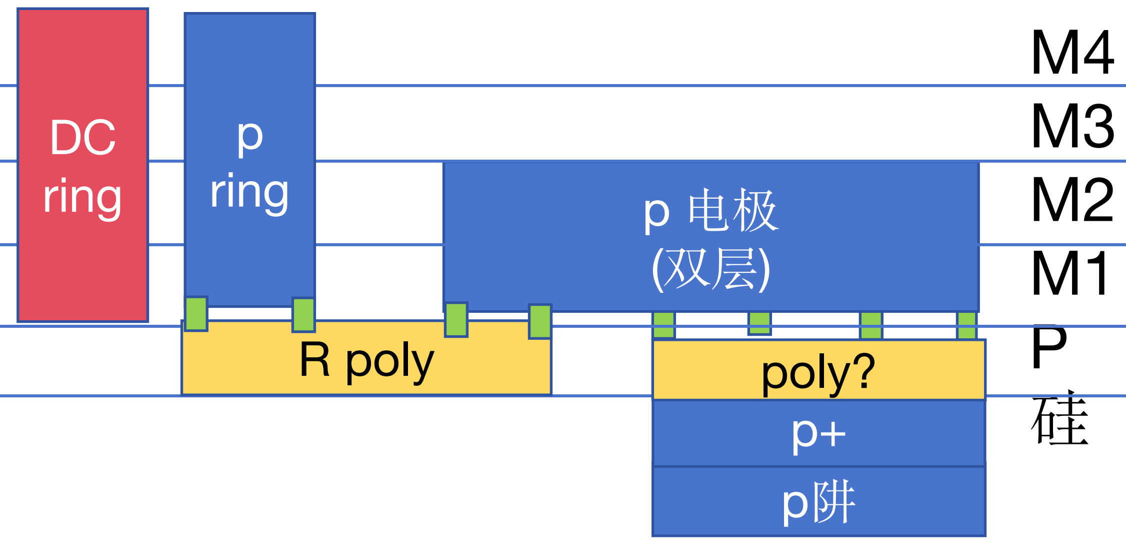


Figure 5.24 Cross-sectional view of a parallel plate capacitor using metal1-metal4.

：通孔

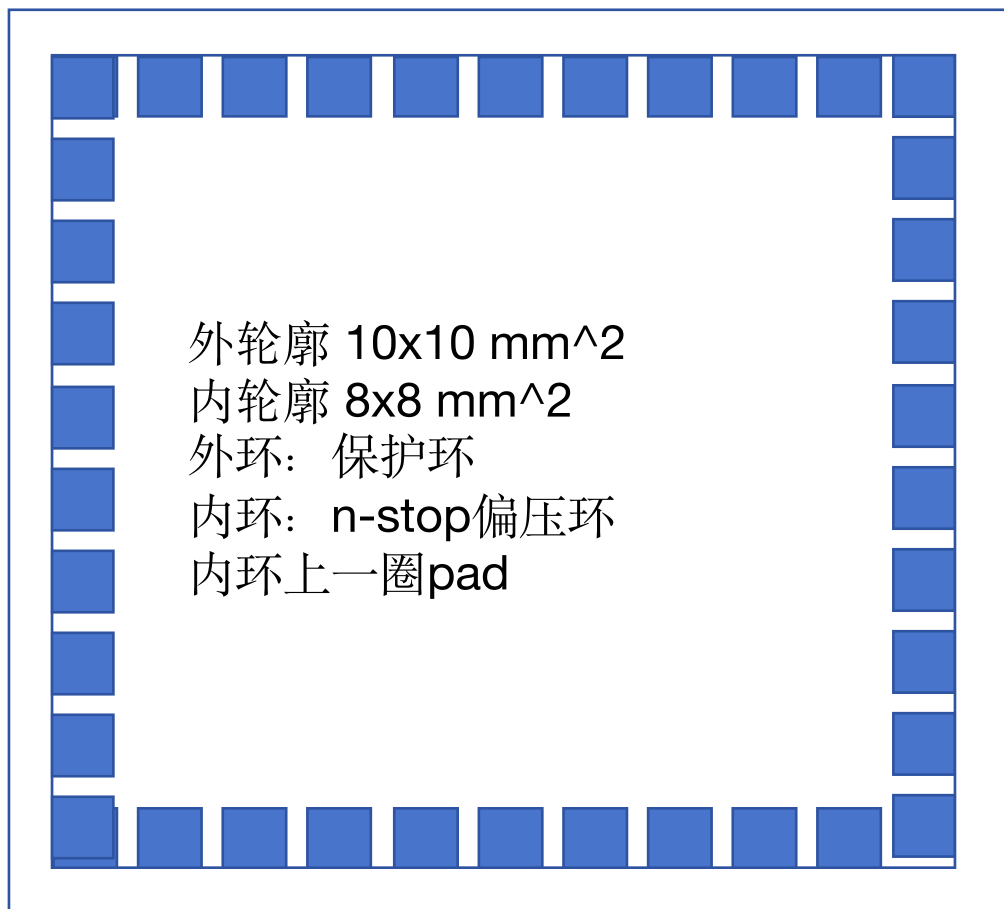




n-stop处
(N-well ring的电极从别处直接通到n+上)

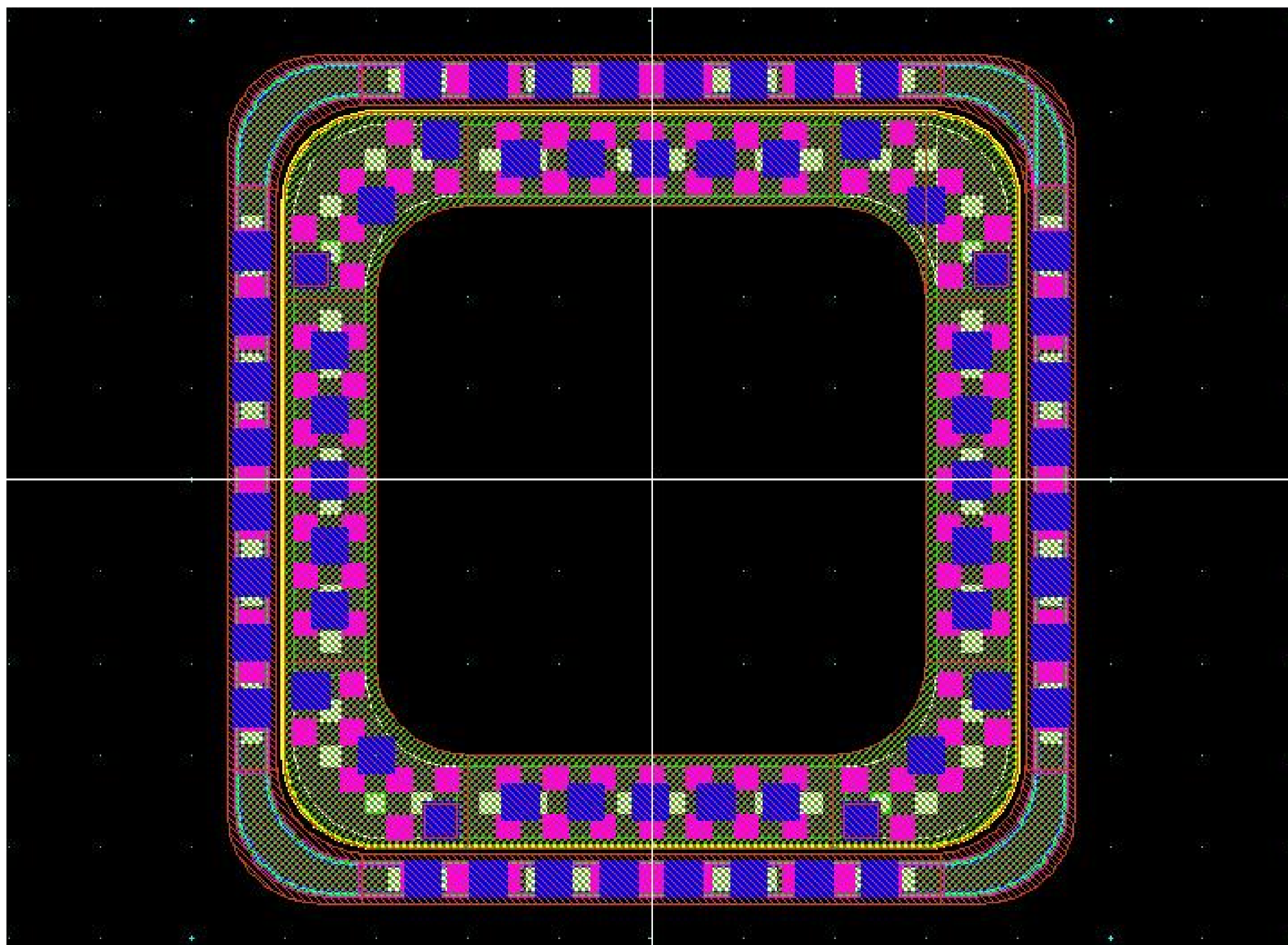
p-stop处

CSC 1-A设计草稿：Mini Diode



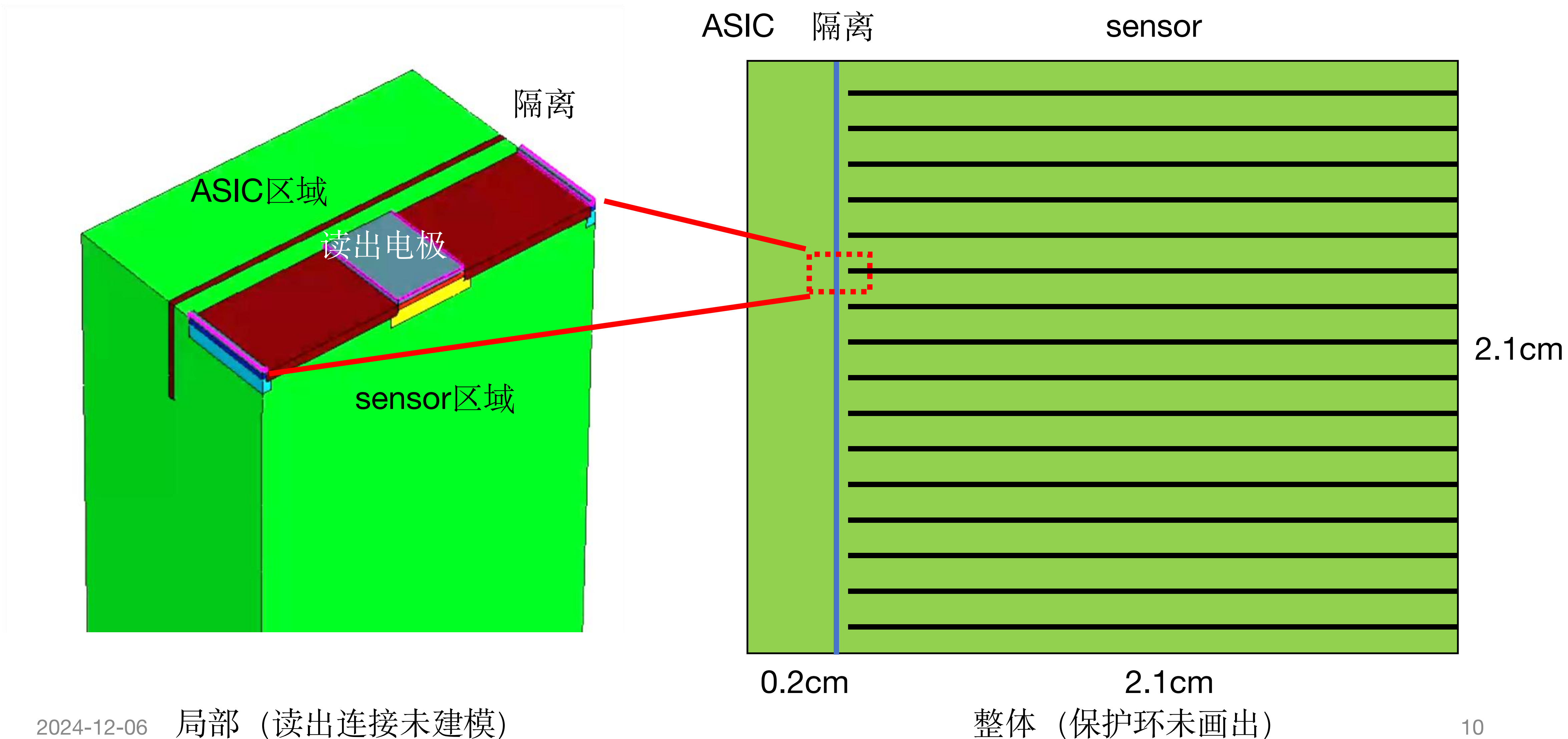
测试用结构 仿照ATLAS ITk MD8

Mini Diode 版图



- 在草稿的基础上，对每层金属和diff增加圆角，期望防止击穿；
- 4层金属层重叠，通孔由软件自动生成，由M1层直接接到p-diff/n-diff
- *不符合真实尺寸*

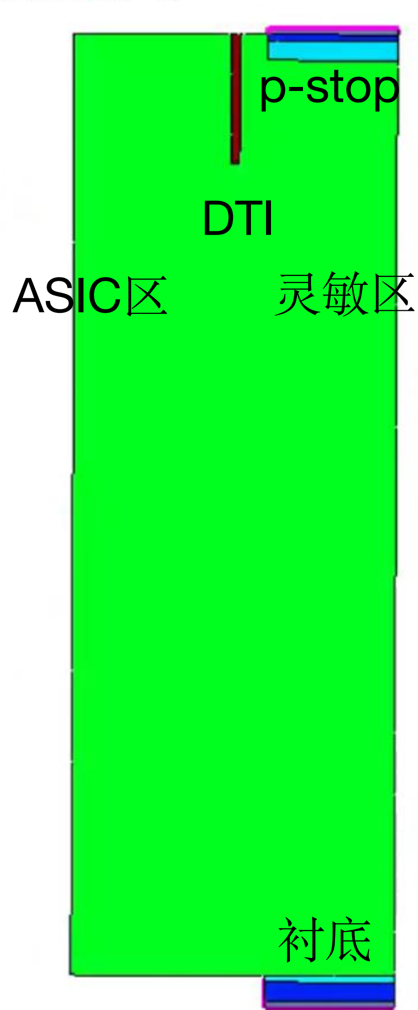
CSC 1-C 整体与局部结构示意

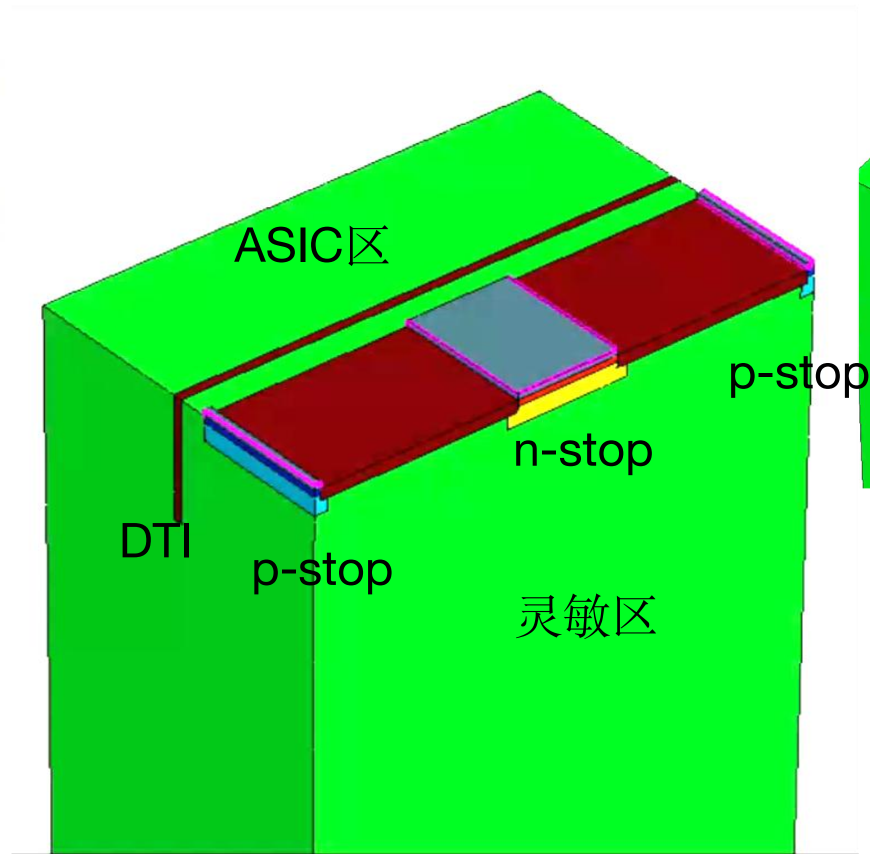


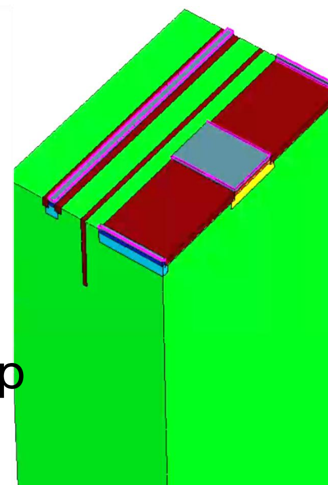
局部（读出连接未建模）

整体（保护环未画出）

局部结构建模（75 um pitch）

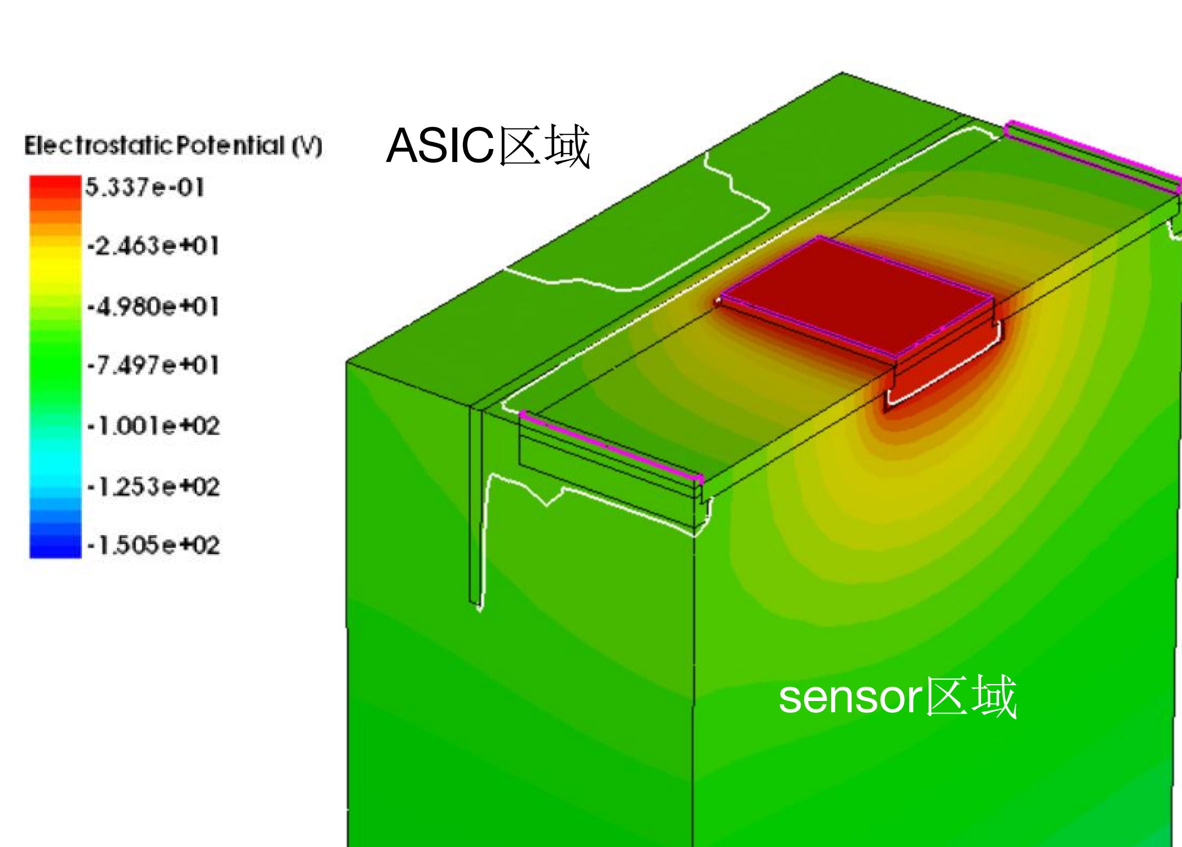


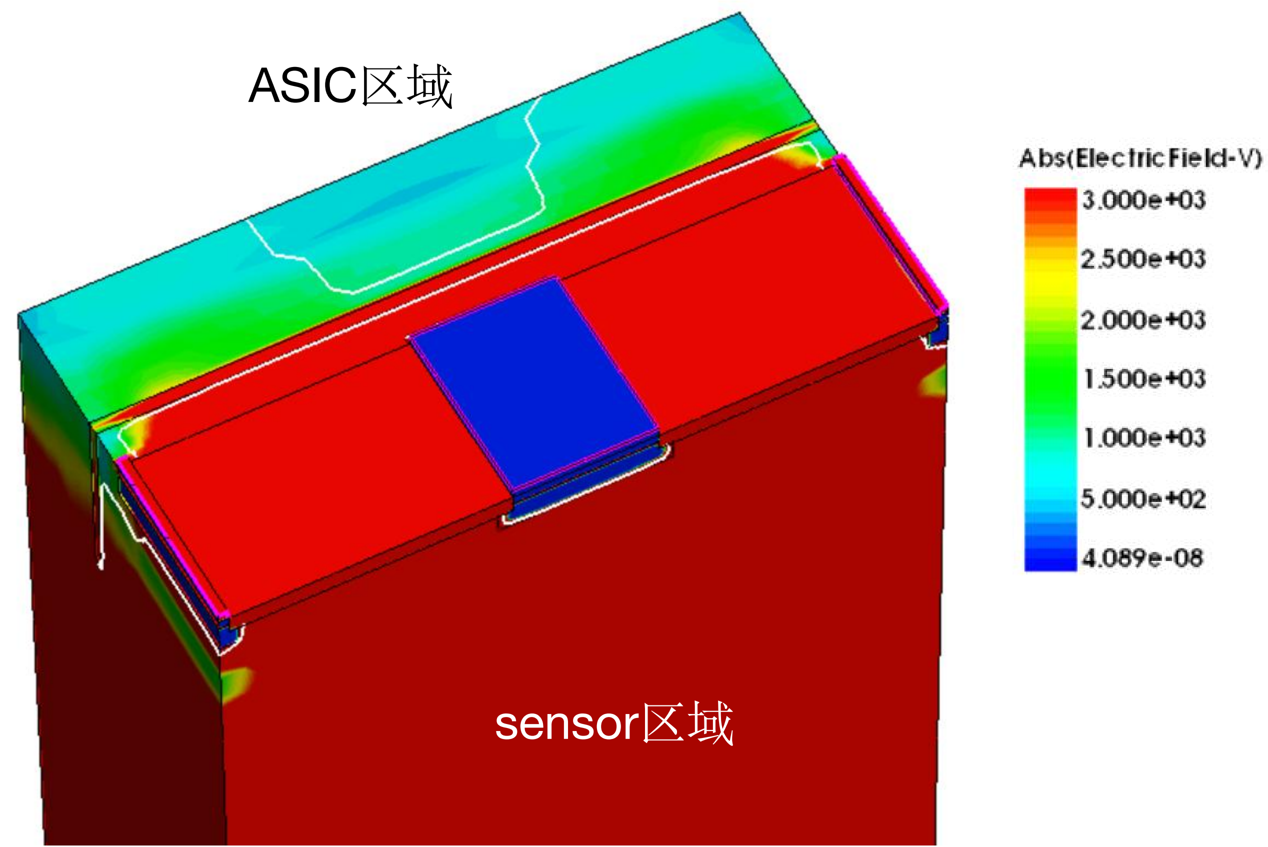




左：左侧面 中：三维视角 右：右侧面
仿真范围40 um (部分实验50 um)

仅DTI 电势电场隔离性能仿真



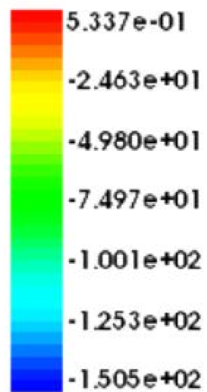


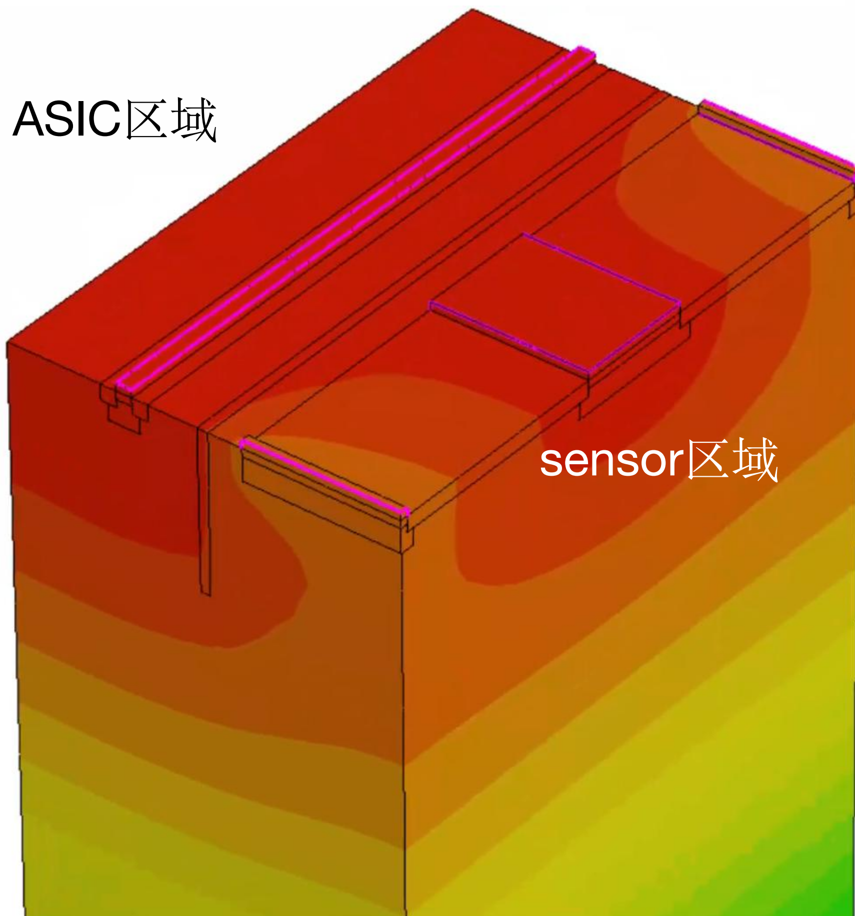
p-stop悬空时ASIC区域电势来到了-75V，不利于与读出相连

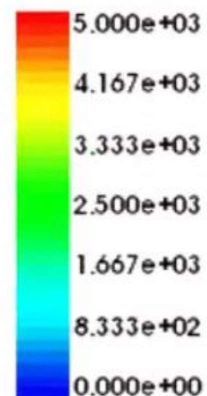
p-stop悬空时ASIC预留区域仍然有~500 V/cm的电场（legend上限被设置为3000，实际红色区域电场会更强）

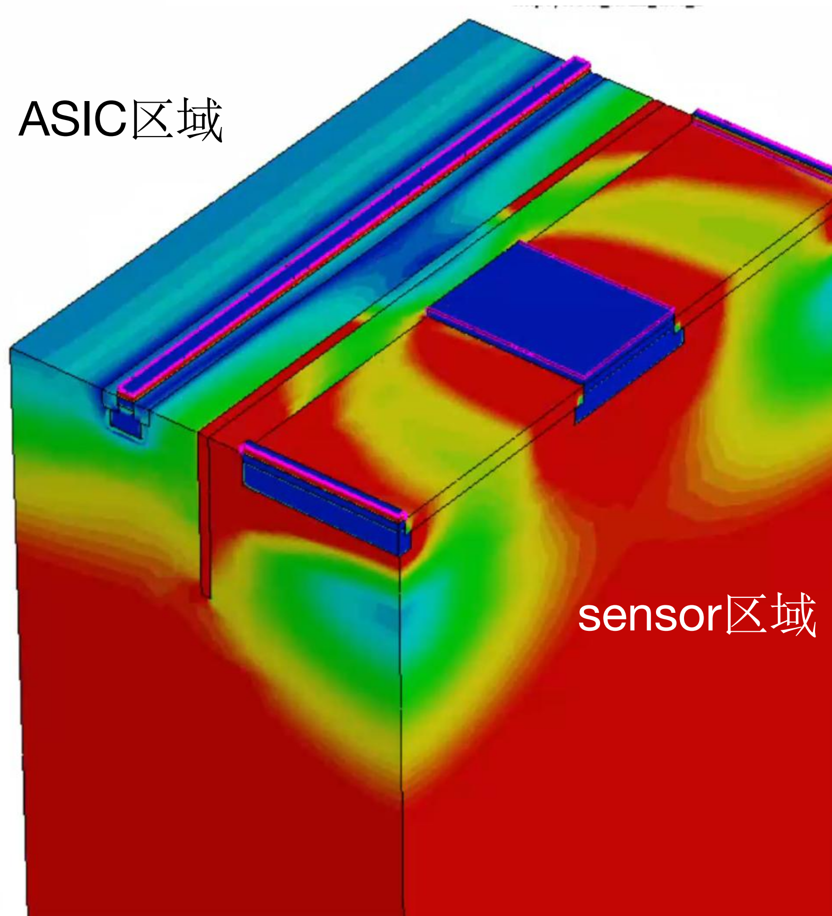
结论：仅靠DTI无法保护ASIC区域

DTI+保护电极 隔离性能仿真



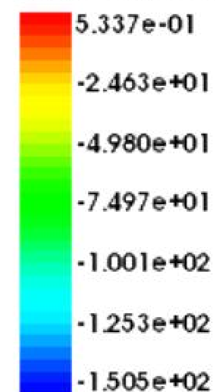


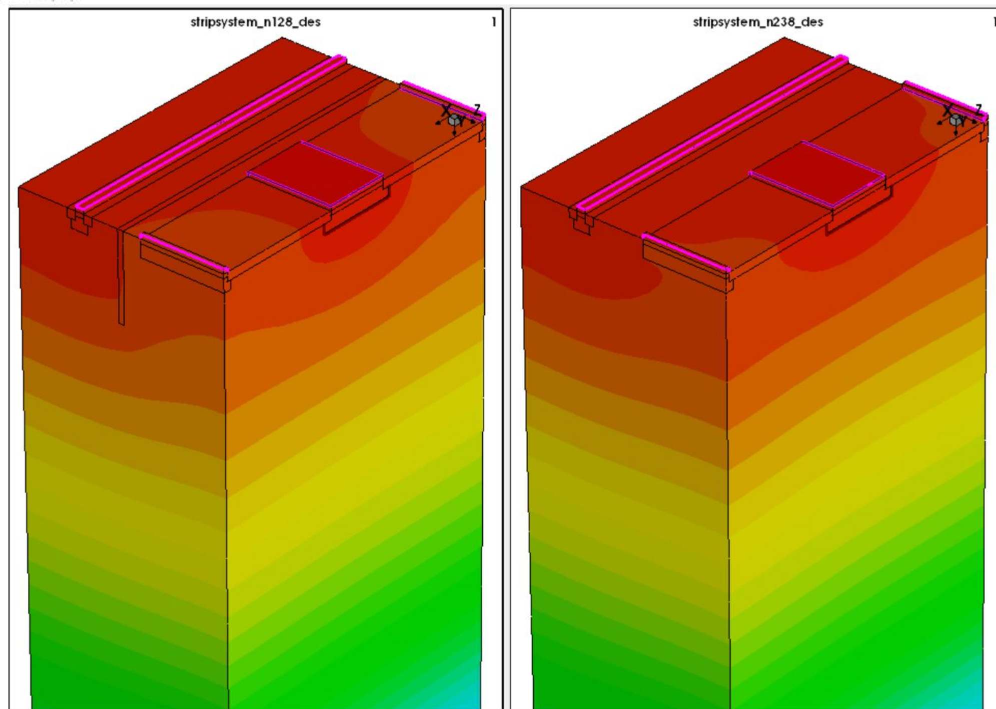


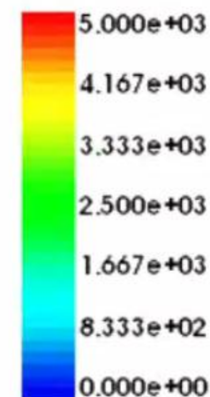


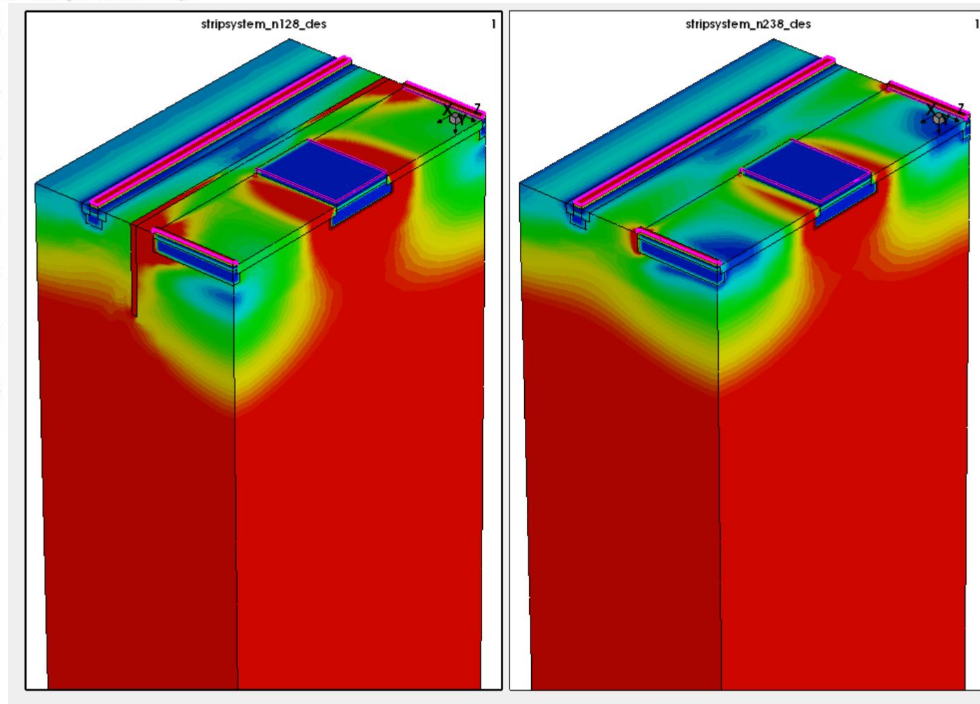
成功让后方ASIC区域稳定在了0V 但尚不清楚起效多远 且显然还需要优化残余的电场

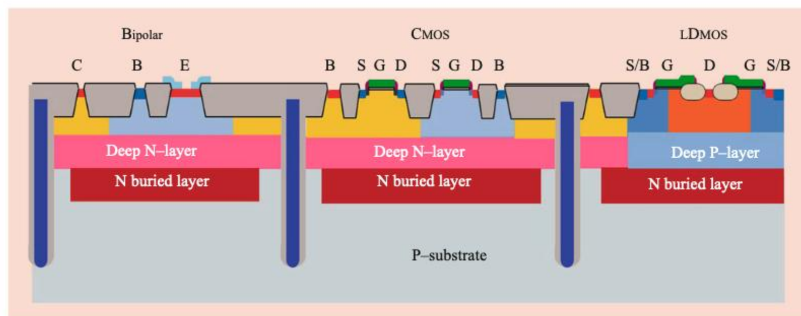
有DTI(左)与无DTI(右)对比 75um





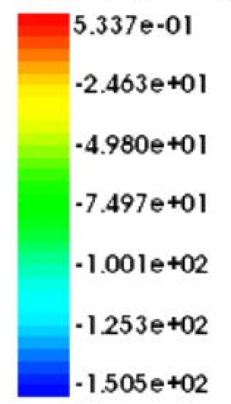


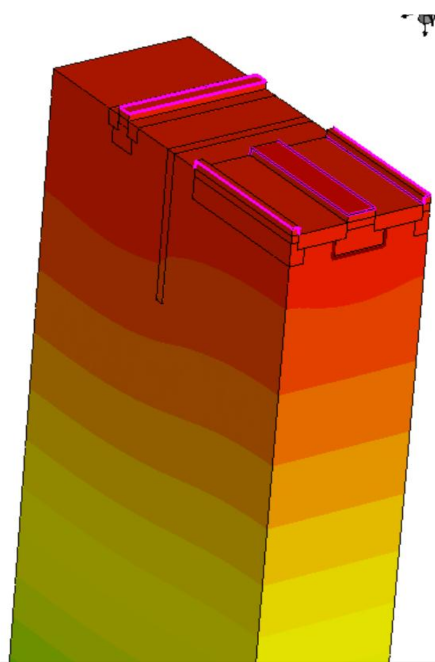


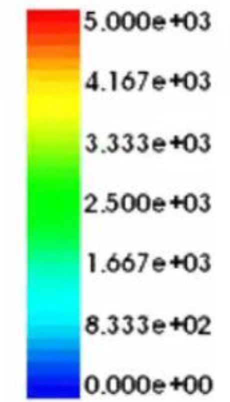


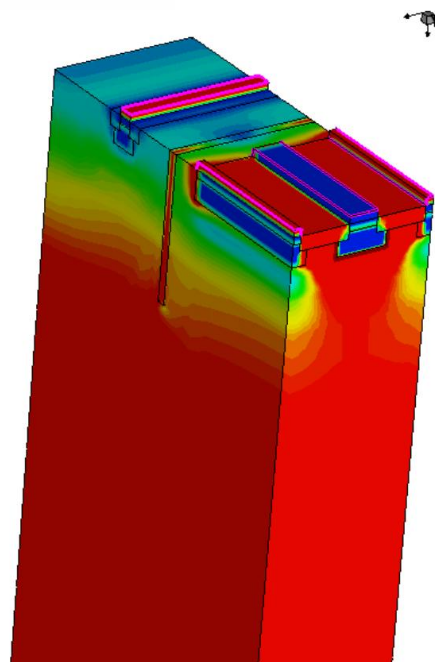
场量分布似乎基本不受DTI影响 怀疑DTI的使用方法不对
以DTI能发挥作用的BCD工艺举例
BCD工艺需求DTI能直接扎到衬底 且该工艺各结构都是横向排布的
在有纵向结构的器件上(IGBT等)没发现有DTI隔绝高低压器件的应用
结论：不配合深埋层或其他结构的DTI很可能没有作用

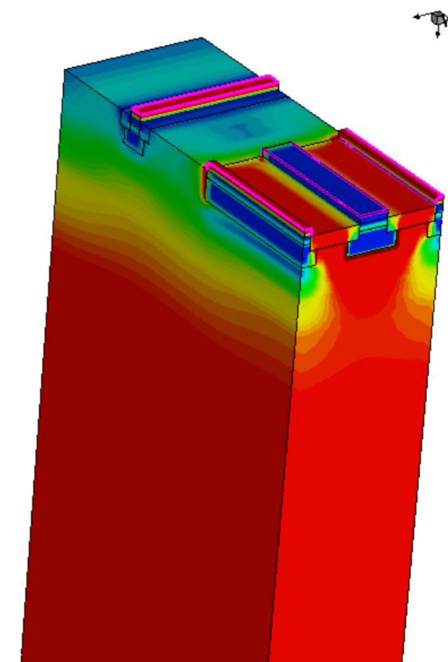
有DTI(左)与无DTI(右)对比 20um

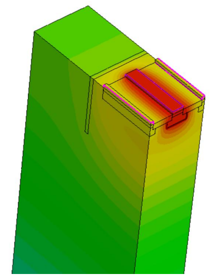












左：有DTI
无保护电极
电势分布

保护电极的存在使p-stop邻近部分电势升高 可能影响探测效率
目前不清楚会影响多远的距离 有待进一步仿真
同样 有无DTI差异不大

总结

- 使用：为了保证器件正常工作，p-stop必须悬空
  - 于是对1C器件，必须在ASIC与传感器之间加保护电极
  - 有保护电极时，单独不扎在深埋层上的DTI没起到作用
  - 目前保护电极会使得邻近的p-stop升压，推测会影响探测效率
    - 需要改进
- 设计：参照ATLAS ITk和Passive CMOS strip画了示意图
  - 主sensor与两种mini sensor:
    - 75um pitch, 256 (128) 道读出
  - mini diode:
    - 1x1 cm^2面积, 0.8x0.8 cm^2有效探测面积
    - 已有版图