

基于国产55nm工艺高压CMOS像素探测器芯片 COFFEE3的设计研发

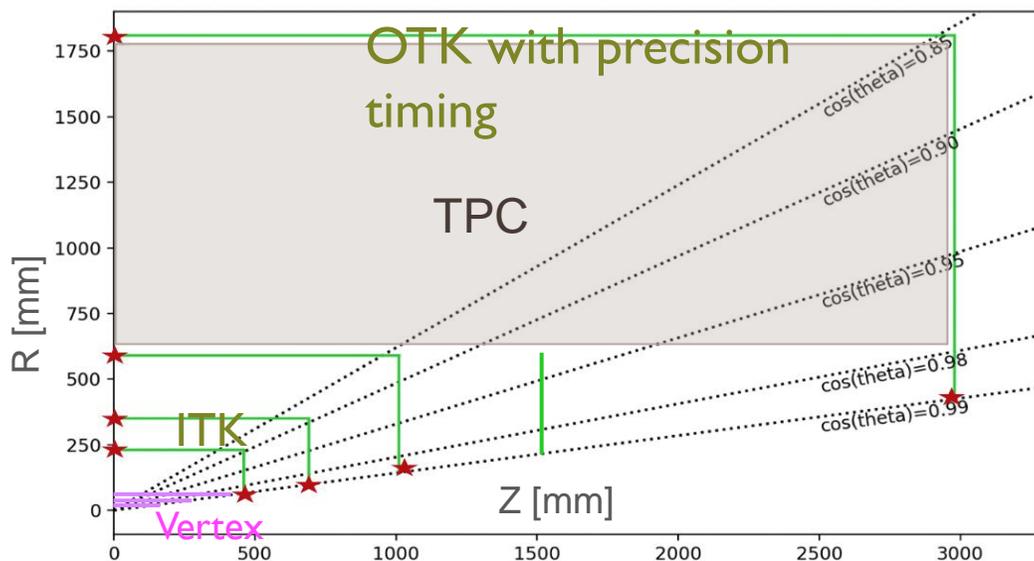
周扬 (IHEP)

On behalf of the HVCMOS sensors in 55nm process collaboration

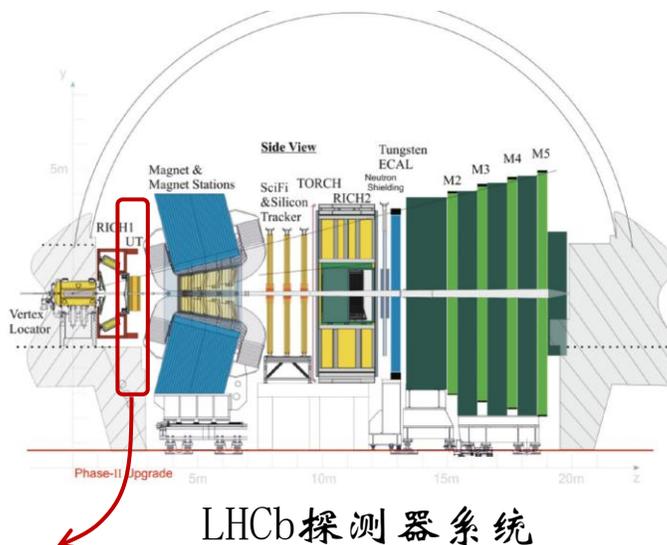
- 研究背景:
- 设计思路:
 - 工艺条件
 - 读出构架
 - 关键性能仿真结果
 - 挖掘先进工艺节点的优势
- 总结、展望、致谢



研发驱动：高能物理实验上的粒子径迹探测器的需求



- ◆ 中国主导提出的环形正负电子对撞机（CEPC）上的内层径迹探测器



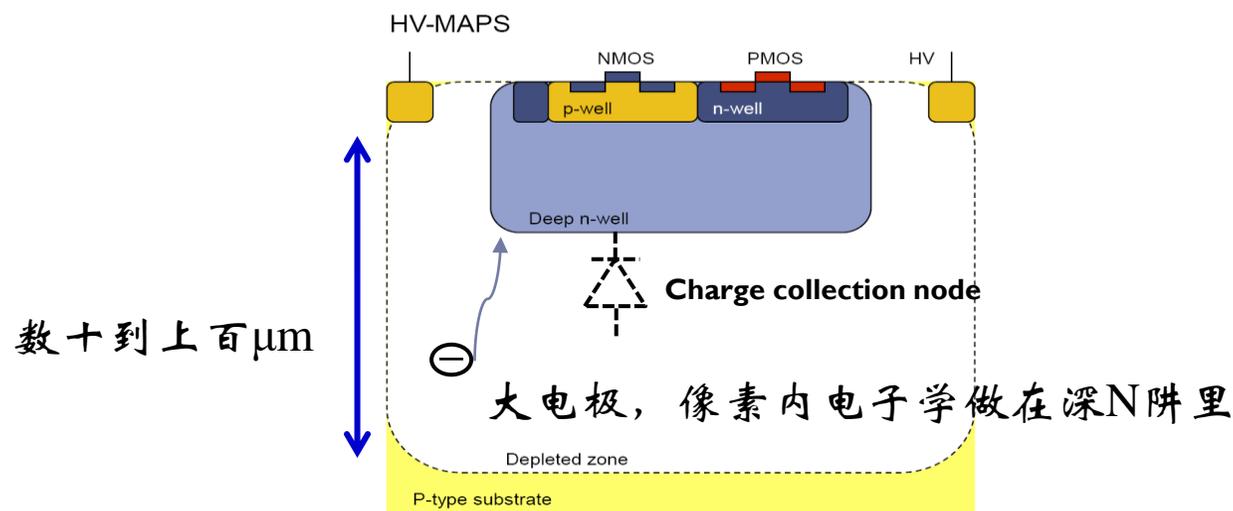
LHCb探测器系统
由硅微条升级为硅像素探测器

- ◆ 欧洲大型强子对撞机LHC上的探测器LHCb上游径迹探测器（UP）下一步升级任务，以满足运行亮度提升近1个数量级后的测量需求；

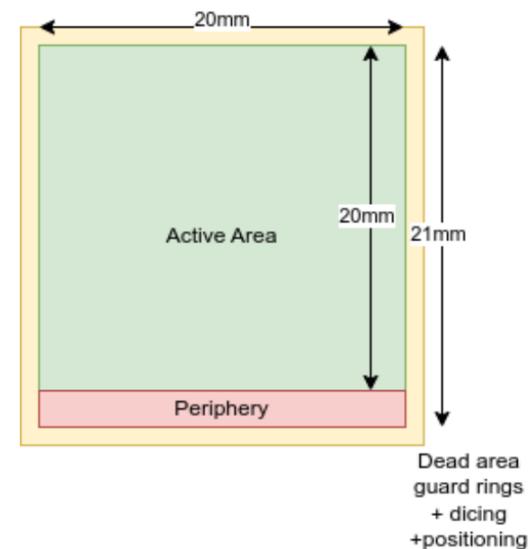
两个应用基准技术方案均为：[单片集成高压CMOS像素探测器](#)

- **共性需求：**提供 ns量级的时间分辨（精确标记23ns/25ns间隔的粒子对撞ID），单方向约 $\sim 10\mu\text{m}$ 的位置分辨， $< 200\text{mW}/\text{cm}^2$ 的功耗支出；
- **差异：**CEPC 对芯片低功耗设计的要求更高；LHCb UP 对芯片高hit density的处理能力要求更高

单片集成高压CMOS像素探测器



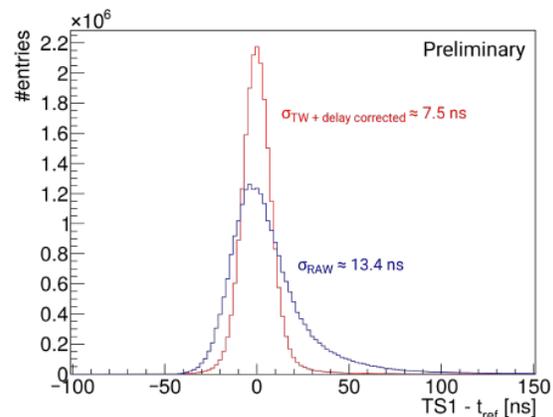
单像素剖面图



单芯片示意图: 灵敏区占比 $>90\%$

基于半导体芯片产业界 CMOS工艺平台: 利用Deep n-well和Psub形成的二极管收集信号, 就近放大、模数转换、数据压缩、打包等处理后发送到芯片外部。信号收集极可承受数十到上百伏高压、从而获得较大的耗尽深度: 有利于快速的信号收集并具有良好的抗辐照性能(NIEL);

HV-CMOS像素径迹探测器研发现状

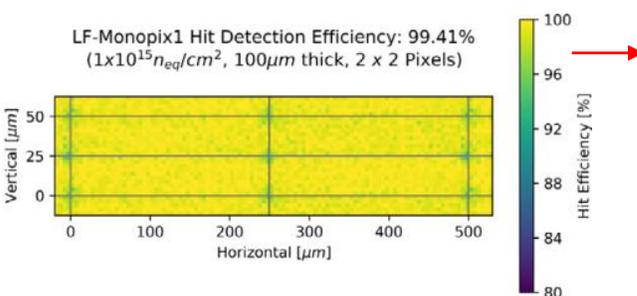


芯片名称	像素尺寸 [μm^2]	像素数量	噪声 [e-]	功率密度 [mW/cm ²]	等效注量 [n _{eq} /cm ²]	备注
ATLASPix 系列 (AMS/TSI 180 nm)						
ATLASPix1	60 × 50	56 × 320	~200	170	1 × 10 ¹⁵	辐照后噪声增至 ~360e-
ATLASPix3	50 × 150	372 × 132	~60	~150	1.5 × 10 ¹⁵	
MuPix10	80 × 80	256 × 250	75	190		
LF-Monopix 系列 (LFoundry 150 nm)						
LF-Monopix1	50 × 250	129 × 36	~200	~288	10 ¹⁵	辐照后增益和电荷收集效率未变差; 噪声增至350e-
LF-Monopix2	50 × 150	340 × 56	~100	~400		
RD50 系列 (LFoundry 150 nm)						
RD50-MPW1	50 × 50	40 × 78			2 × 10 ¹⁵	漏电流高
RD50-MPW2	60 × 60	8 × 8	~50		2 × 10 ¹⁵	仅单像素读出, 无数字读出

目前成熟度最高的设计

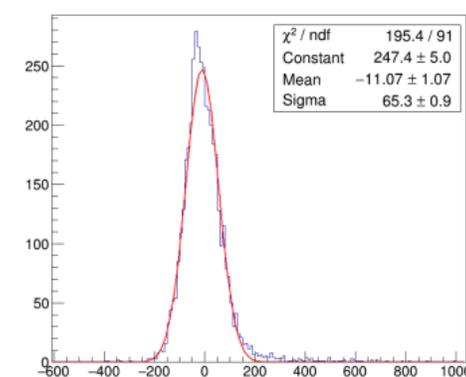
已作为顶点探测器安装在 Mu3e 实验上

为 ATLAS ITK 升级研发, 类似方案应用于未来 BELLEII 升级



基于 LF-Monopix 设计演化

MiniCACTUS: 65.3ps 时间分辨
(极致挖掘高时间分辨特性)



- 主流设计在180nm/150nm;
- 10¹⁵eq/cm²以上的抗辐照性能 (NIEL);
- ns级尺度的时间分辨能力;



CMOS SENSOR IN
FIFTY-FIVE NM PROCESS

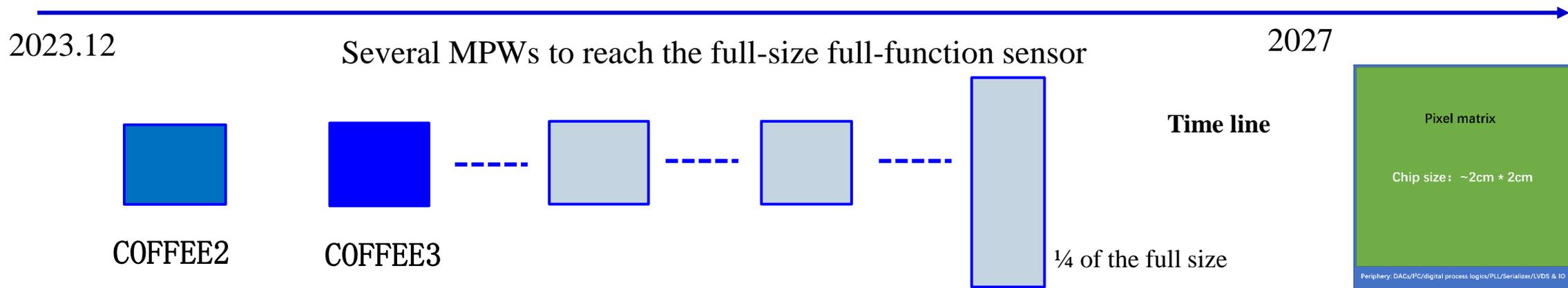
COFFEE系列芯片研究目标

在高压CMOS像素探测器这个技术方向，COFFEE*系列率先且是仍是国际上唯一在100nm以下工艺节点研发的高压CMOS系列芯片，需要面对众多未知和不确定因素。截止目前，我们在国产55nm HV CMOS工艺线上完成了两次MPW流片：

- COFFEE2: 聚焦于工艺特性摸索和技术路线验证;
- COFFEE3: 聚焦于读出电路构架和核心电路性能验证;

COFFEE3的设计和测试结果也将回答在这个研发路径上的更多关键问题，为最终获得全尺寸全功能的探测器芯片，做好铺垫。

*COFFEE is the name of a series of CMOS pixel sensors in Fifty-Five nm process.



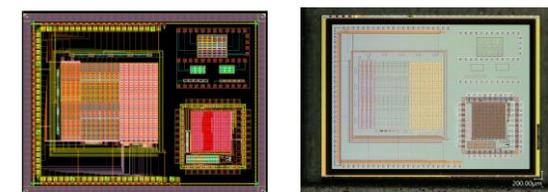
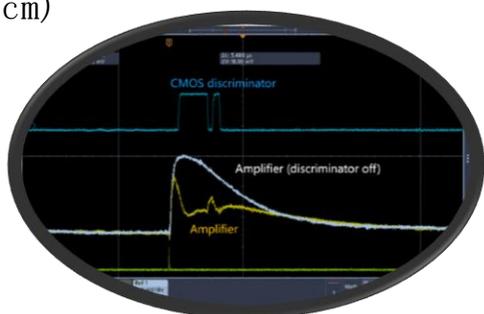


CMOS SENSOR IN
FIFTY-FIVE NM PROCESS

COFFEE2 验证结果概要

商用55nm HVCMOS工艺可行性验证:

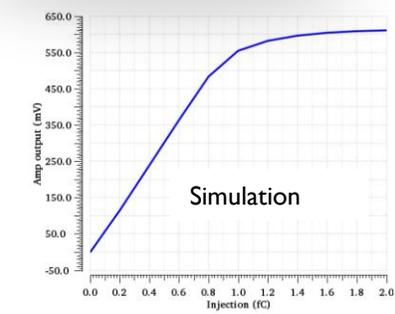
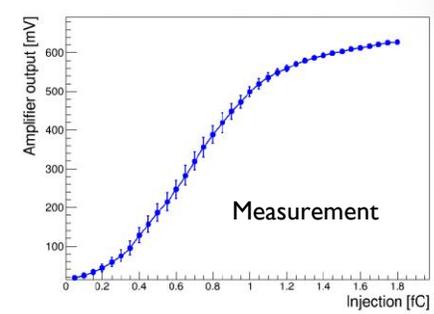
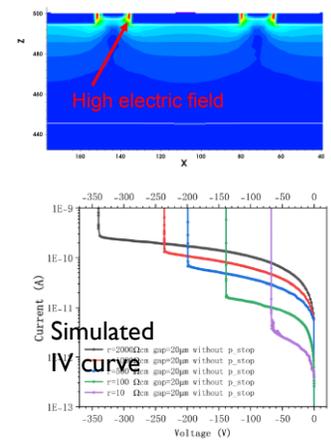
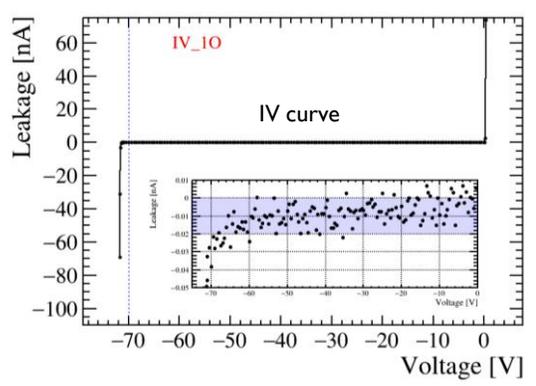
- 传感器特性: 击穿电压 $\sim -70V$ for regular resistivity wafer ($10 \Omega \cdot cm$)
- 像素内电子学: 模拟前放和比较器测试结果与仿真基本吻合;
- 传感器+像素内模拟前放: 清晰的 laser/ ^{55}Fe / ^{90}Sr 源响应;
- 漏电流: 辐照前 $\sim 10pA/pixel$ to $\sim 1nA /pixel$ ($10^{14} n_{eq}/cm^2$ 辐照后)



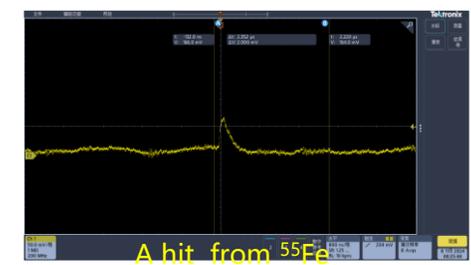
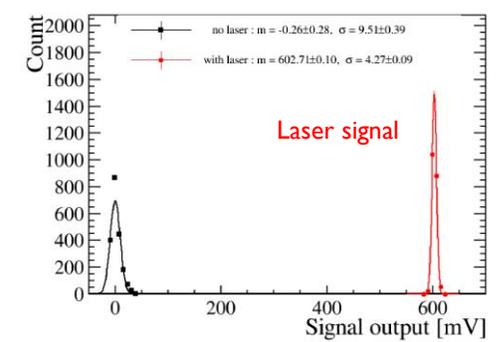
COFFEE2, the first prototype in 55nm HV-CMOS process

.....The testing and validation of COFFEE2 are still in progress.

3阱工艺的局限性



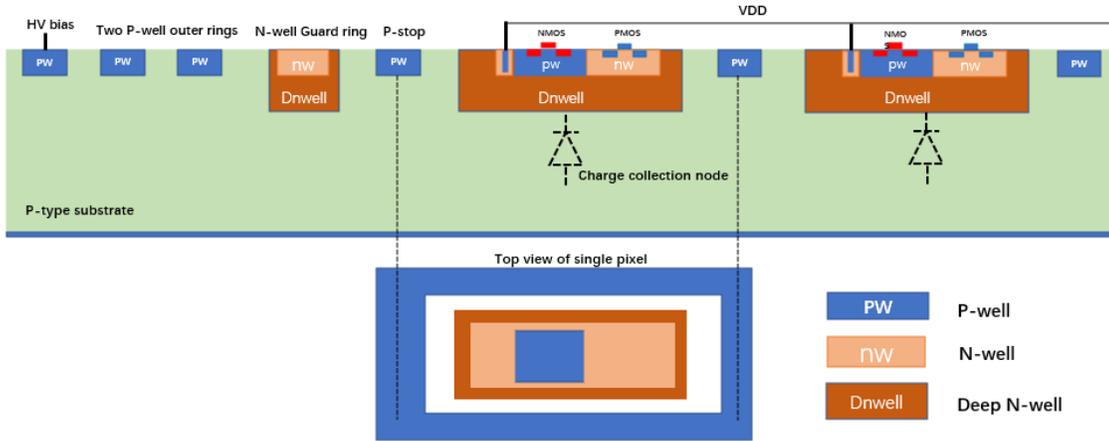
CSA output as function of charge injection



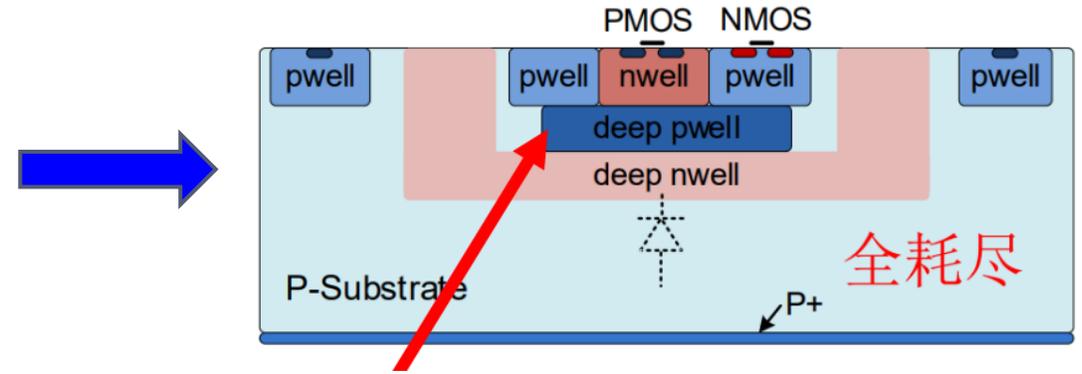
详情请见section4: “55nm HVCMOS单片探测器COFFEE2前端电路设计和测试”, 陆卫国

使用的工艺条件：影响设计方案

目前国产55nm工艺节点，成熟商业制程上最合适的条件：



更理想的工艺优化方向：与多家国内厂商接触，已有一些初步意向



- 阱结构：三阱；可实现信号收集极对像素内电路的包裹
- 晶圆电阻率：10欧姆·厘米；
- 金属层数：8+1层；有利于最终大面积版图的走线
- HV工艺：信号收集极 DNW 和 PSUB之间可承受 > 70V偏压；
在当前晶圆阻值条件下，耗尽深度约 10 — 20 μm ；
(对应1k – 2k e^- 的信号总量)

积极与国内各厂磋商，期望实现的调整：

1. 替换高阻晶圆；可大幅增加耗尽深度，可提升信号总量
(2k – 20k e^-)、降低前端等效电容 → 获得更高的信噪比；
2. 微调阱的结构：增加Nwell与DNW之间的隔离层，使得像素内可集成复杂的数字电路 → 大幅增加设计自由度，提升综合性能；
..... Efforts are still on going

COFFEE3 设计思路

MAPS的性能由 sensor + ASIC共同决定，工艺条件极大的影响sensor的性能，在国产55nm工艺尚未理想的情况下，COFFEE3 设计重点在验证读出电路构架和核心功能模块的实现：

- ◆ 工艺条件的优化：在并行的继续推动

- 推动国产55nm MAPS 技术/工艺的发展，以获得未来探测器性能和设计自由度的进一步提升；

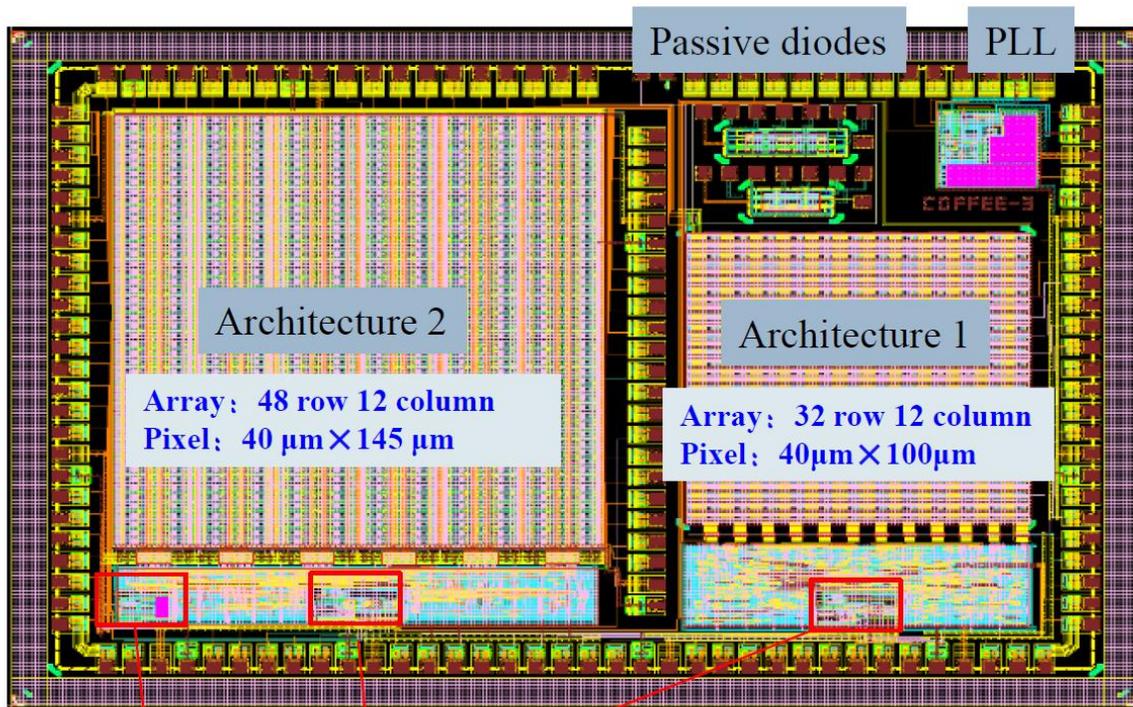
- ◆ ASIC设计，基于未来优化后的工艺条件，满足探测器综合性能需求

- 位置分辨：~10 μm （单方向）；主要由像素尺寸决定
- 时间精度：~5 ns；
- 功耗：< 200 mW/cm²；

- ◆ 对未来发展的考虑：挖掘先进工艺节点的潜力，利用好 180nm -> 55nm的收益

- 更先进的工艺节点可以获得信号处理速度、功耗、TID等方面的收益；
- 更高的集成度也可转换为需要的性能优势：相同数字功能面积约为180nm上的1/10

COFFEE3整体版图和构架



DLL

LVDS driver/receiver

COFFEE3 版图，面积 $3 \times 4 \text{ mm}^2$ 。2025.1月提交，本周收到芯片

PLL设计详情请见section4: “应用于CMOS像素探测器的高性能锁相环电路设计”，施展

◆ 两种读出构架设计方案：对应不同指标优先级和工艺条件

- 构架1：像素内NMOS设计，相对低功耗方案，可基于三阱工艺；
- 构架2：像素内CMOS设计，可应对更高击中率的方案，需要基于未来四阱工艺；
- 与像素阵列匹配的外围数字读出电路；

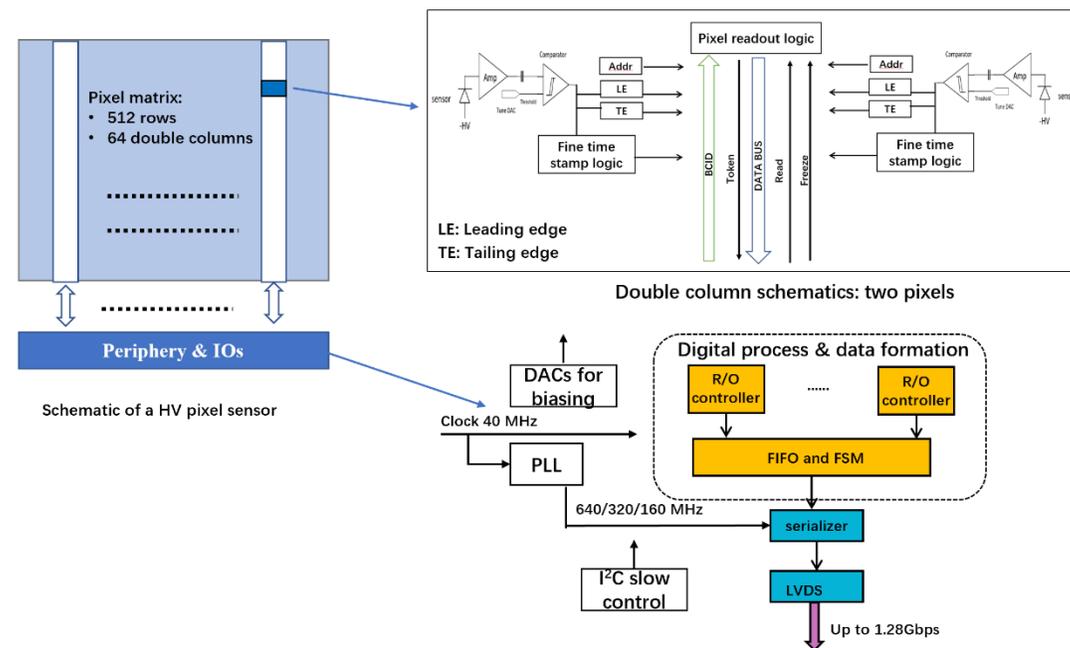
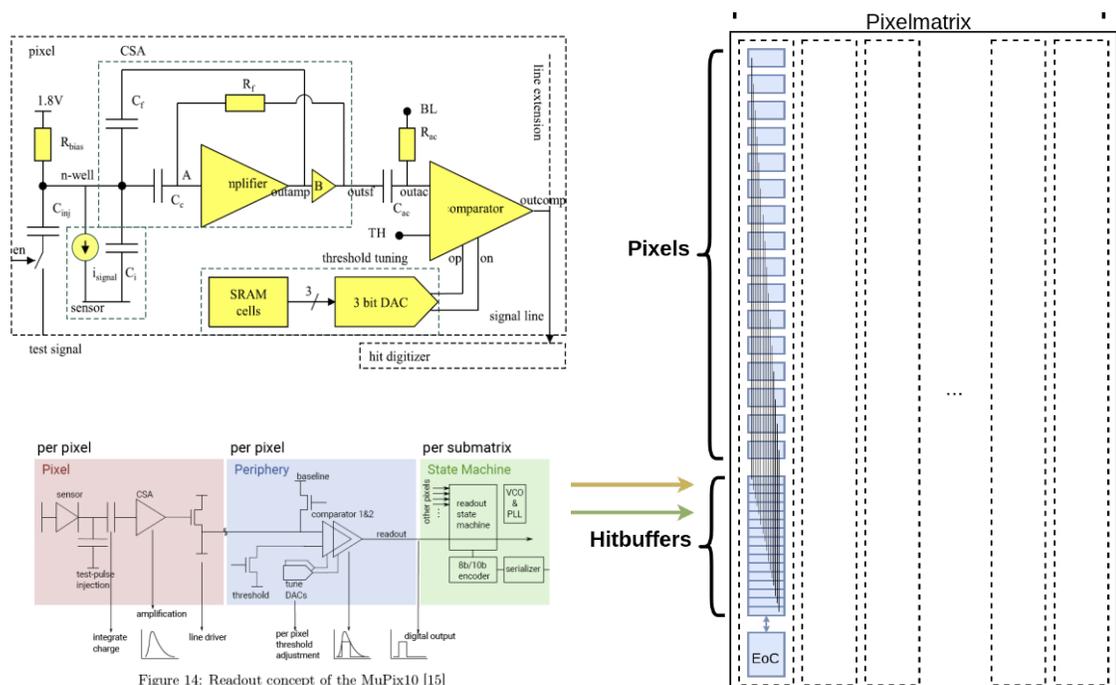
◆ 必要的外围功能模块：DLL、LVDS、PLL等；IP积累、整体功耗评估；

◆ Passive diode 阵列：与两种方案的像素尺寸对应，用于sensor和工艺的进一步研究；

读出构架方案

方案1: 像素内NMOS设计、完成数字化后，并行传输到阵列底部，在阵列底部打时间标记。可基于当前3阱工艺

方案2: 像素内使用完整的CMOS设计，集成像素级别的TDC模块，粒子击中信息（到达时间、结束时间）记录在每个像素本地，再按优先级次序读出到阵列底部；需要优化后的四阱工艺



◆ 像素内电子学相对简洁：适用于低功耗优先级较高、hit density 不高的场景 (< 35 Mhz)

◆ 像素内电子学相对复杂：适用于高hit density场景 (>100Mhz)，功耗略高；

一些关键性能的仿真结果



位置分辨：像素尺寸决定下限

COFFEE3中实现的单像素版图面积：

方案1： $40\ \mu\text{m} \times 100\ \mu\text{m}$

像素内部横向预留了大量空面积

给全尺寸阵列布线

方案2： $40\ \mu\text{m} \times 145\ \mu\text{m}$

COFFEE3中像素内设计面积基本用满，但版图

图仍然有优化空间，可扩展到全尺寸阵列

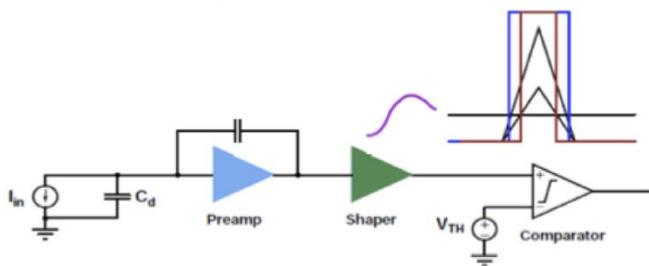
生产后实际获得的像素尺寸是版图面积按比例缩小后的结果（65nm工艺，图形按0.9比例缩小后获得55nm工艺）

两种方案流片后实际的像素短边边长： $40 \times (0.9) = 36\ \mu\text{m}$

该方向位置分辨最差情况（cluster size = 1）： $36/\sqrt{12} \approx 10\ \mu\text{m}$

时间分辨：多重因素影响

Sensor Pre-Amplifier Time measuring circuit



典型的时间测量探测器结构

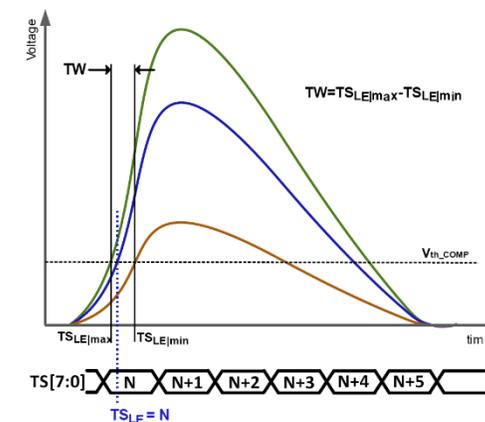
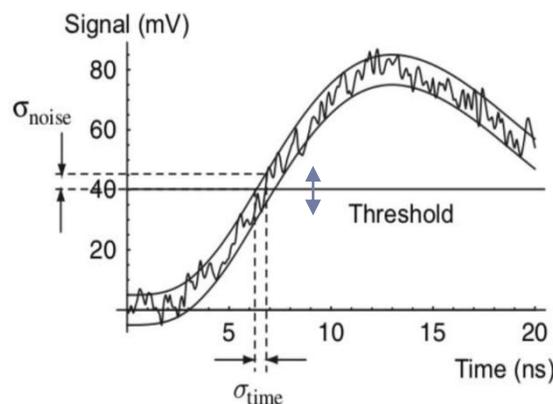
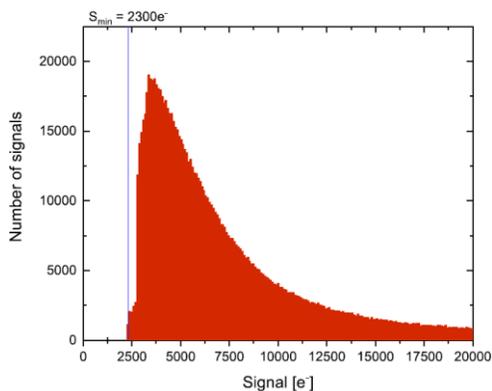
$$\sigma_t^2 = \sigma_{TW}^2 + \sigma_J^2 + \sigma_{TDC}^2$$

(只记录到达时间前沿Leading edge)

电子学噪声、阈值的不一致性等

TDC量化噪声：
时间标记bin size / $\sqrt{12}$

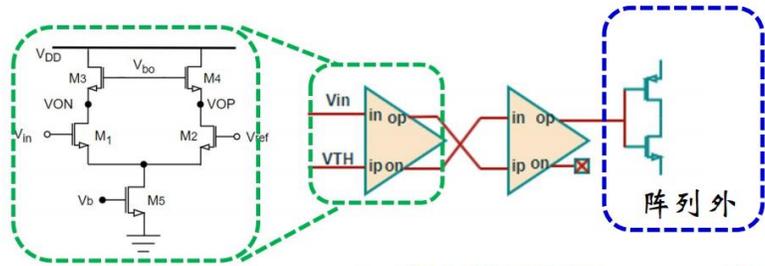
信号量分布、模拟前端设计、比较器阈值设置等



高阻、全耗尽HV-CMOS工艺中MIP粒子产生的总信号量：约2k - > 20k e⁻

时间分辨：Time-walk的影响

构架1：CSA+NMOS比较器



Response time:

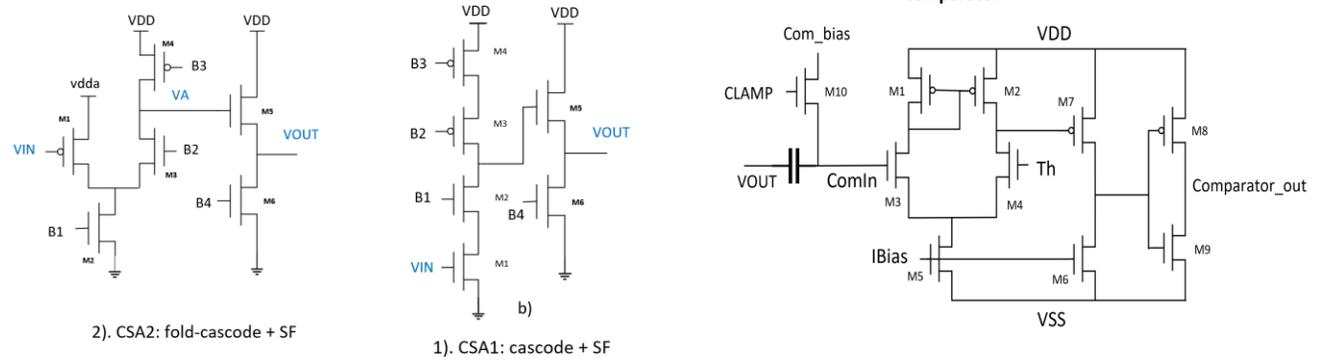
$$\tau_{CSA} \propto \frac{1}{g_m} \frac{C_d}{C_f}$$

Time-walk仿真统一设置:

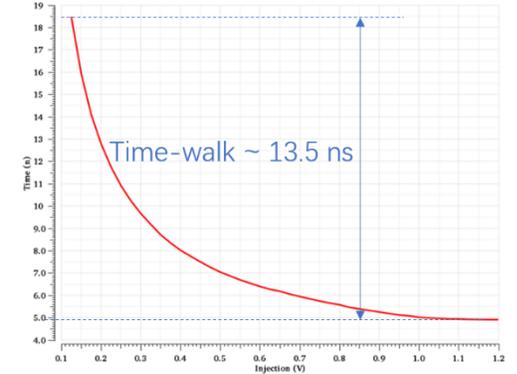
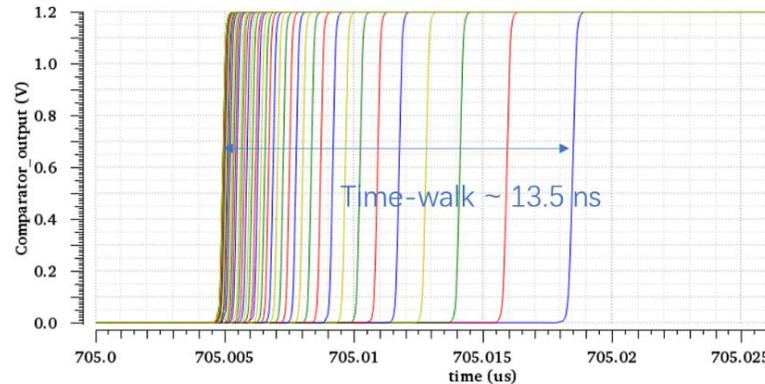
收集极等效电容	~200fF (预估)
总信号量	2k - 20ke- (按高阻晶圆预估)
阈值设置	5 倍的噪声值仿真值

$$\sigma_{TW}^2 \text{ 贡献 } < (4 \text{ ns})^2$$

构架2：CSA+CMOS比较器



三种像素内前端设计time-walk分别为： 22ns, 16ns, 13.5ns



不同输入信号量与比较器前沿过阈时间的关系

时间分辨：噪声的影响

• Noise:

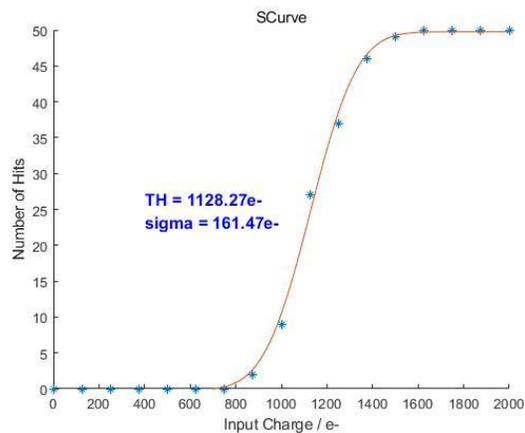
$$ENC_{thermal}^2 \propto \frac{4kT}{3g_m} \frac{C_d^2}{\tau}$$

噪声仿真统一设置:

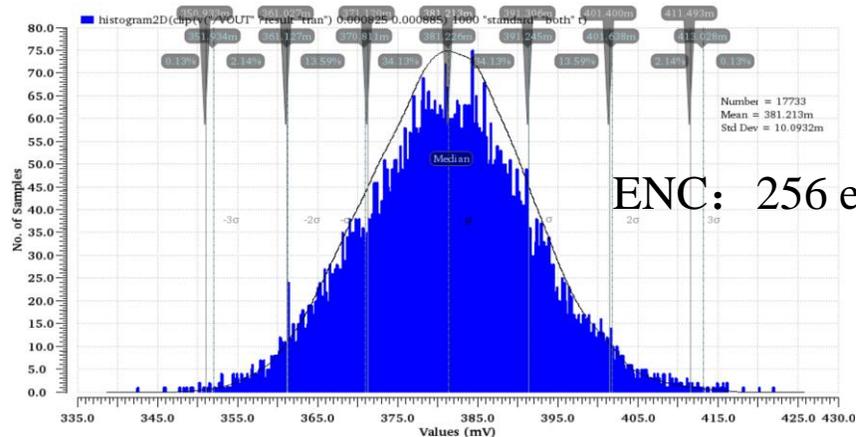
收集极等效电容	~200fF (预估)
温度设置	室温 27°

➤ 对于像素之间阈值的不一致性 (FPN) 噪声: 每种像素内部均集成了4-bit的DAC, 可单独配置每个像素的阈值, 调节后的影响预期将大幅缩小, 整体噪声贡献将主要来自于瞬态噪声;

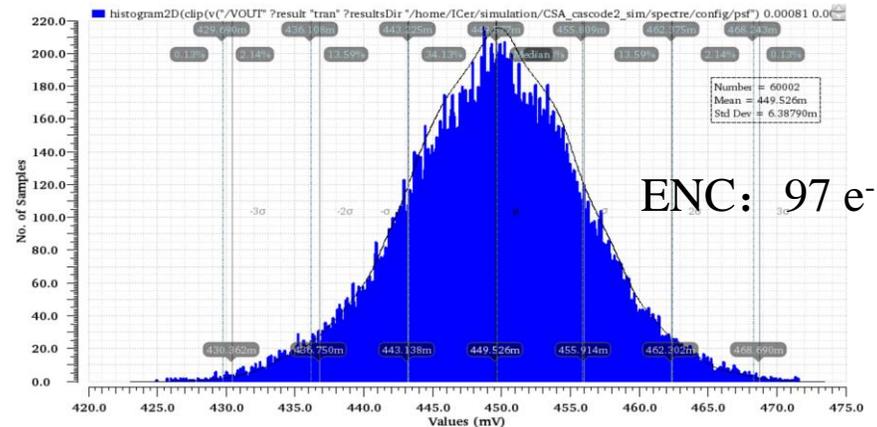
➤ 三种结构瞬态噪声等效电荷分别为: ~160 e⁻, ~256 e⁻, 97 e⁻, 在使用高阻晶圆后, 仅为最小信号量的1/10左右;



S-curve拟合

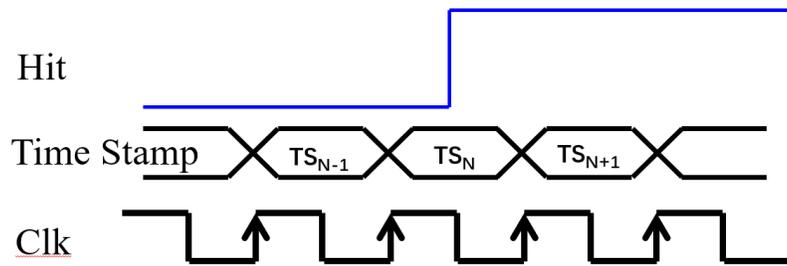


噪声仿真分析



时间分辨：TDC量化噪声的影响

构架1：在阵列底部打时间标记

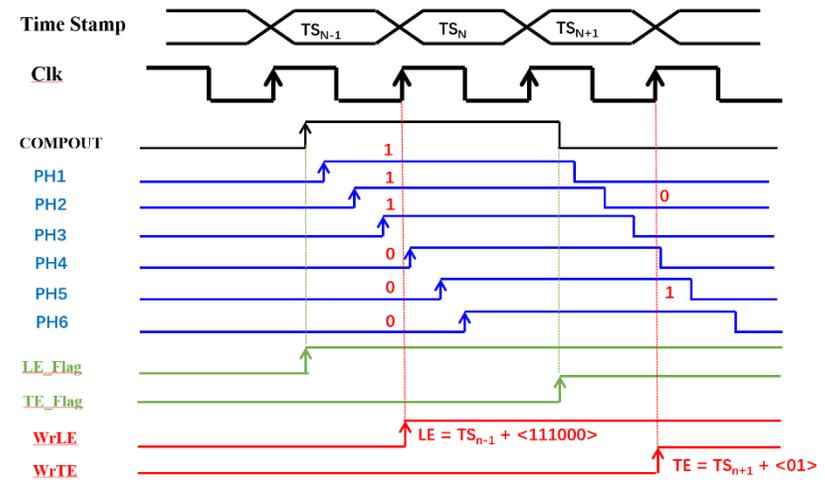


时间戳可使用内部40Mhz或由外部输入同源时钟：

160 Mhz 或 320 Mhz，分别对应25ns，6.25ns和3.125ns的时间戳宽度；

构架2：像素内集成基于延迟链结构的Coarse-fine TDC。延迟锁定由阵列底部的DLL模块提供。

像素内提供时间信息工作原理



像素阵列内使用40Mhz的粗时间戳（25ns周期），在单像素内部，采用延迟链的结构，处理比较器的输出，将一个粗时间周期分成6份，对击中事例到达（LE）前沿提供 4.16 ns的细时间戳；

时间分辨目标：区分**23ns/25ns**对撞间隔

$$\sigma_t^2 = \sigma_{\text{TW}}^2 + \sigma_{\text{J}}^2 + \sigma_{\text{TDC}}^2.$$

$(4 \text{ ns})^2$ $< (2 \text{ ns})^2$



高阻晶圆条件下，约1/10最小总信号量，预计 $\ll (2\text{ns})^2$

仿真时间分辨 $< 5 \text{ ns}$

尚不包含利用TOT信息对前沿时间精度的补偿，未考虑时钟延迟($\sim 1\text{ns}$, 可补偿)、抖动(ps量级)等影响，多个仿真参数基于参考经验值，最终结果以测试结果为准。

功耗

构架1:

- 像素部分 $10\mu\text{W}/\text{pixel}$

构架2:

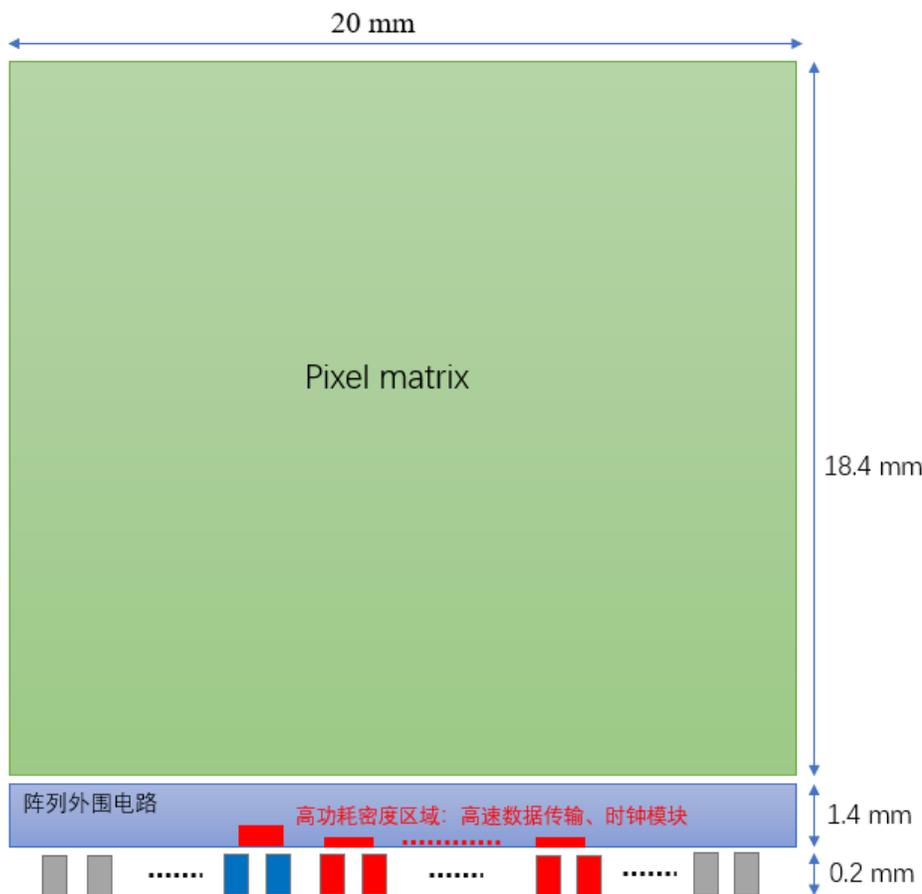
- 像素部分:
 - 模拟前端两种设计: $11.1\ \mu\text{W}/\text{pixel}$ 和 $9\ \mu\text{W}/\text{pixel}$;
 - 时钟分发功耗: $\sim 20\ \text{mW}/\text{cm}^2$;
 - Fine-TDC: 只在有击中的像素工作;
 - 击中率相关的动态功耗: 暂未量化评估;

对应完整面积芯片, 灵敏区域面积预估功耗: $\sim 138\text{mW}/\text{cm}^2$;

阵列外围功能模块面积、功耗仿真值

阵列外围模块	面积	频率	功耗
数字电路	/	40 Mhz	$\sim 40\ \text{mW}/\text{cm}^2$
PLL	$360 \times 360\ \mu\text{m}^2$	160/320/640 Mhz	0.98/1.76/2.66 mW
LVDS接收器	$70 \times 140\ \mu\text{m}^2$	40/160/320/640 Mhz/	1.13/1.58/2.18/3.38 mW
LVDS发送器	$112 \times 250\ \mu\text{m}^2$	40/160/320/640 Mhz	4.87/5.04/5.27/5.73 mW

功耗和面积预估



预计全尺寸、全功能COFFEE3芯片的layout

功耗、面积整体预估数据

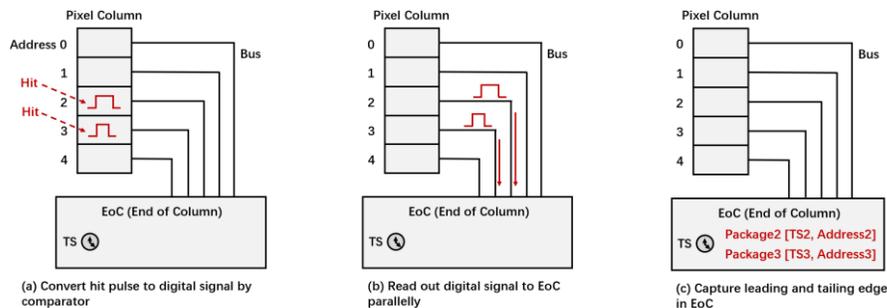
项目	像素阵列	阵列外围	总体
面积	$20 \times 18.4 \text{ mm}^2$	$20 \times 1.6 \text{ mm}^2$	$20 \times 20 \text{ mm}^2$
总功耗	~580 mW	$16.7 \text{ mW} + 5.04 \times 1 \text{ mW}$	~ 602 mW
功耗密度	~158 mW/cm ²	123 mW/cm ² (按1个数据通道估算)	~ 150 mW/cm ² (尚未包含击中率相关的动态功耗)

挖掘先进工艺节点的潜力：更高的集成度换取性能提升

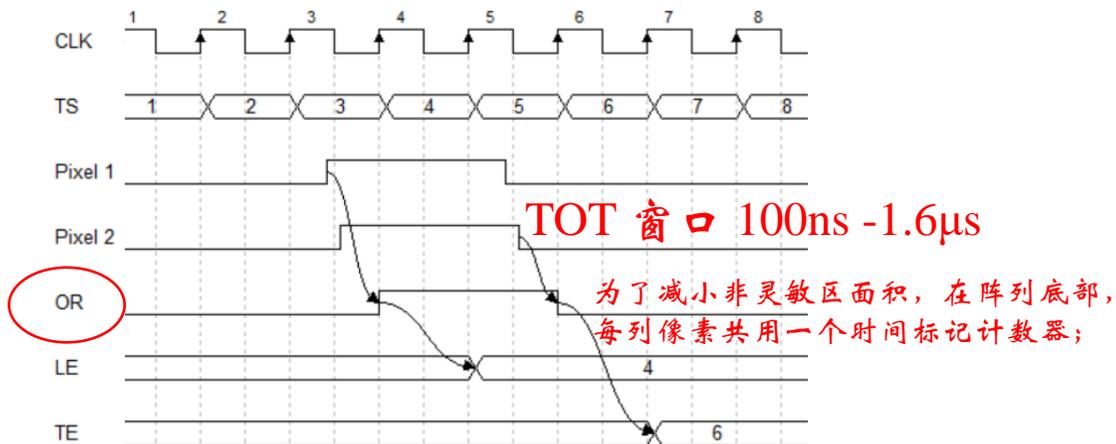
-- 55nm工艺节点上，相同功能数字电路版图面积是180nm工艺上的~1/10。

阵列外围更多功能的集成

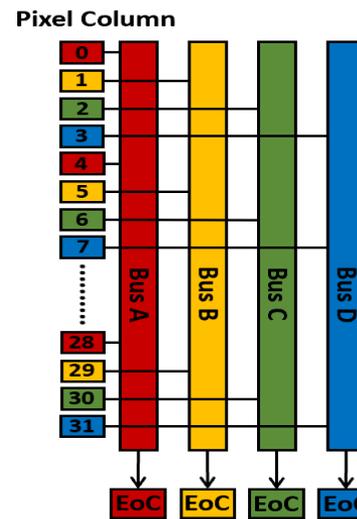
读出构架 1: 像素击中信息并行传输到阵列底部，打时间标记



Each column shares an EoC module



- 每列底部1个EoC逻辑模块，包含1个时间标记计数器，当计数率较高，同一列像素比较器输出高电平时间有重合时，时间标记会不准确。

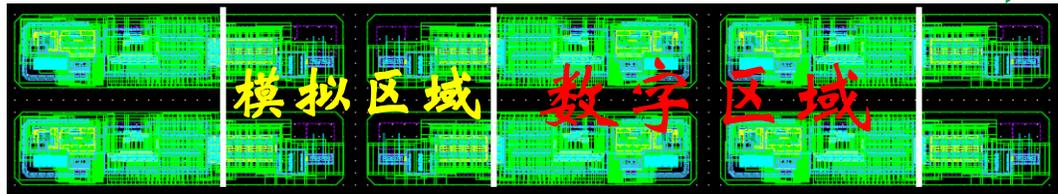
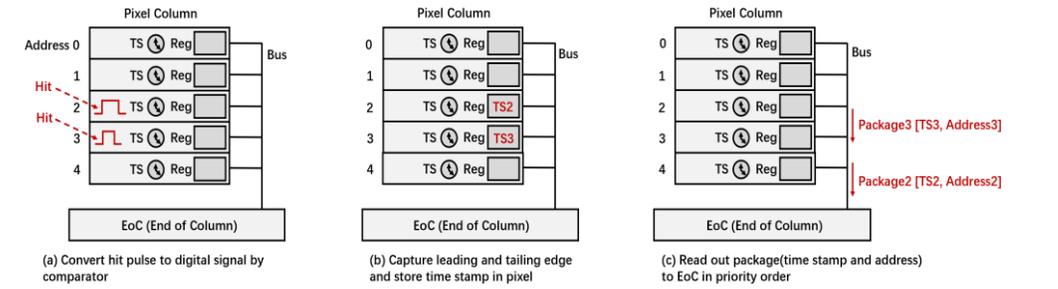


One pixel column architecture in COFFEE3.

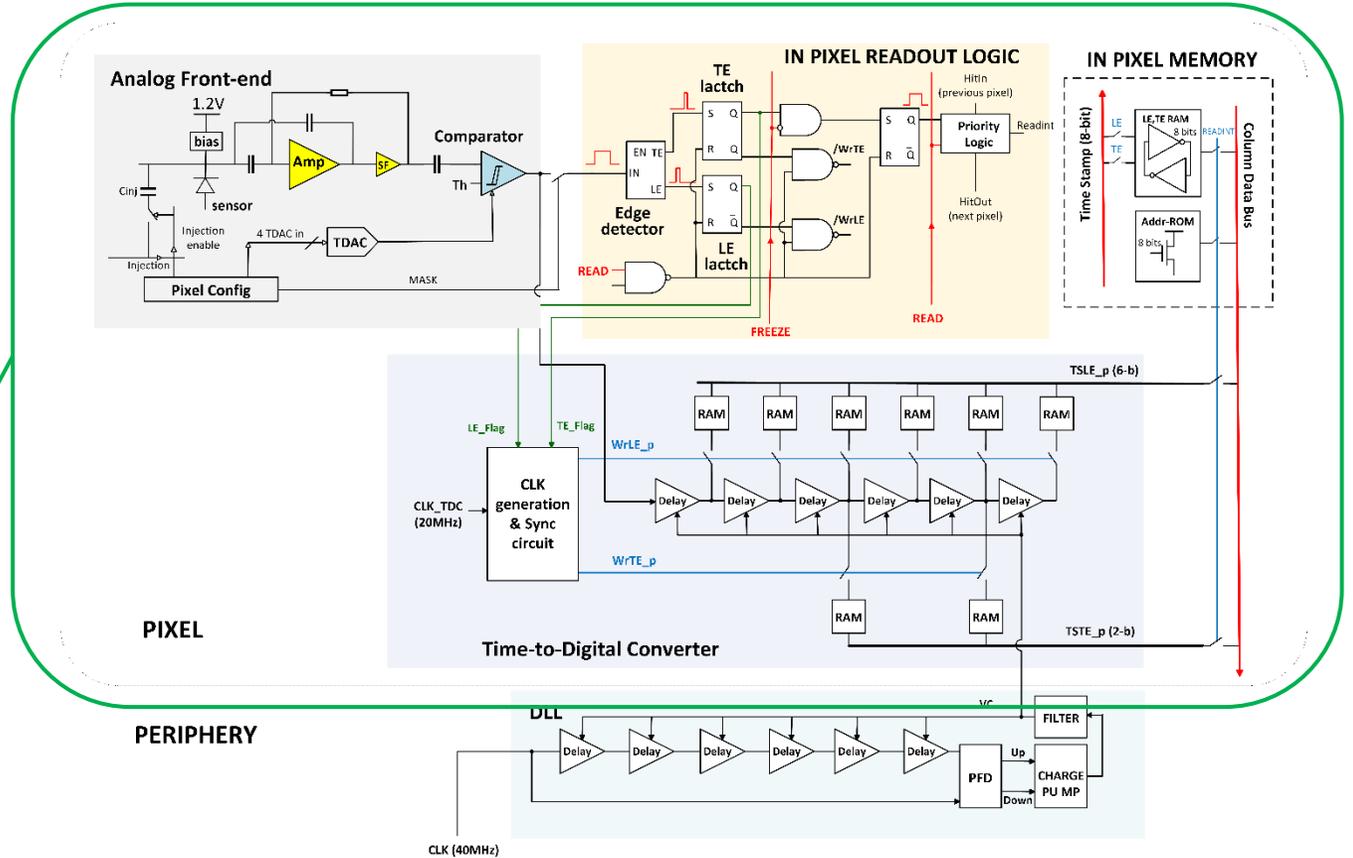
- COFFEE3 将每列像素分为4组，输入到4个不同的EoC模块，每个EoC模块又分别包含了两个单独的状态机和时间标记计数器，可以在粒子同时击中相邻像素，以及同一列多个像素同时着火的情况下，依然提供准确的时间信息；

像素内更多功能集成

构架2: 在每个像素内记录时间信息



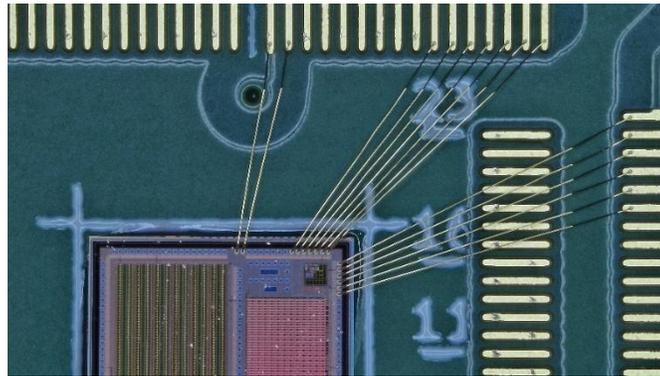
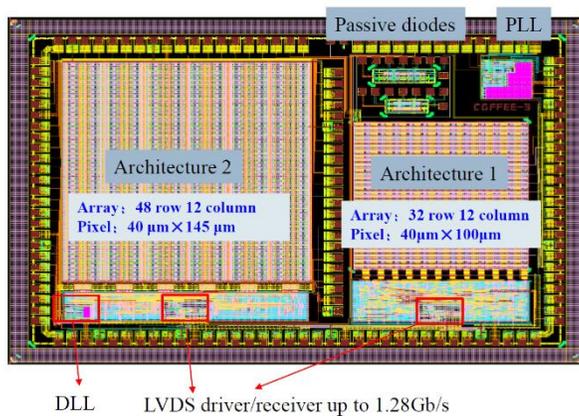
2×3像素版图，单像素尺寸40*145 μm²



模拟前端、比较器、像素内DAC、优先级读出结构、存储器、TDC等均可集成在有限的像素面积内，进一步提升了HV-MAPS在高hit density应用场景中提供高精度击中信息的能力。Hit density处理能力>100Mhz，更小的外围非灵敏区面积 (<10%)。

总结和展望

- 完成了55nm HV-CMOS商用工艺上的第二次设计流片COFFEE3;
- 鉴于工艺的不确定性，完成了两种不同的读出构架方案;
- 每种方案都包含了独立且相对完整的功能、关键节点单独引出（160个IO端口），各模块可单独测试（包括数字电路），设计值满足项目关键指标的要求;
- COFFEE3的测试结果将验证设计思路和电路性能;
- 同步的工艺优化方面取得的进展将于COFFEE3测试结果（正在进行）一起，指导下一版COFFEE4设计的优化



致谢

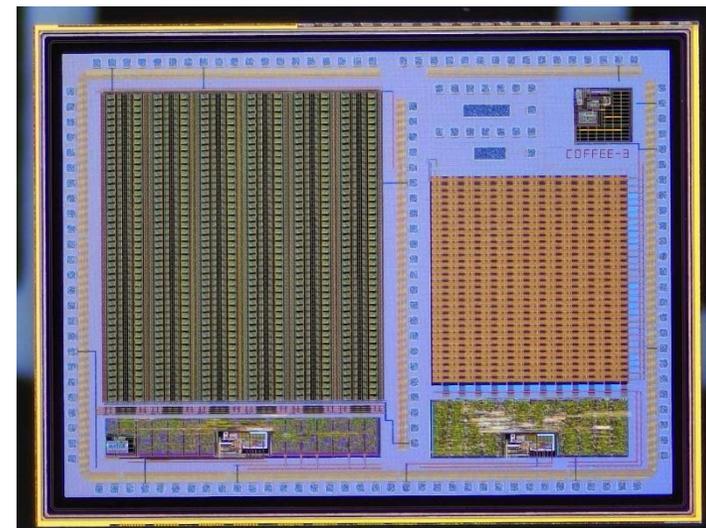


COFFEE3设计人员:

- 高能所: 李乐怡 (山东大学/高能所)、张晓旭 (南京大学/高能所)、赵梅、陆卫国、周扬;
- 浙江大学: 邓建鹏、李鹏戎;
- 西北工业大学: 吴慧敏、赵泽焯、赵宇、魏政、魏晓敏;
- 大连民族大学: 陈洋、王雨颀、施展;

COFFEE2的验证对下一步设计的重要输入:

- 高能所: 项志宇、曾程、陆卫国、徐子俊、李一鸣
- 浙江大学: 邓建鹏、李鹏戎、朱宏博



COFFEE3芯片在显微镜下的照片