



第四届全国辐射探测微电子学术年会，西安临潼

用于太阳X射线探测的 256×256 像素型读出ASIC研究进展

武晓余、窦尧星、程静思、徐德、高武*

西北工业大学

2025年7月17日

目录

- 1 研究背景
- 2 研究基础
- 3 近期工作进展
- 4 总结与展望

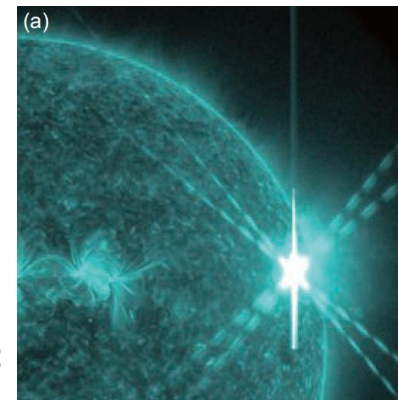


研究背景

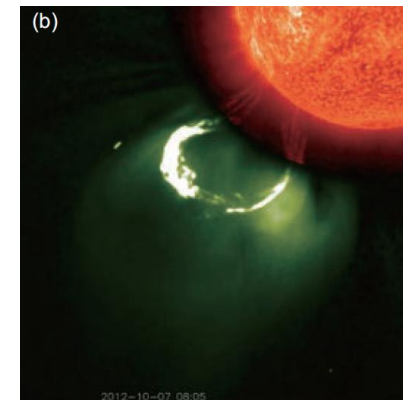
1.研究背景

□ 空间高能分辨X射线成像应用需求

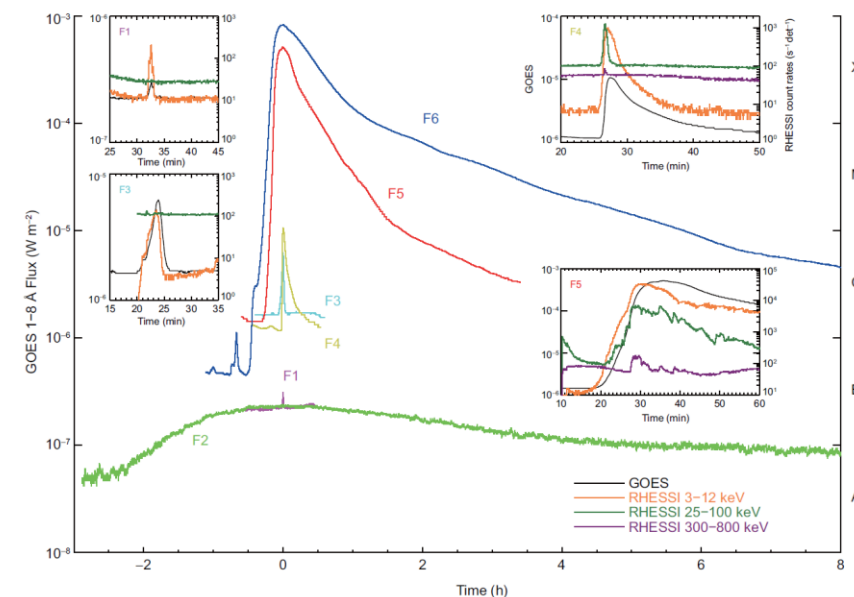
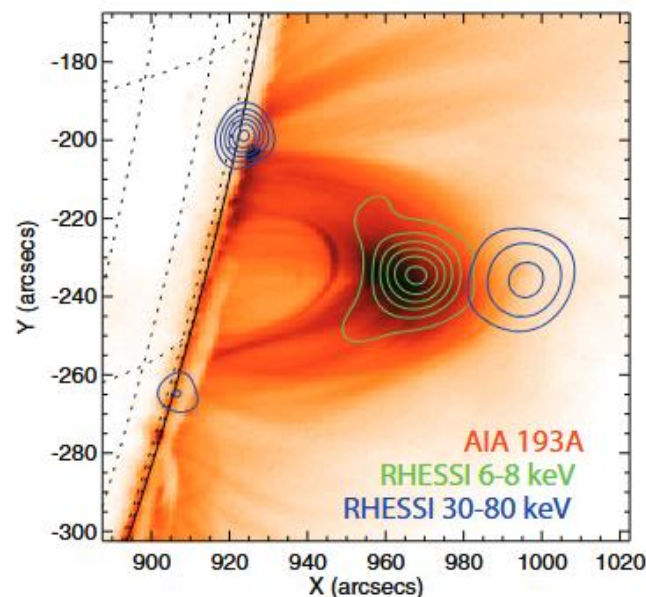
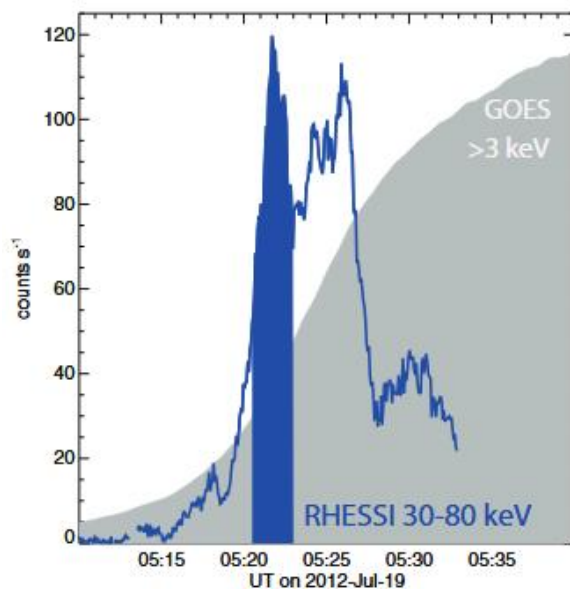
- 应用：观测太阳日冕物质抛射，耀斑等太阳活动
- 要求：
 - 高能量分辨率 $\rightarrow$ FWHM = 1keV@59.9keV
 - 高空间分辨率 $\rightarrow$ 耀斑空间大小从角秒级到角分级
 - 高通量 $\rightarrow$ X7级耀斑在10keV能段光子数可达 10^6 Mcps/cm²
 - 大动态范围 $\rightarrow$ 3 keV~150 keV



X7级耀斑



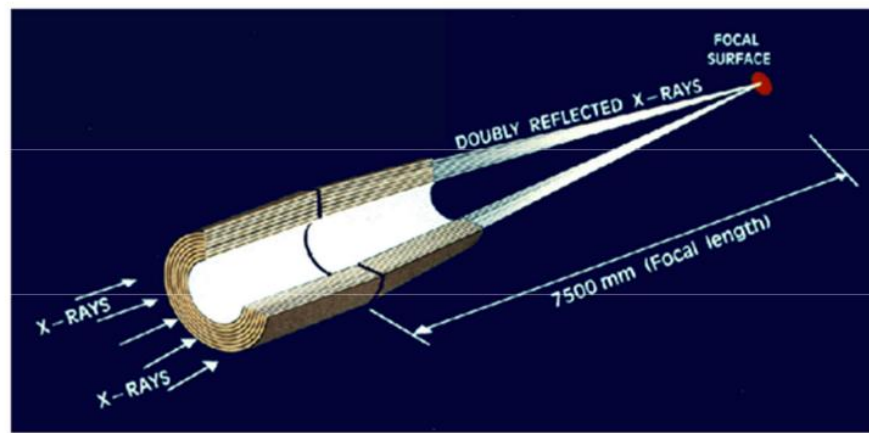
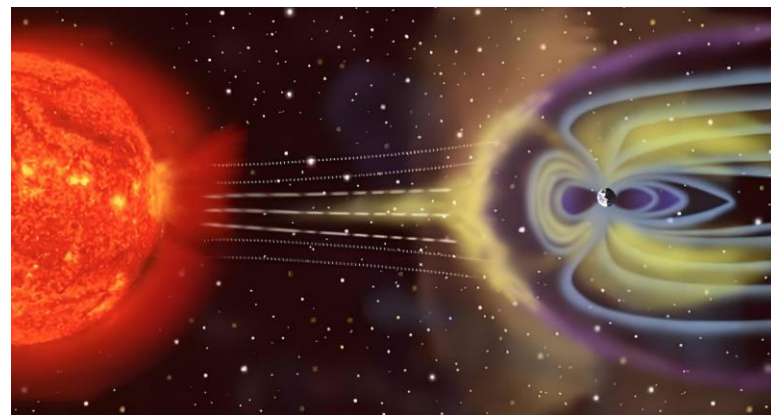
日冕物质抛射



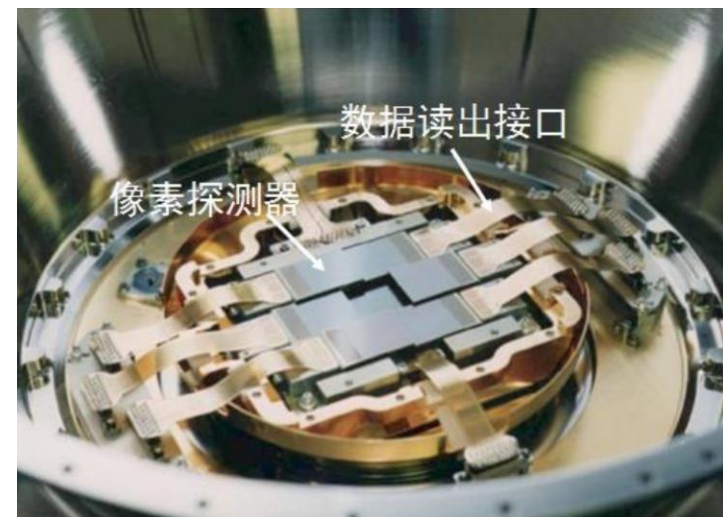
1.研究背景

□ 空间太阳X射线观测平台

- 由于地球磁场以及大气吸收作用，地面无法有效探测太阳X射线
- 近60年来，国际上发射约70颗卫星对太阳进行观测成像
- X射线成像类型：
 - 间接成像：动态范围小，分辨率低，需要进行图像重构
 - **直接成像 → 掠入射聚焦式成像**
- 掠入射聚焦成像：
 - 光学镜头制造难度高
 - 需要配备高性能带有**位置分辨能力的传感器**及配套**读出ASIC**



牛顿卫星掠入射成像原理图



NuStar卫星成像焦平面

1.研究背景

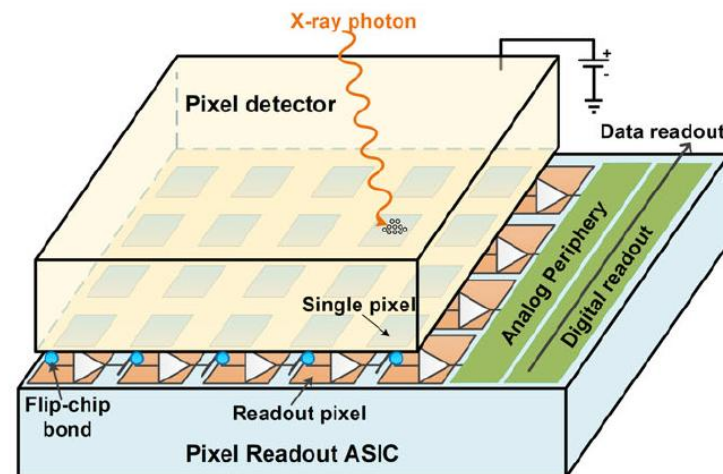
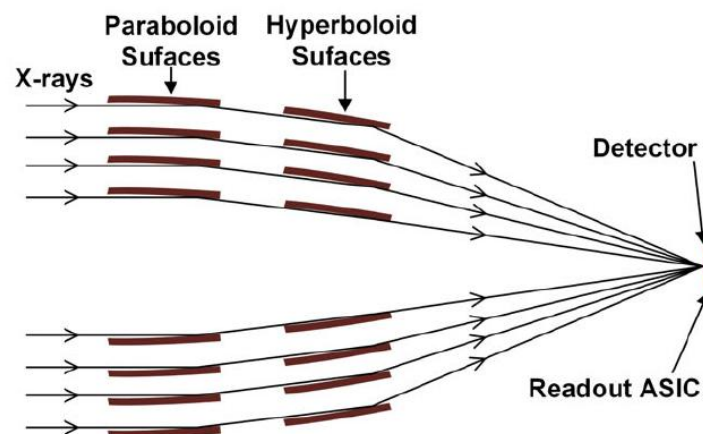
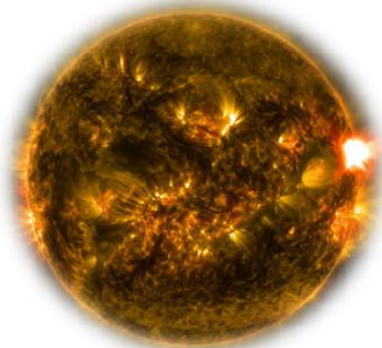
□ 用于太阳观测的像素型读出ASIC

– 要求:

- 高能量分辨率 → $\text{FWHM} = 1\text{keV}@59.9\text{keV}$ → 低噪声, 高一致性
- 高空间分辨率 → 耀斑空间大小从角秒级到角分级 → 小像素尺寸
- 高通量 → X7级耀斑在10keV能段光子数可达 10^6 Mcps/cm^2 → 高读出速率
- 大动态范围 → 3keV到150keV → Si像素探测器: 3~20keV, CZT像素探测器: 20~150keV

– 难点与挑战

- 低功耗小面积约束下的ENC建模及实现
- 阵列数据动态可重构读出算法
- 非理想效应校正

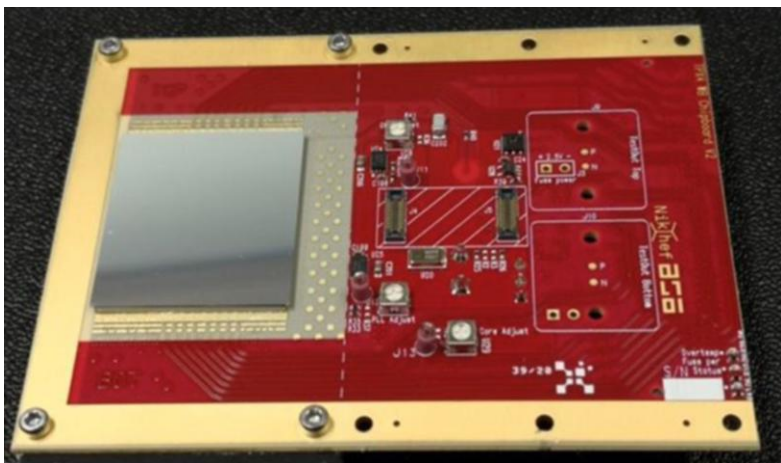


1.研究背景

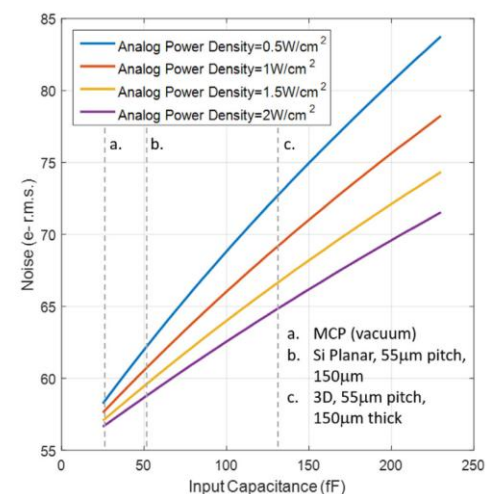
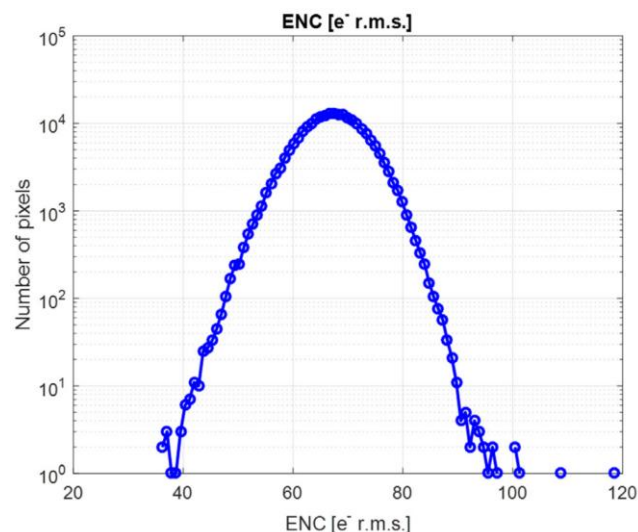
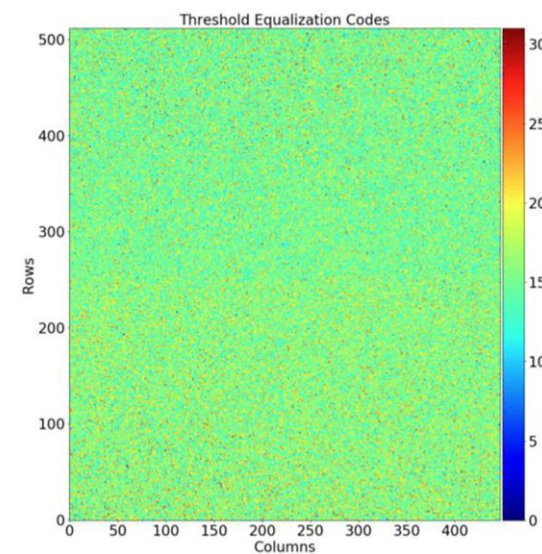
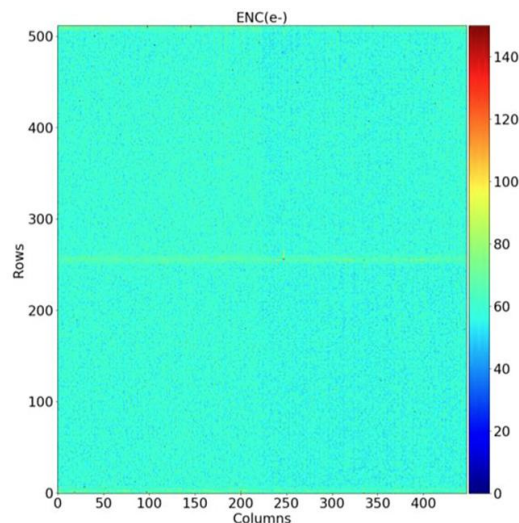
□ 国外研究现状

– Timepix4

- 工艺: CMOS 65nm
- 像素规模: 448×512
- 像素尺寸: $55 \times 55 \mu\text{m}^2$
- 芯片尺寸: $24.7 \times 30 \text{mm}^2$
- ENC: 68e^-



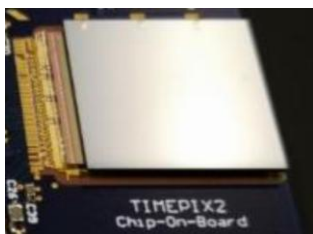
Timepix4传感器模组



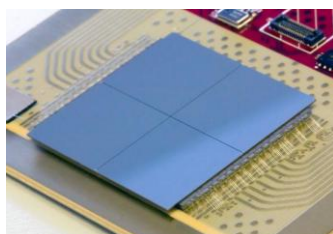
1.研究背景

□ 国外研究现状

- 美国布鲁克海文实验室的HEDIX系列专注超低噪声设计
- 欧洲CERN面向大面阵
- 波兰AGH主要专注低噪声和高计数率



CERN Timepix2
256×256



CERN Timepix4
448×512
68e⁻



波兰AGH LNPIX
128×256
44e⁻



波兰AGH UFERI
42×42
6Mcps/pix

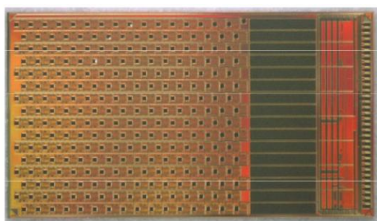
2015

2020

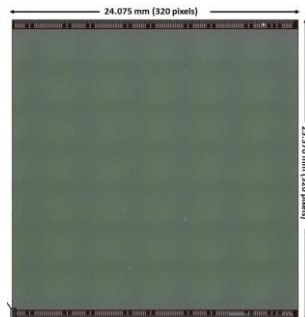
2023

2025

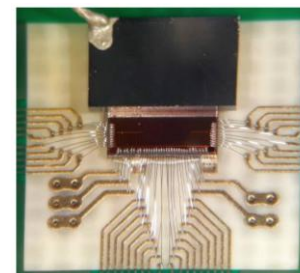
美国BNL HEXID
16×16
10e⁻



CERN Medipix4
320×320
19Mcps/mm²



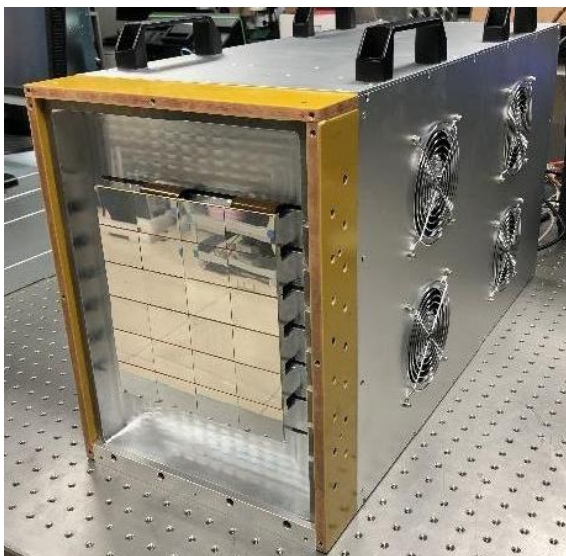
波兰AGH SPHIRD
64×32
10Gcps/mm²



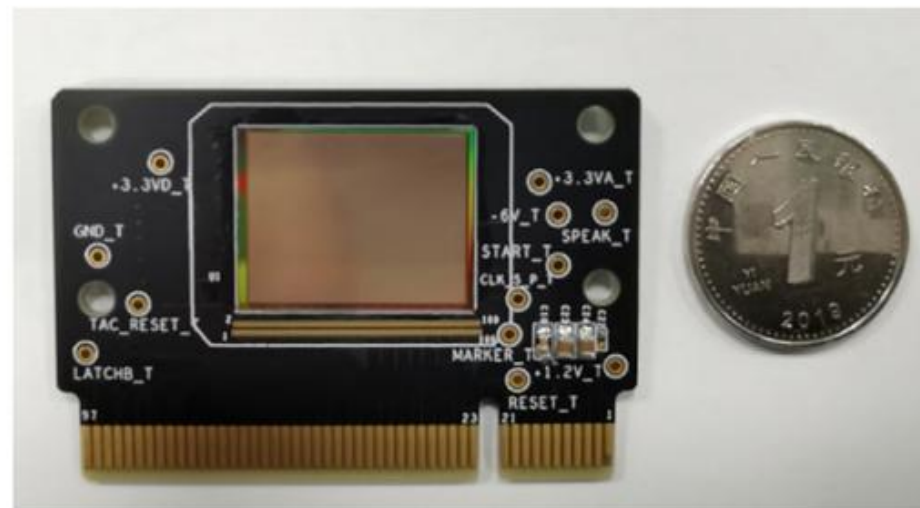
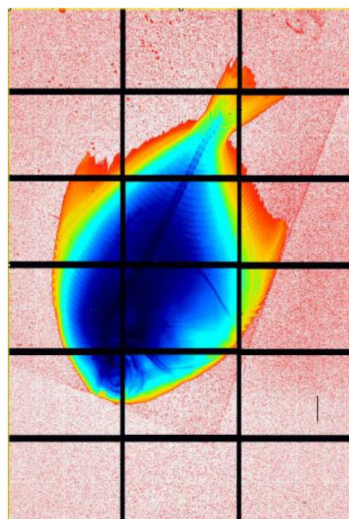
1.研究背景

□ 国内研究现状

- 高能所: HEPS-BPIX
 - 基于单光子计数模式和混合型探测器结构
 - 像素尺寸: $150 \times 150 \mu\text{m}^2$, 计数率: $> 2 \text{ Mcps/pixel}$, 探测范围: $8 \sim 20 \text{ keV}$
- 华中师范: Topmetal-M
 - 芯片面积: $18 \times 23 \text{ mm}^2$, 帧速率: 1.6 kHz/frame
- 清华、中科大、哈工大、西工大等均已同步开展像素型读出ASIC研究



HEPS-BPIX整机集成



Topmetal-M传感器模组

1.研究背景

□ 项目目标（国家自然科学基金重点项目 No.12235012，2023.1-2027.12）

- 同时匹配Si/CZT探测器
- 扩展性：多边可拼接
- 通过可重构配置可实现光子计数和能量测量

传感器指标	读出芯片指标	数采系统指标
探测器材料：Si/CZT	制造工艺：CMOS 130nm	结构：FPGA+CPU
像素尺寸：75μm	像素尺寸：75μm	基准时钟：50MHz
阵列规模：256×256	阵列规模：256×256	时间分辨率：< 1ns
探测范围：3~150keV	电荷范围：0.1~5.2fC	帧率：20~100fps
能量分辨率： < 1keV@60keV	数据位宽：> 8-bit	数据吞吐率：0.2~2Gbps
像素电容：< 200fF	等效噪声电荷：30e-(rms)	动态功耗：< 1W@50MHz
漏电流：< 50pA	触发计数率：> 1Mcps/cm²	抗辐射能力：TID > 300krad (Si) ； SEL LETth > 75MeVcm2/mg；SEU误码率 < 10-8bit day
抗辐射能力：漏电流增加不超过 10%@TID=300krad (Si)	静态功耗：< 50μW/Pixel	
	读出模式：全帧、感兴趣区域、零抑制 抗辐射能力：TID > 300krad (Si) ；SEL LETth > 75MeVcm2/mg；SEU误码率 < 10-8bit day	

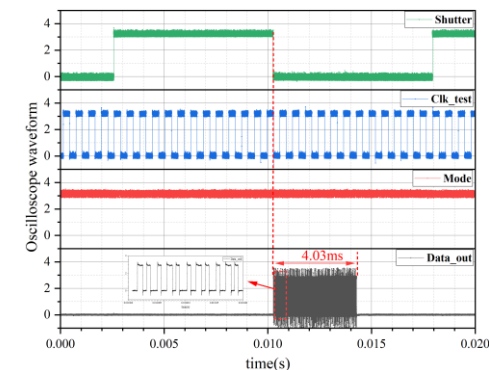
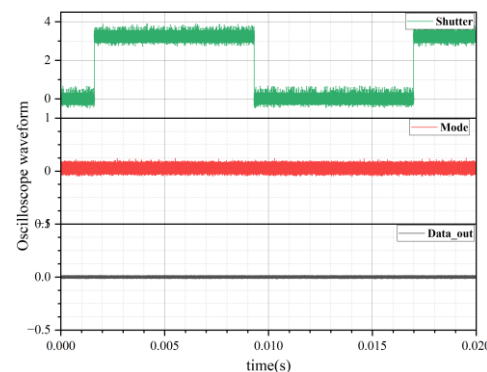
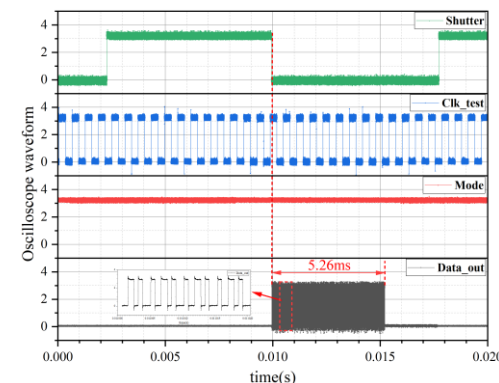
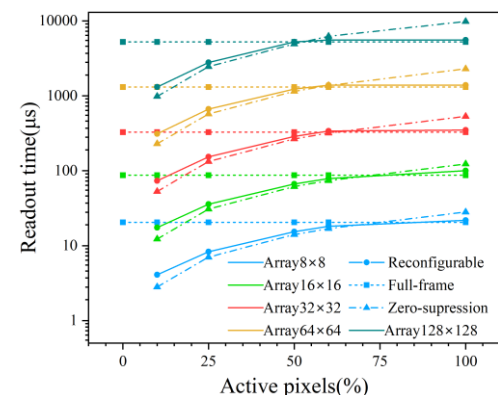
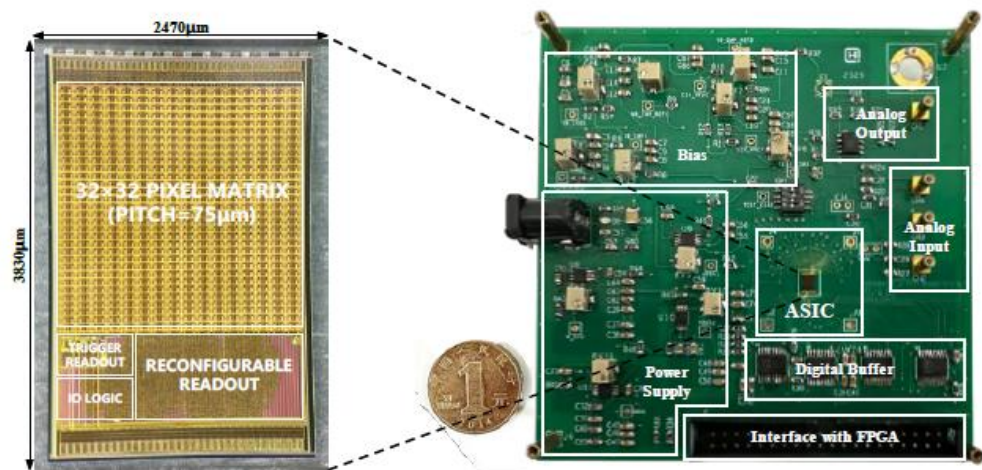


研究基础

2 研究基础

□ 动态可重构像素型读出芯片测试验证

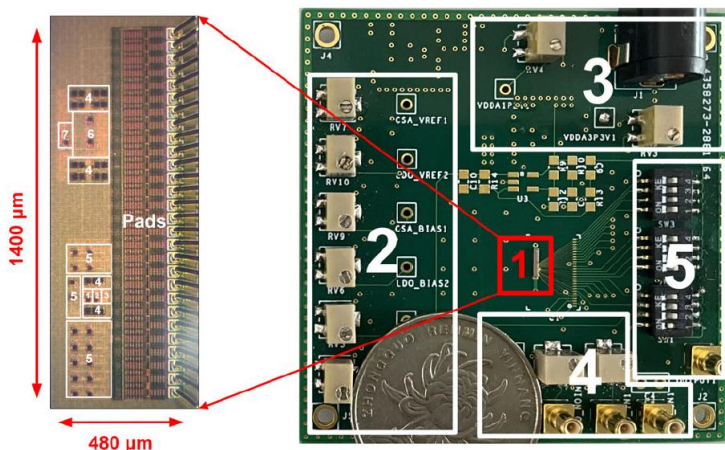
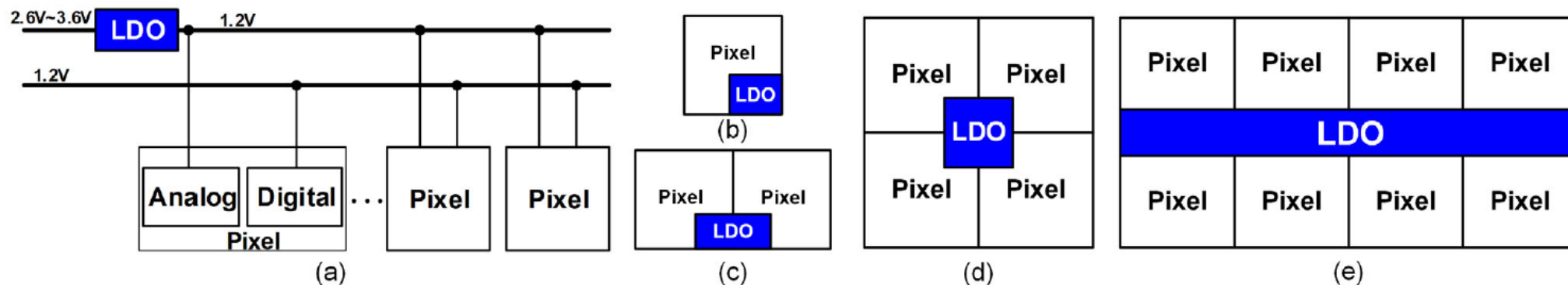
- 工艺: 180nm CMOS
- 阵列规模: 32×32
- 像素尺寸: $75 \mu\text{m} \times 75 \mu\text{m}$
- 芯片尺寸: $2470 \mu\text{m} \times 3830 \mu\text{m}$
- 成像帧率: **>1200fps@50MHz**



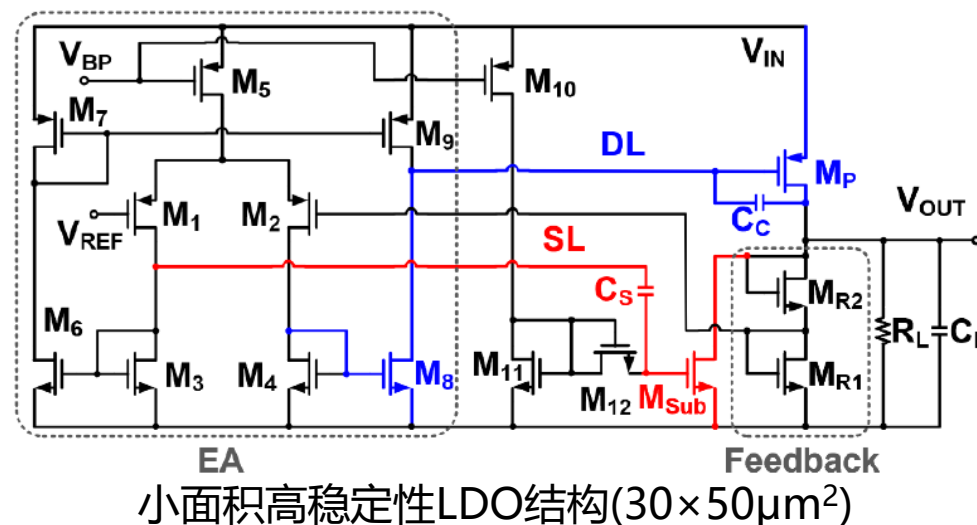
2 研究基础

□ 次环路补偿的LDO结构&超像素电路

- 超像素校准结构可提高超像素间增益一致性
- 基于次环路补偿的LDO能够有效提高相位裕度与增益裕度



原理样片及测试PCB

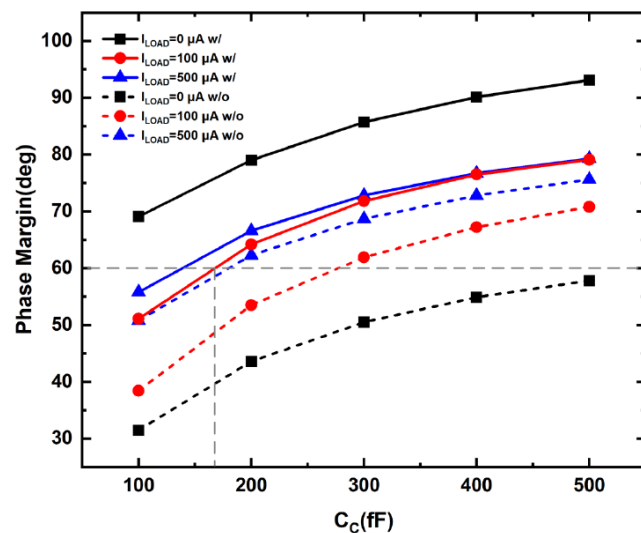


EA
小面积高稳定性LDO结构($30 \times 50 \mu\text{m}^2$)

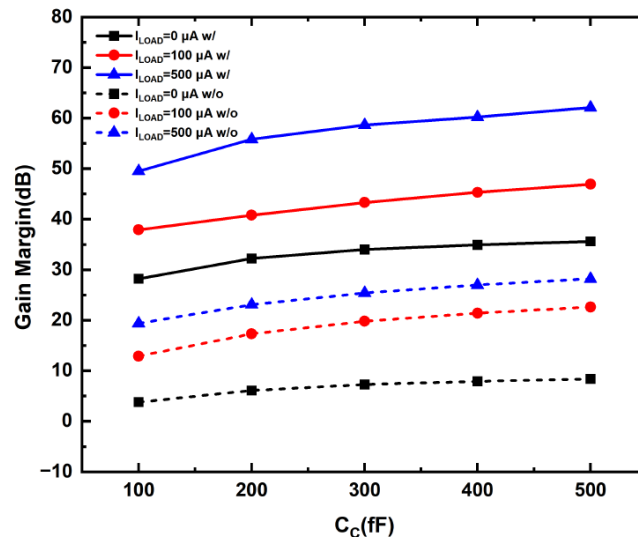
2 研究基础

□ 次环路补偿的LDO结构&超像素电路

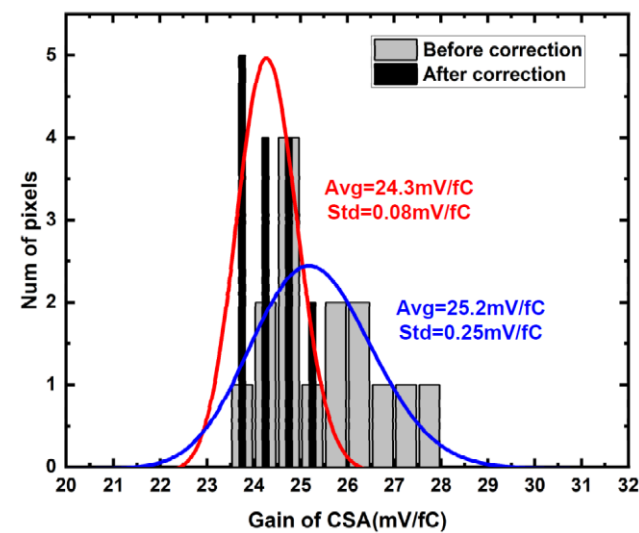
- 基于次环路补偿的LDO能够有效提高相位裕度与增益裕度
- 超像素校准结构可提高超像素间增益一致性 (标准差: $0.25\text{mV/fC} \rightarrow 0.08\text{mV/fC}$)



相位裕度提升对比



增益裕度提升对比



超像素校准结果



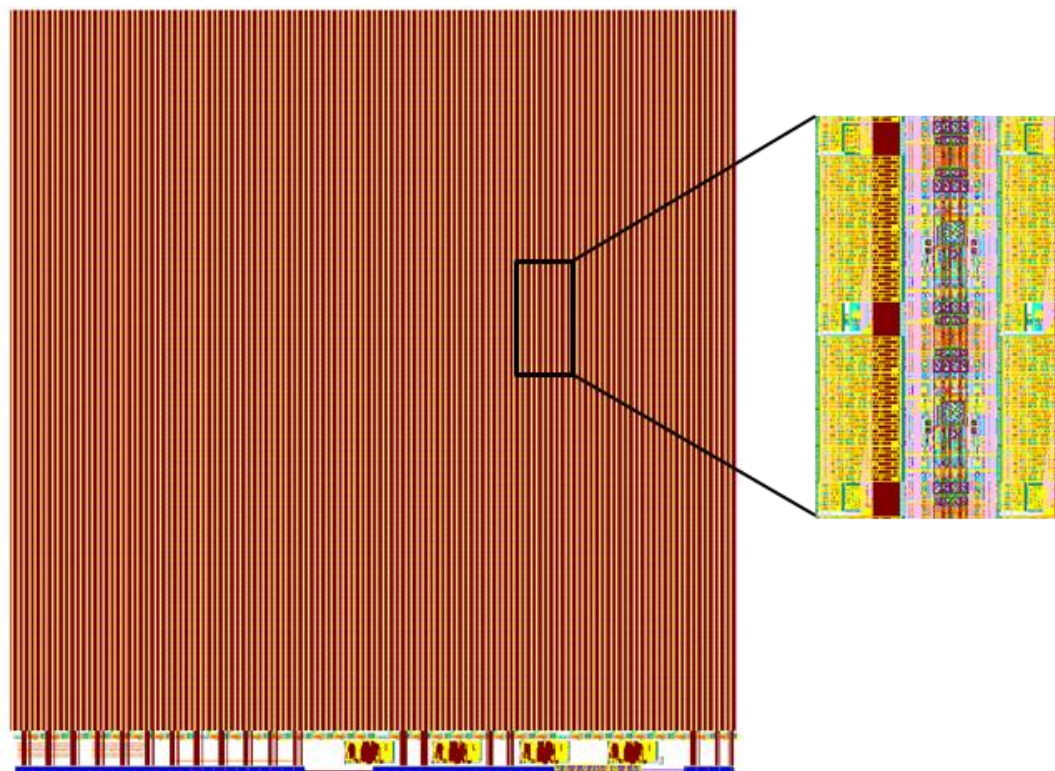
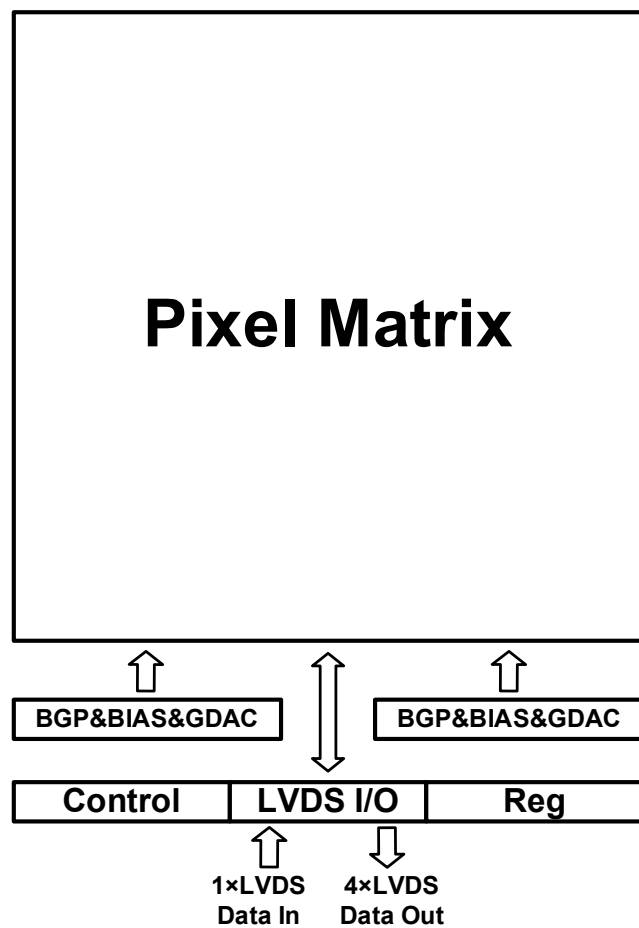
近期工作进展

3 近期工作进展



□ 像素型读出AISC结构

- 全芯片尺寸: $19.2 \times 22.0 \text{mm}^2$
- 外围电路包括: BandGap, GlobalDAC, BIAS, Control, LVDS, Register
- 采用单边供电方案, 全局供电最大压降为 **87mV** ; 功率密度: **2W/cm^2**

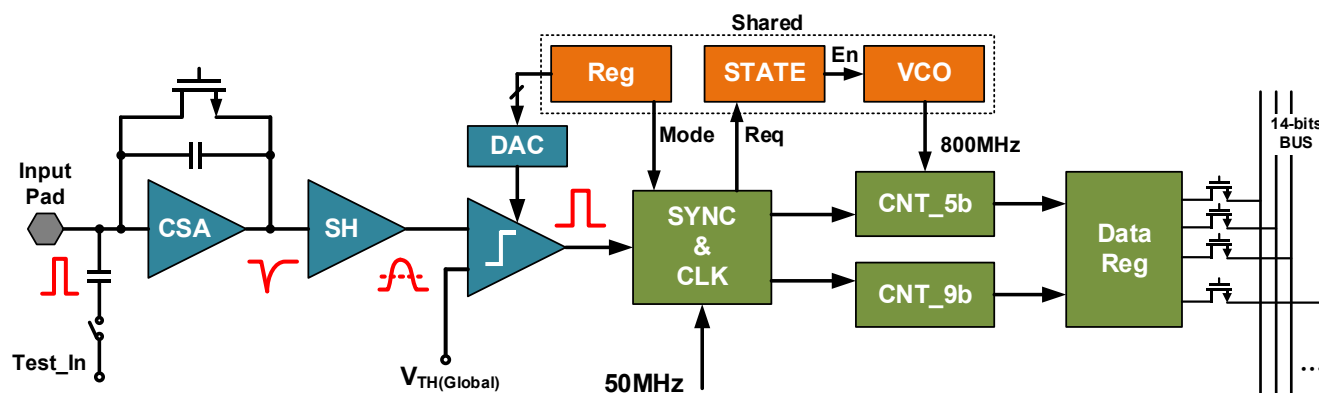


3 研究工作介绍

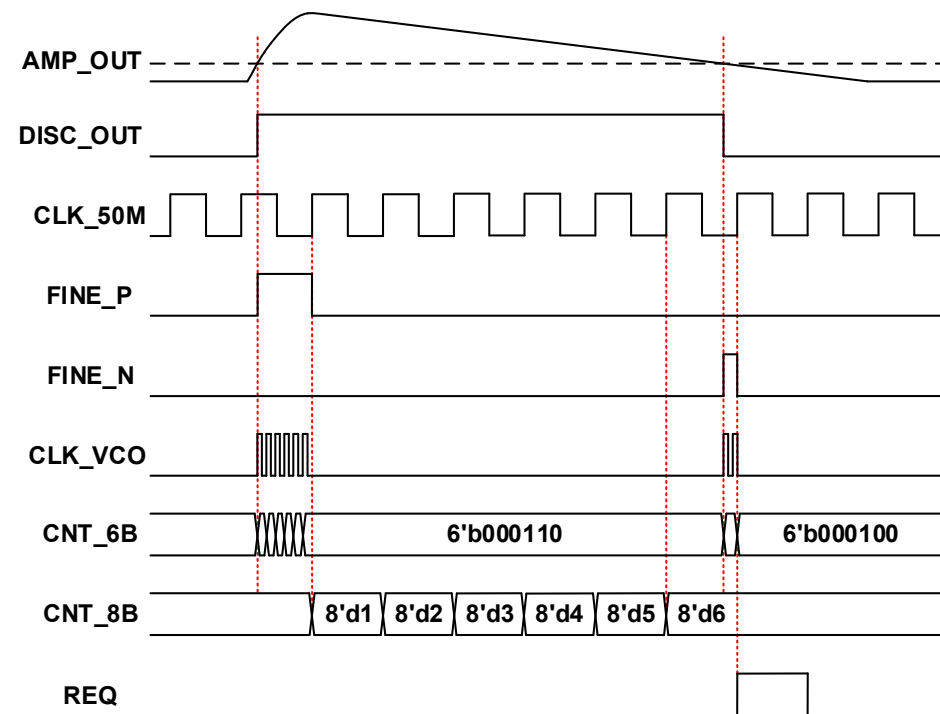


像素电路结构

- 可通过可重构配置为14-bit计数器/TDC
- TDC采用粗细两级计数结构
- 细转换计数器采用Up/Down计数原理可进一步压缩数据



像素结构



能量测量时序简图



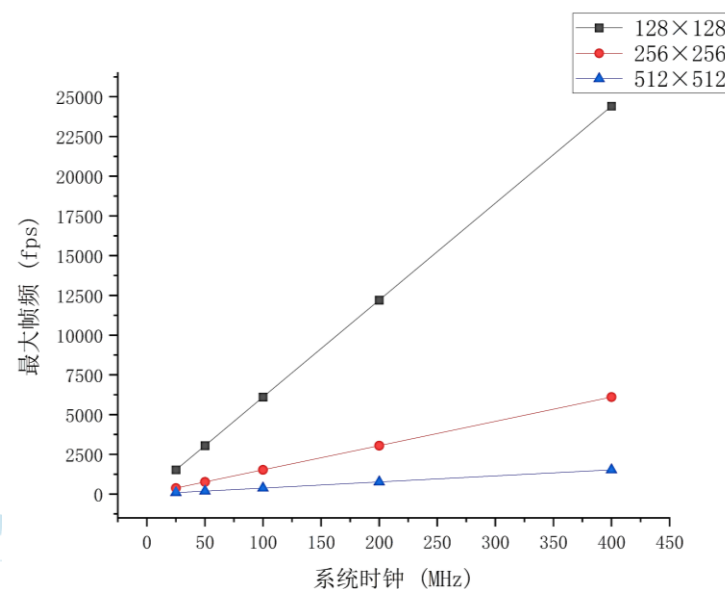
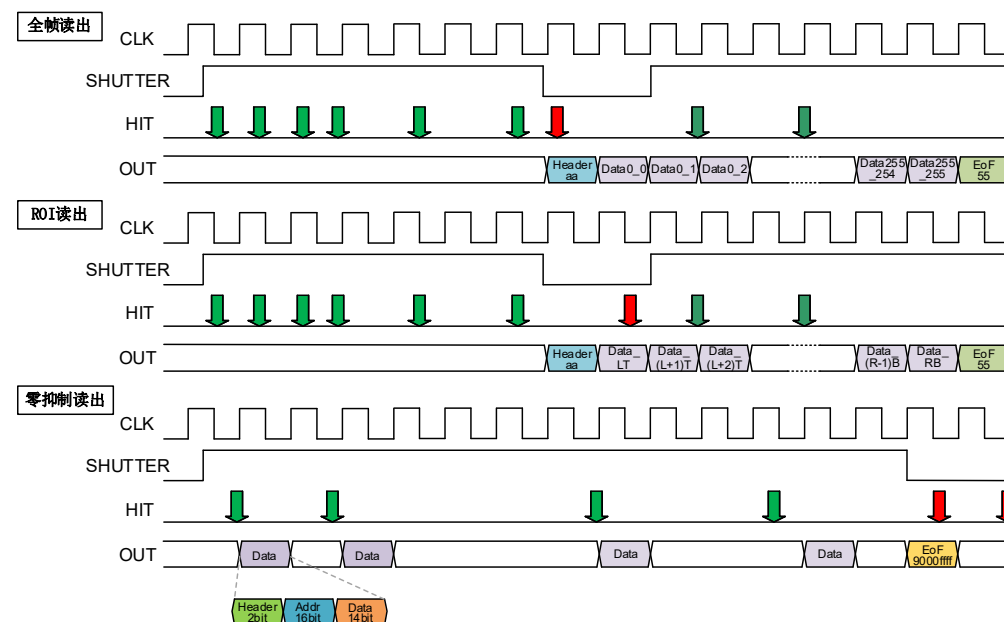
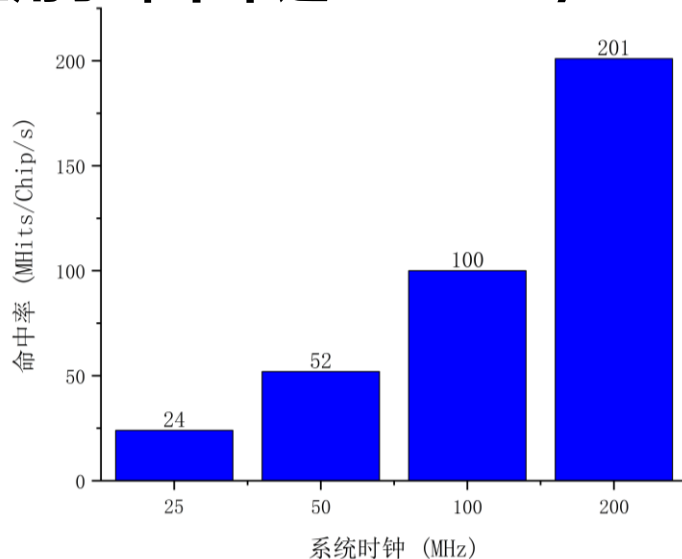
3 研究工作介绍——工作模式

□ 全帧模式（光子计数）

- 采用寻址读出的电路结构
- 无“死区”读出
- 标准模式/低分辨率模式/感兴趣区域模式
- 标准模式下帧率为0.76 kfps@50Mhz

□ 零抑制模式（能量测量）

- 采用二叉树结构
- 数据包：32 bits/Hit
- 可应用于命中率达50MHits/cm²/s的应用场景

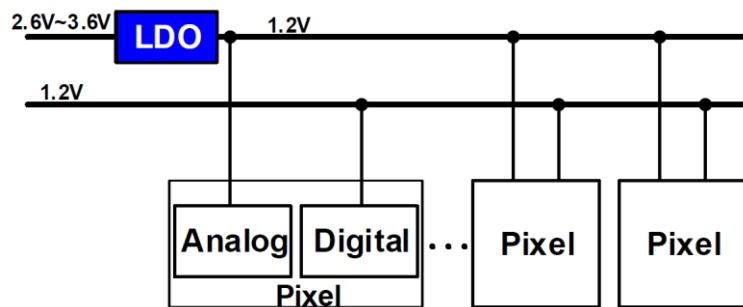


3 研究工作介绍

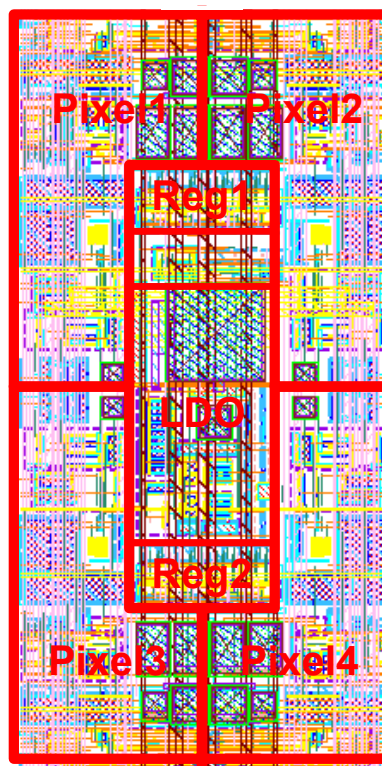


□ 超像素供电

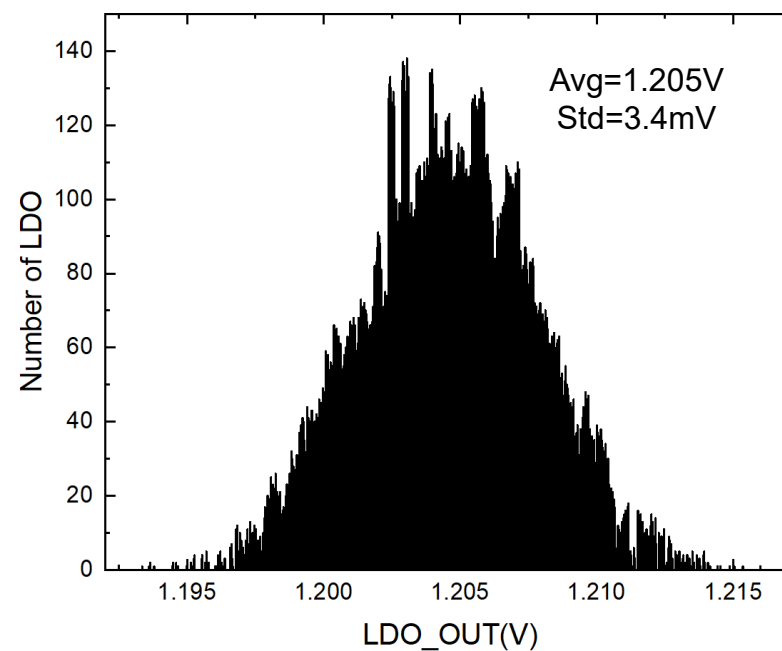
- LDO与像素版图融合布局保证超像素内供电一致性
- LDO为像素内模拟电路供电 → 像素间最大电压降: 20mV
- 传统双边供电最大压降: 38mV



超像素供电架构



模拟超像素版图



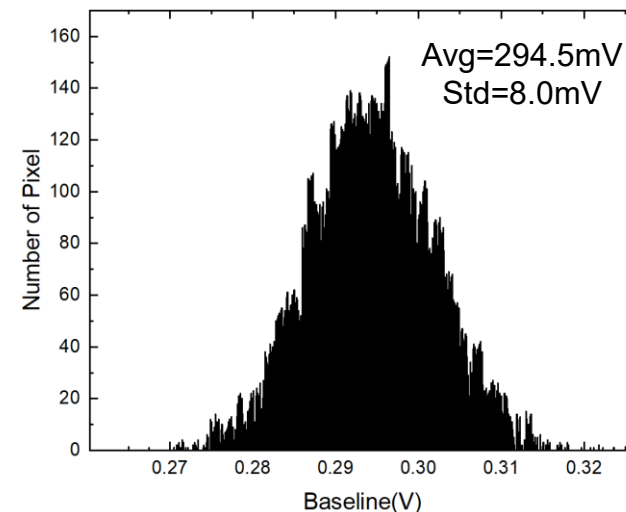
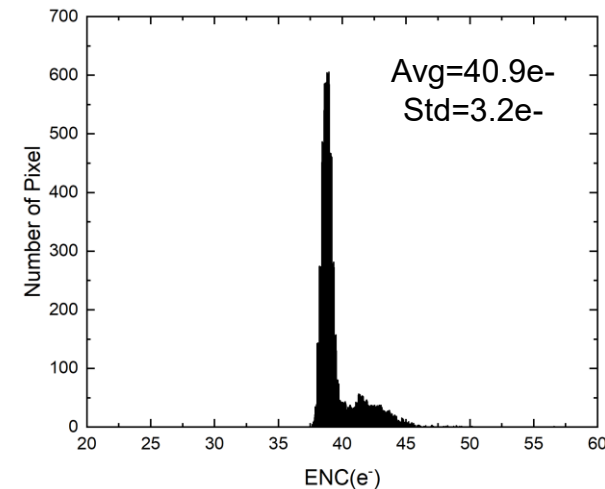
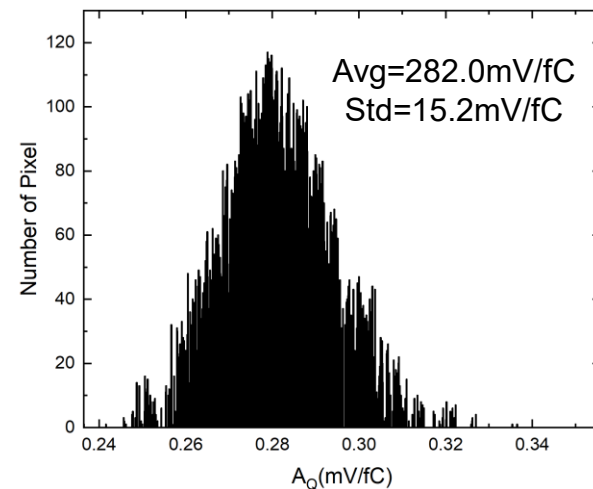
像素内LDO输出电压统计分布 19

3 研究工作介绍

□ 256×256像素型读出芯片工作总结

- 工艺：130nm CMOS
- 阵列规模：256×256
- 大规模扩展：三面可拼接

参数	指标
探测器类型	硅/CZT像素探测器
制造工艺	CMOS 130nm 1.2V/3.3V
像素尺寸	75 μm $\times$ 75 μm
阵列规模	256 $\times$ 256
等效噪声电荷	< 50 e-(rms)@ 100 fF
数据位宽	6+8 bits
工作时钟	50 MHz
触发计数率	1 MHz
数据吞吐率	800 Mbps
静态功耗	< 38.4 $\mu\text{W}/\text{Pixel}$





总结与展望

4 总结与展望

□ 总结

- 超低噪声前端技术
- 像素模式及校正单元高度可配置
- 超像素结构为解决大规模像素型读出ASIC供电电压差问题提供新的解决思路

□ 展望

- 256×256像素型读出ASIC投片验证
- 大规模像素型探测器系统开发与验证

汇报结束，谢谢大家！

