



用于HIAF中TPC探测器的数字化读出 ASIC研制进展



中国科学院 近代物理研究所 核电子学室
报告人：蒲天磊，陆伟建，干奕*，张家瑞
主讲人：蒲天磊
2025.07 .17 西安



目 录

- 一. 背景
- 二. 前端模拟芯片
- 三. 数字信号处理芯片
- 四. 总结

一、背景

1. HIAF装置及HFRS实验终端
2. Twins-TPC探测器
3. 探测器读出需求



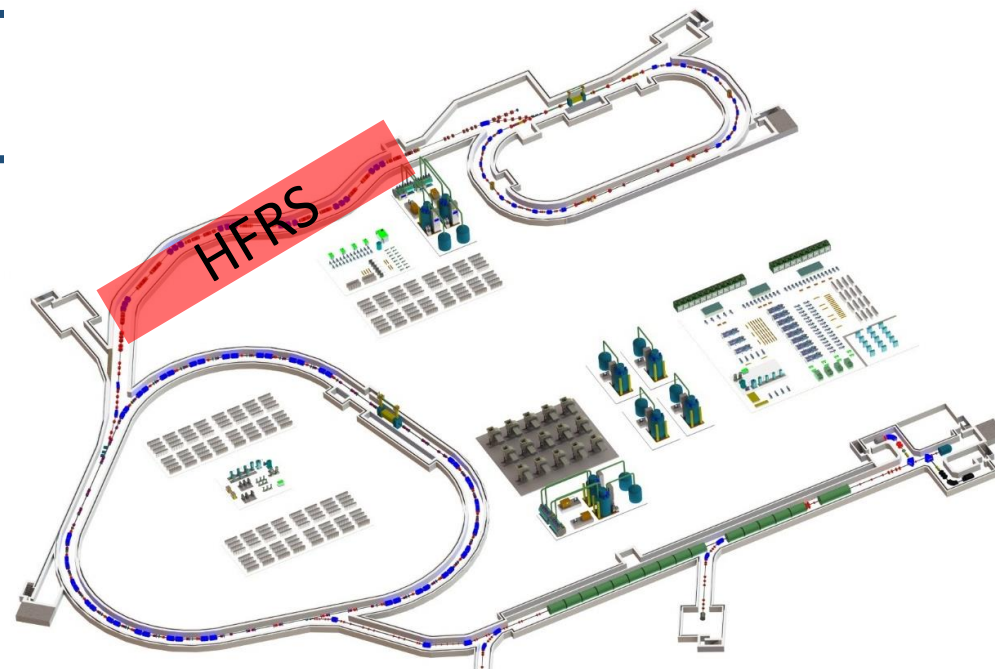
1.1 HIAF及HFRS

HIAF（强流重离子加速器装置）

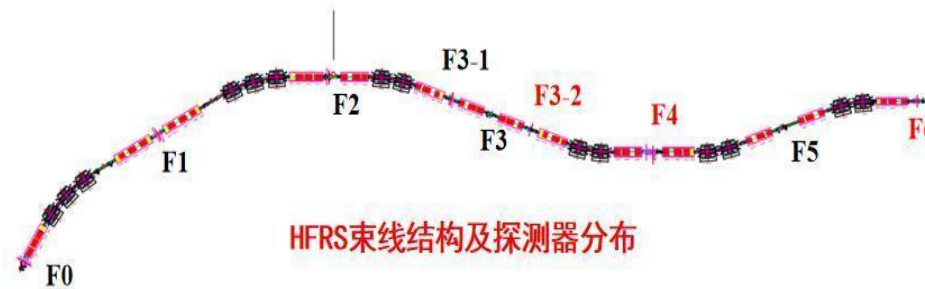
- 下一代强流重离子加速器大科学装置
- 国际领先重离子加速器，重核研究装置
- 产生极端远离稳定线核素的能力
- 高流强、高能量、高功率，抢占基础前沿研究制高点

HFRS（放射性束流线）

- 新一代放射性束流实验终端
- 多组Twins - TPC探测器
- 粒子鉴别、束流监测



HIAF装置 HFRS



HFRS束线结构及探测器分布

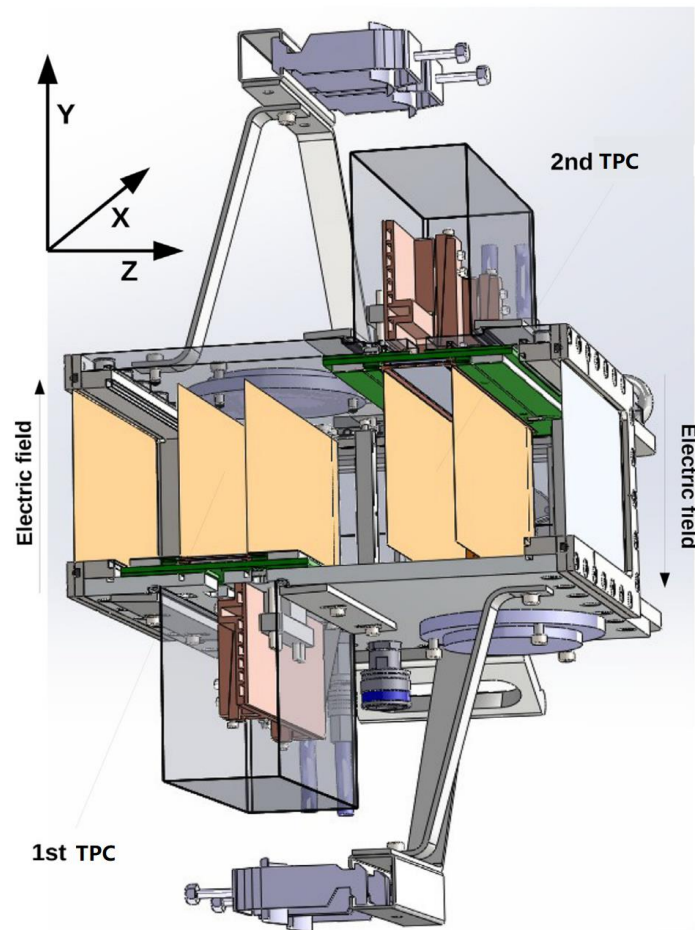
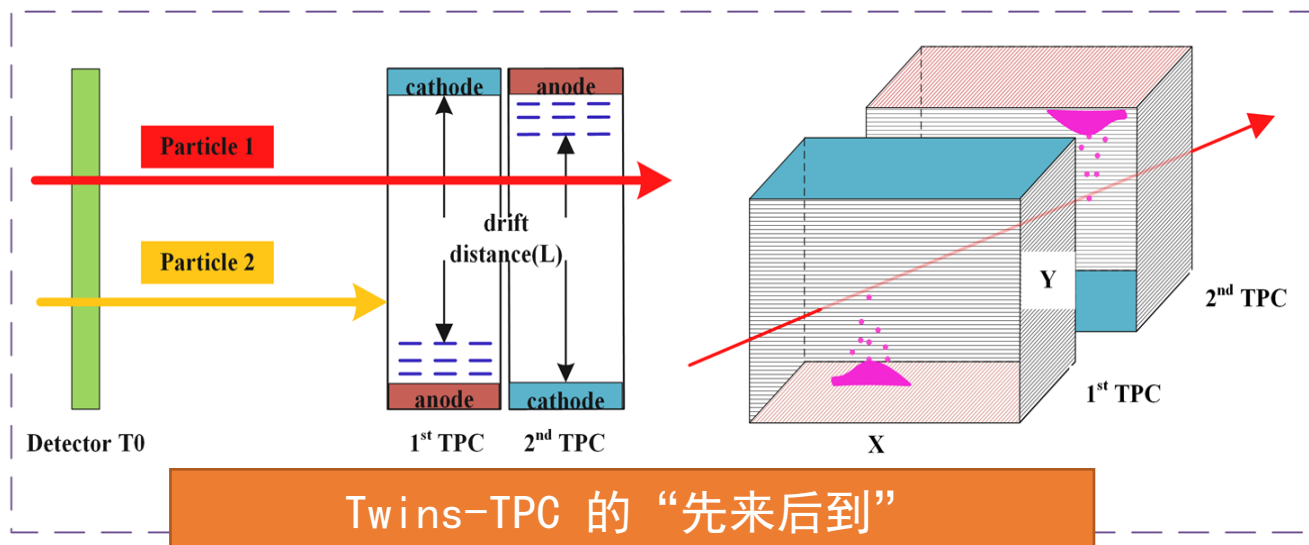
➤ 位置灵敏探测器 F3-2、F4、F6

HFRS装置中的TPC分布



1.2 HFRS中的Twins-TPC探测器

- TPC (时间投影室气体探测器)
 - 粒子 穿过TPC探测器 次级电离粒子
 - 漂移到不同的极板
 - 在GEM上发生雪崩放大
 - 阳极条读取电子信息 (位置、能量、时间)
 - Twins-TPC 避免高计数率 “先来后到”

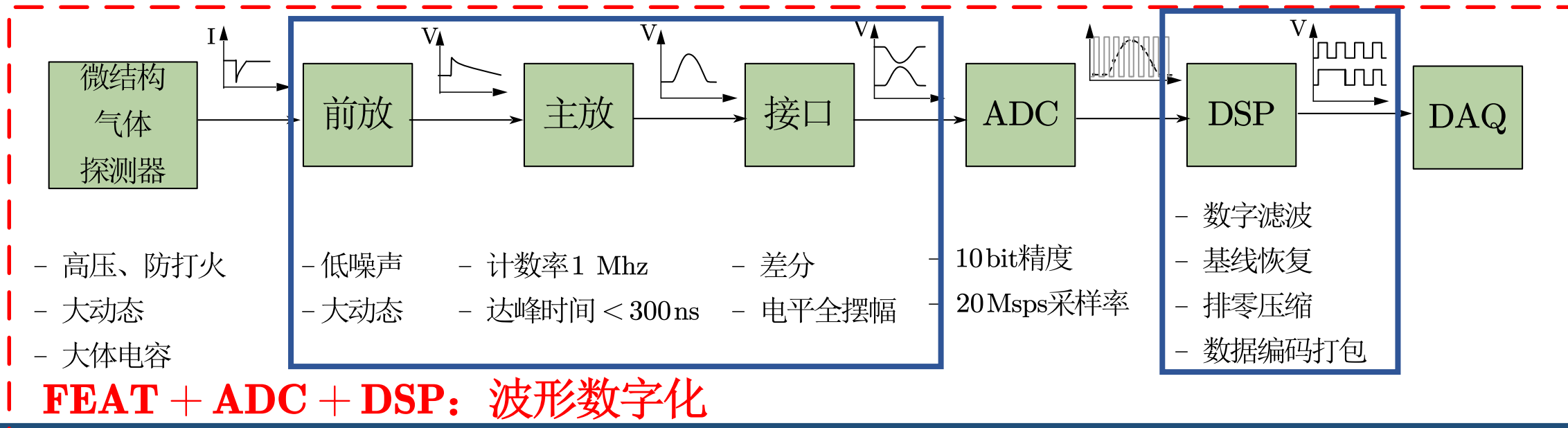


Twins-TPC 三维结构

1.3 TPC探测器电子学读出需求

• 需求

- 6组Twins-TPC,面积~230mm*80mm → 系统通道数 (万路) , 单芯片通道数
- 探测效率~100%@ 10^6 pps → 计数率 1 MHz
- 漂移时间分辨<6ns → 时间分辨好于2ns
- 动态范围Z=1~92 (非同时) → 动态范围大、可调



二、前端模拟芯片

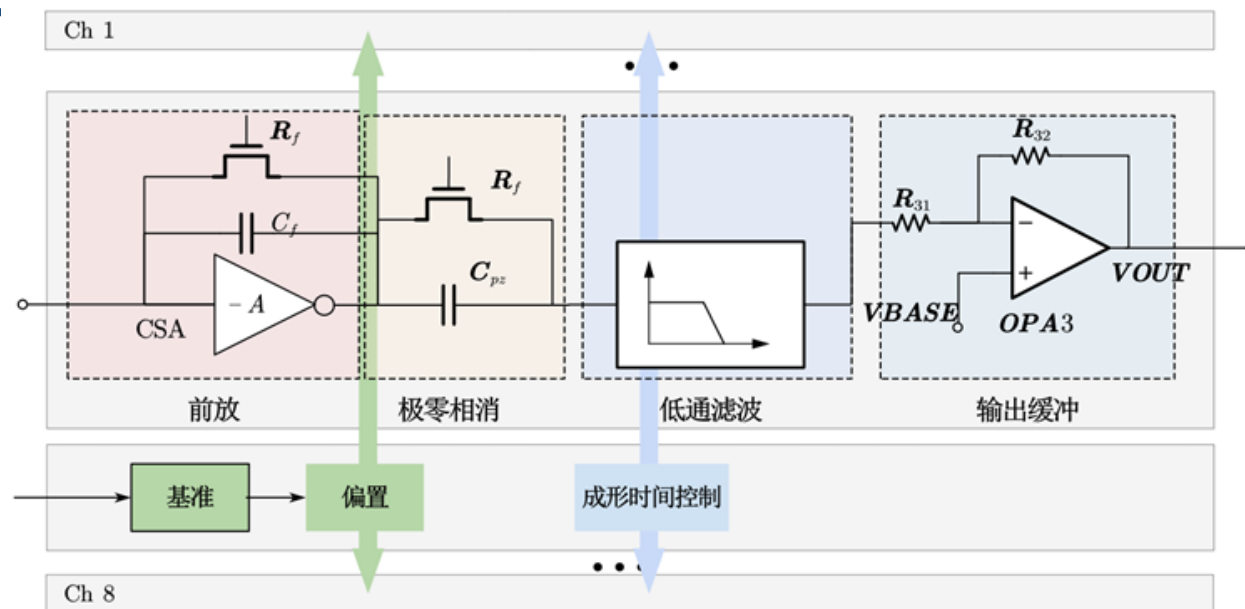
1. FEAM芯片

2. FEAT芯片设计测试

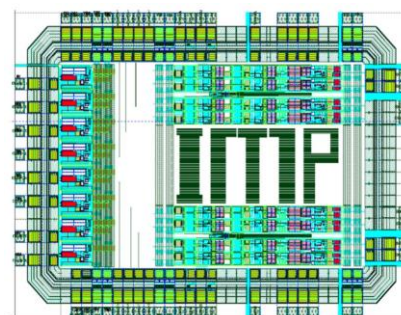


2.1 FEAM芯片 (Front-End ASIC for MWDC)

参数名	指标
通道数	8
封装	QFN88 (10 mm x 10 mm)
动态范围	3 fC~1000 fC
达峰时间	80 ns /160 ns/1 us
增益	1 mV/fC
噪声	4000e ⁻ @100pF
供电	+3.3V /-2.5V
计数率	10 kHz
功耗	6.6 mW/ch

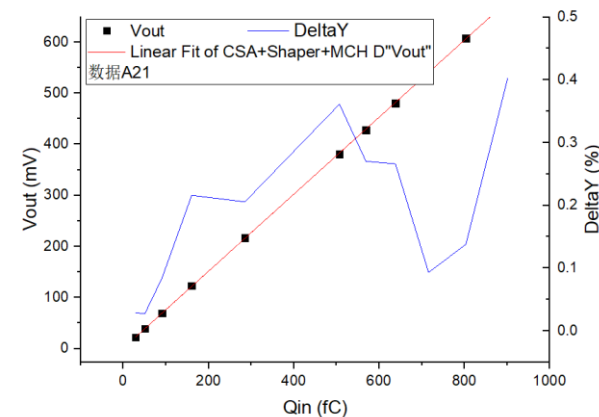
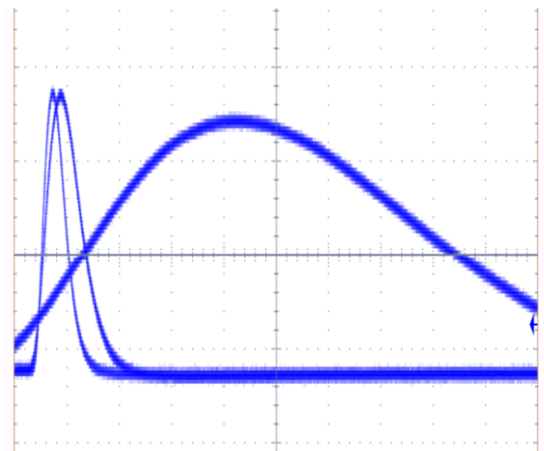
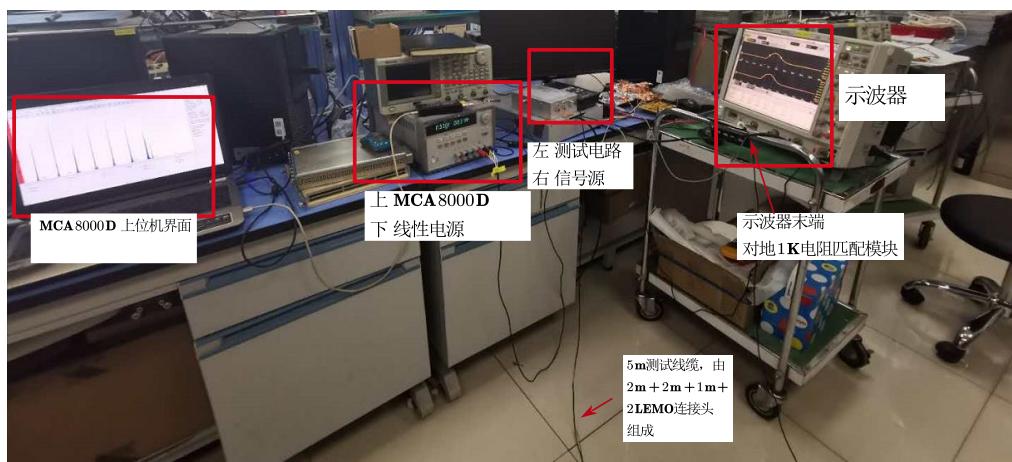


FEAM电路结构框图

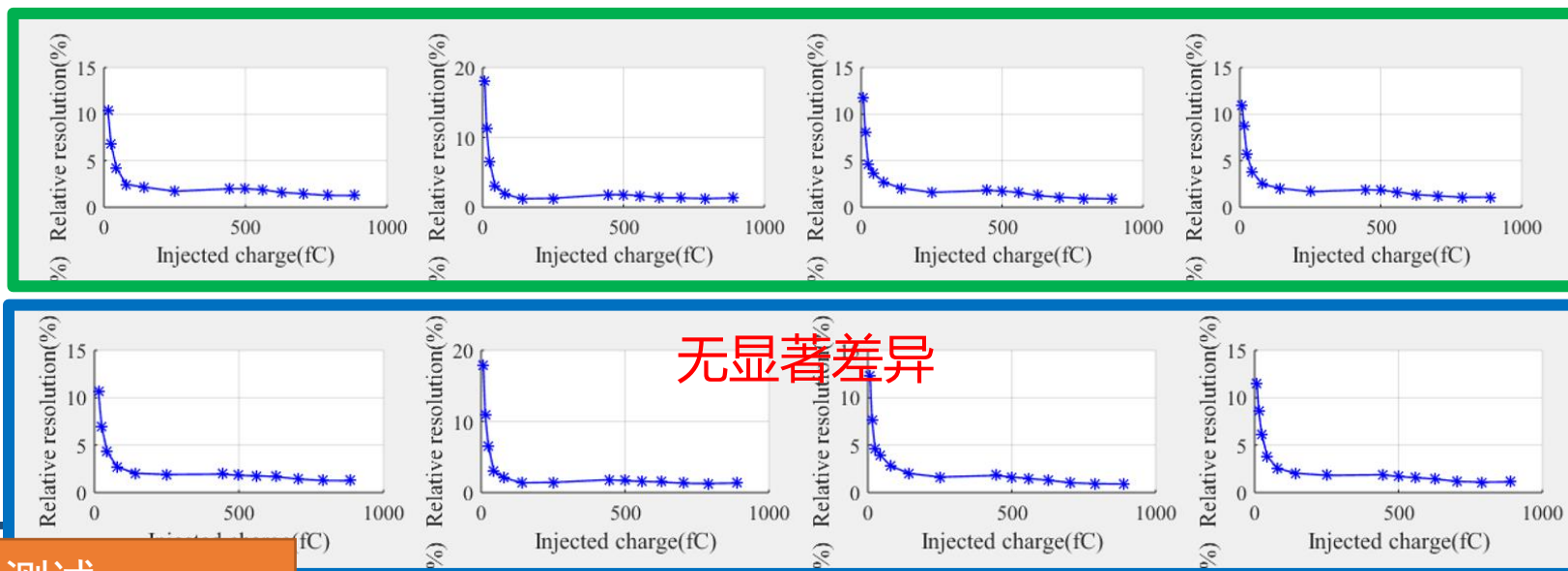
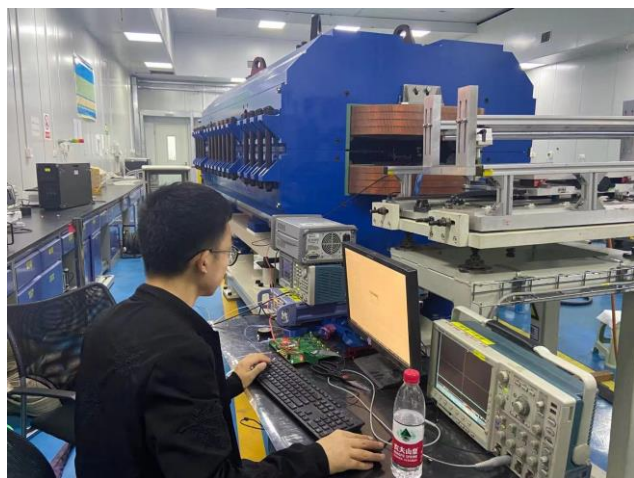


FEAM芯片版图、晶圆、QFN88封装

2.1 FEAM芯片测试

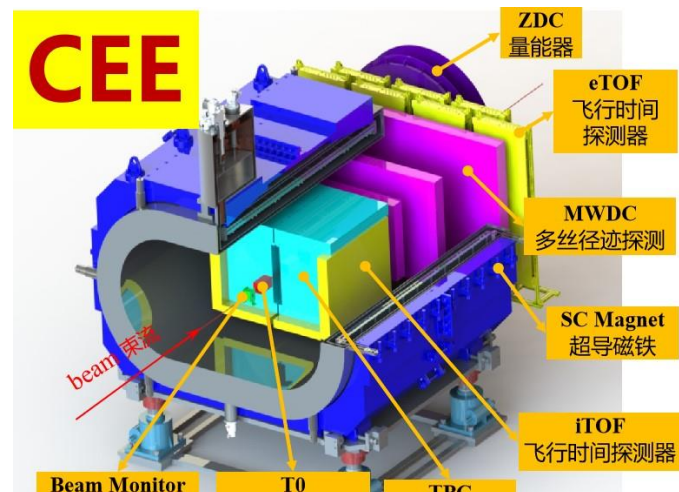


FEAM实验室测试环境



MWDC FEE 磁铁环境测试

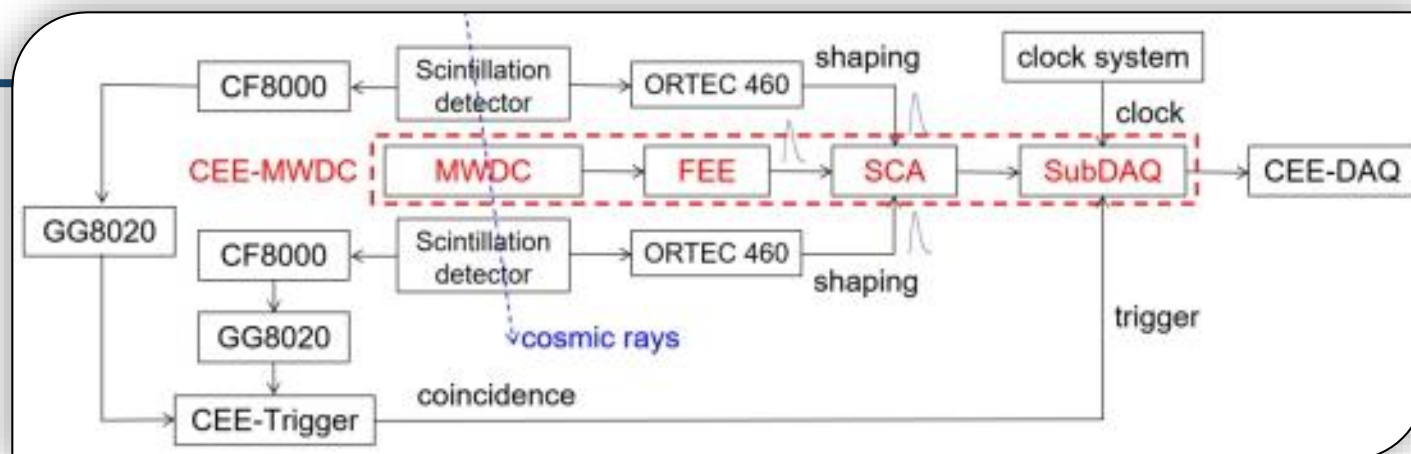
2.1 FEAM在CEE中的应用



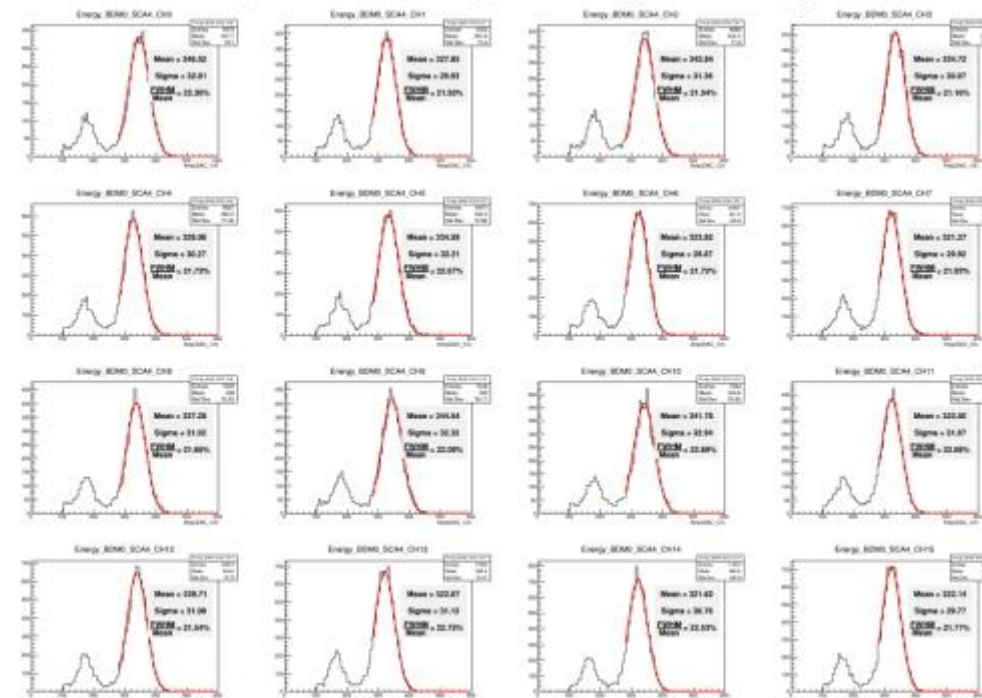
CEE装置的结构图及探测器位置



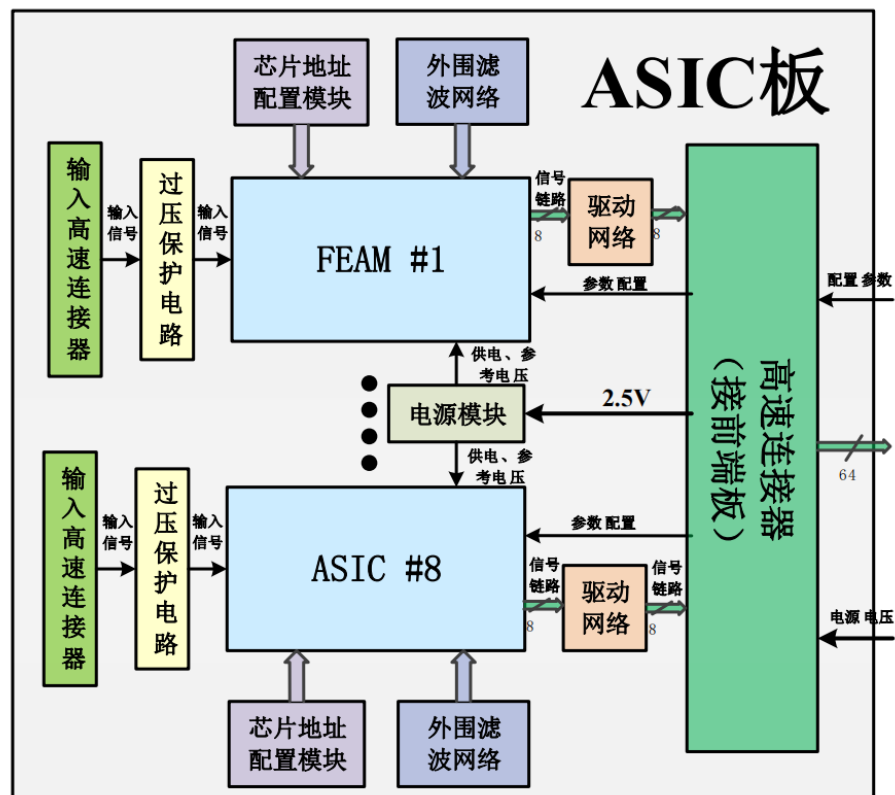
MWDC前端读出板



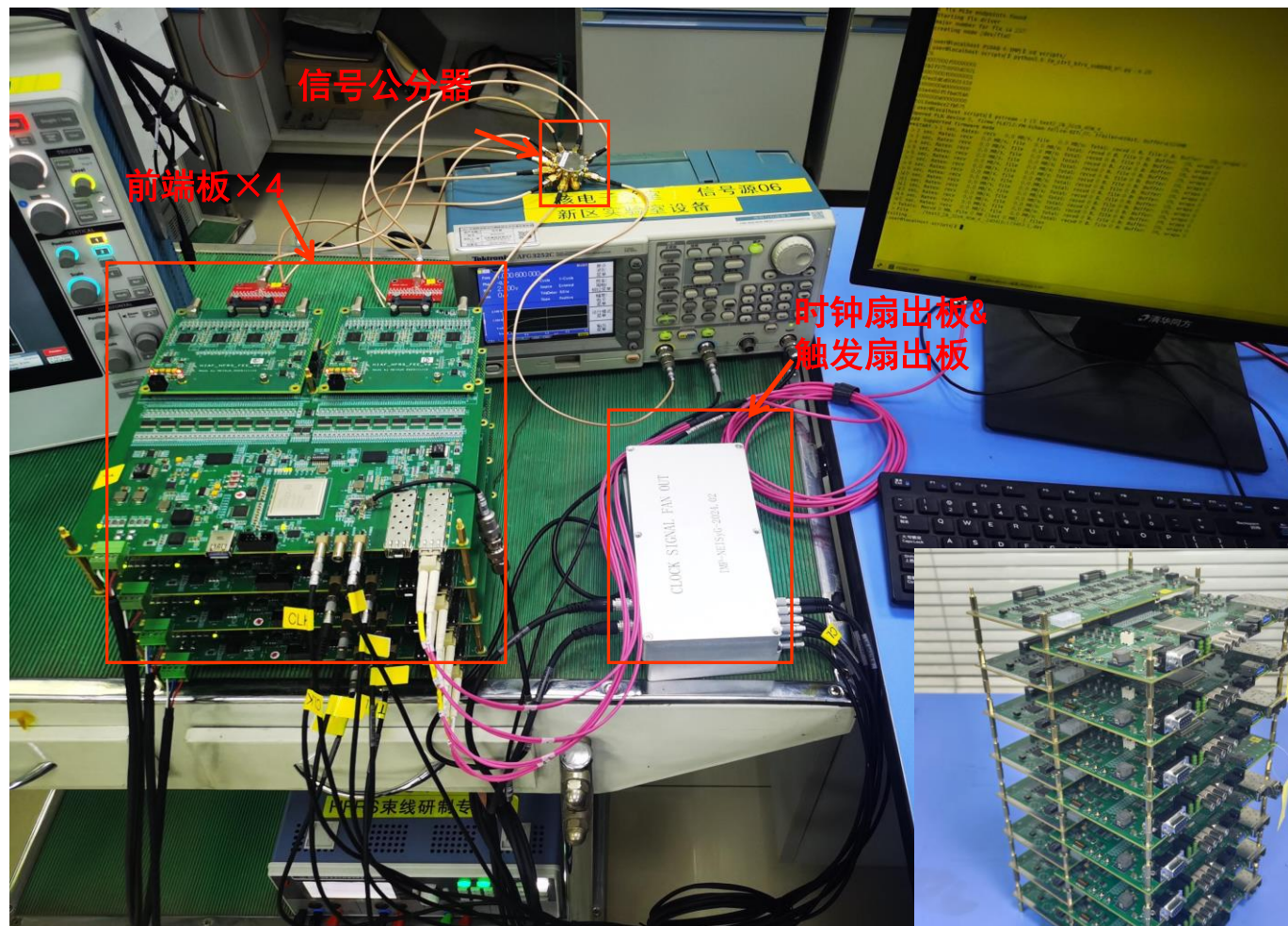
data_20240429_mwdc_1::BDM0_SCA4 Energy



2.1 基于FEAM的HFRS-TPC原理验证系统



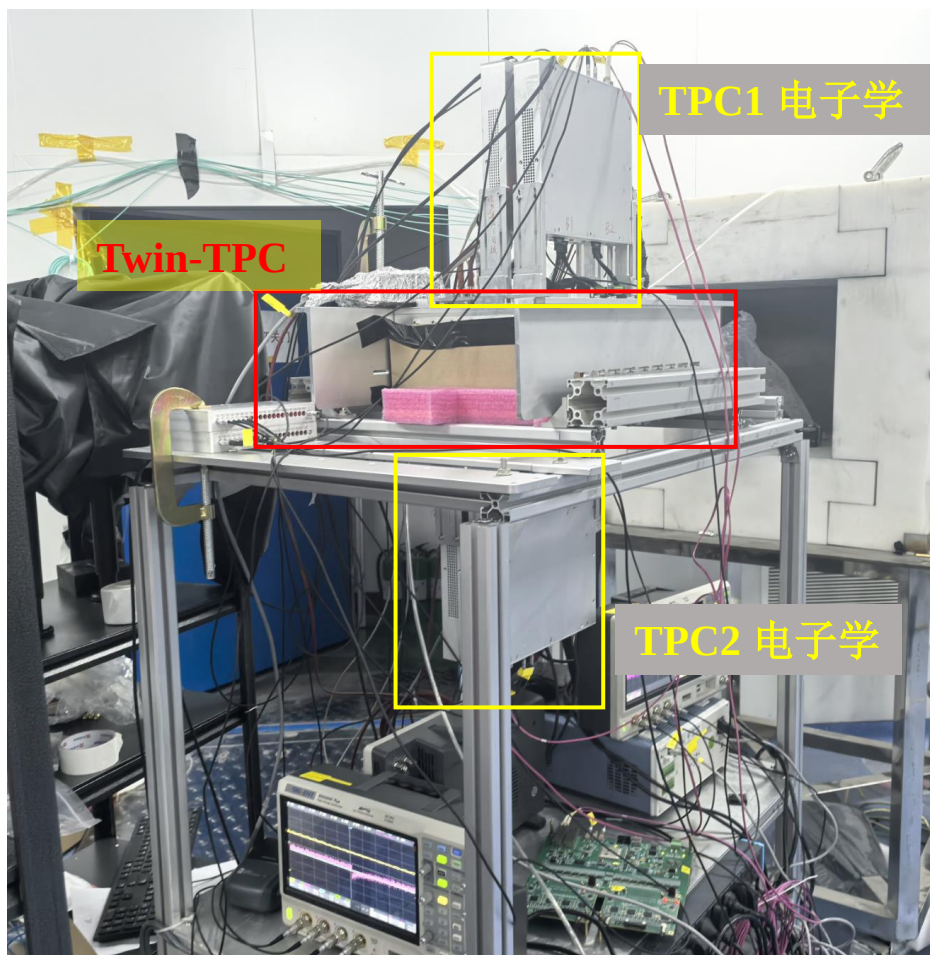
HFRS-TPC 前端板
(64通道 基于FEAM)



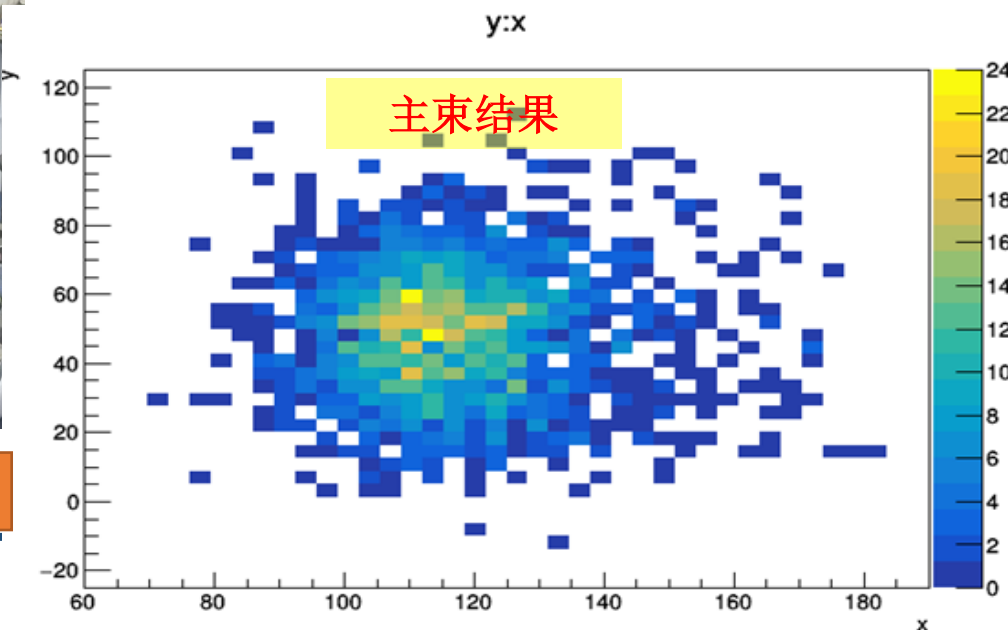
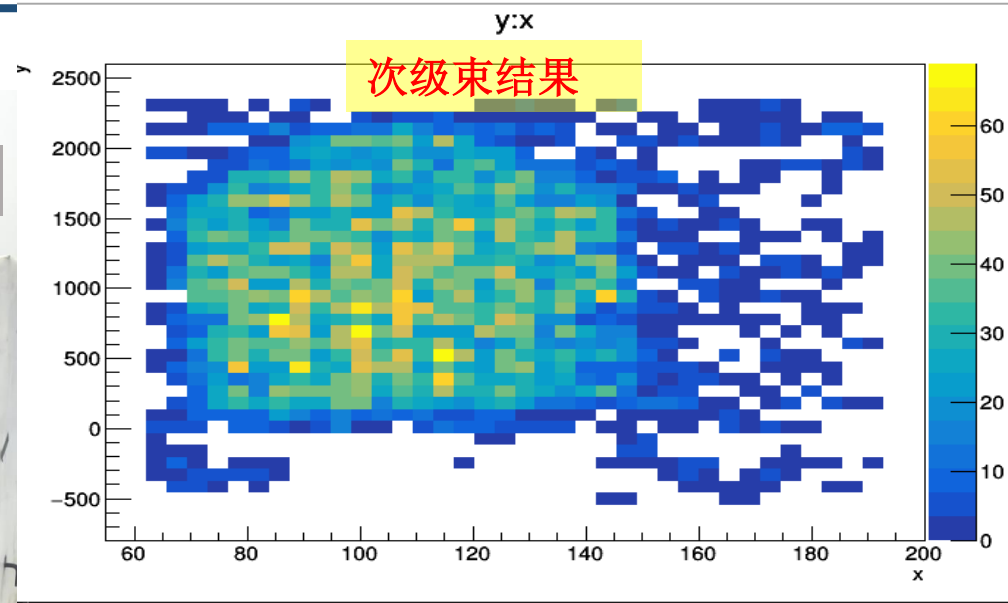
1/2原理样机系统实验室测试现场

2.1 基于FEAM芯片的HFRS-TPC的原理验证系统

- 测试时间：
2024. 1. 13-1. 17
- 测试条件：
256路原理验证系统，两个TPC分别接128路；
塑闪探测器产生触发信号，分别进行次级束和主束测试。



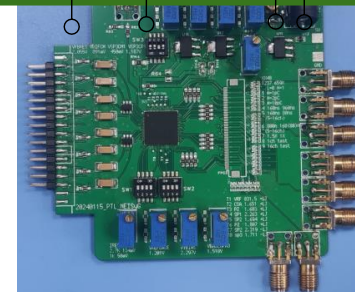
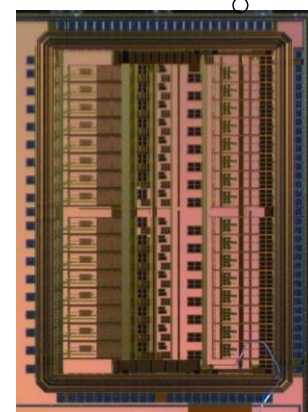
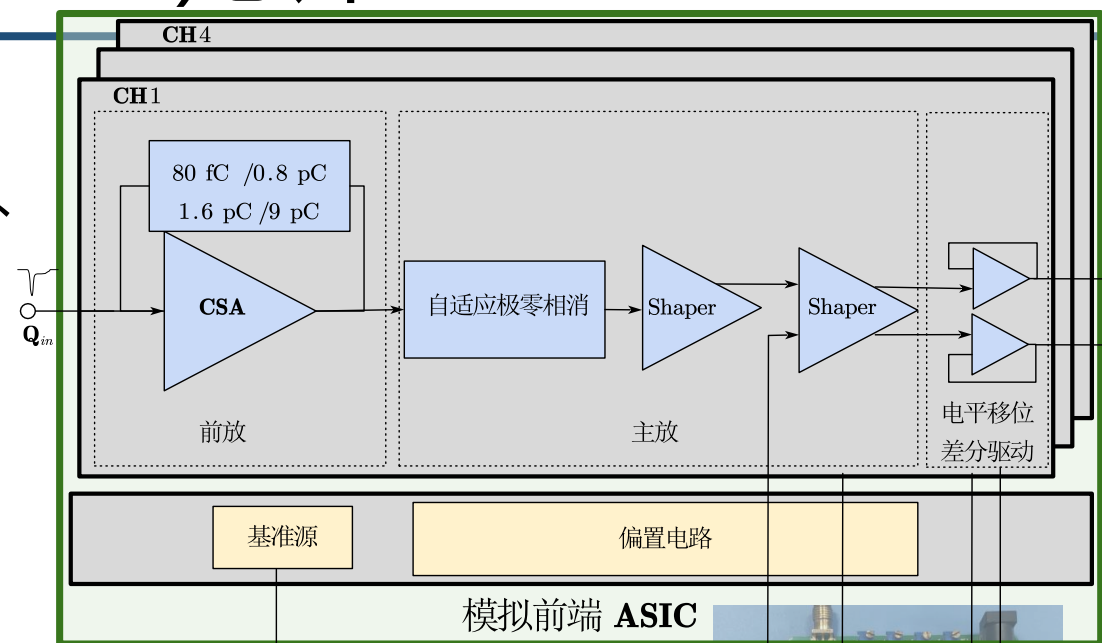
束流测试现场



2.2 FEAT(Front-End ASIC For TPC)芯片

- 针对TPC探测器波形数字化读出改进
- 正电源工作、动态可调、集成ADC驱动、简化外围电路、提高计数率

参数名	指标
通道数	16
封装	QFN100 (12 mm x 12 mm)
增益(单端)	10mV/fC 5mV/fC 1mV/fC 0.1mV/fC
达峰时间	80 ns /160 ns
噪声	2974e-@20pF@800fC
供电	+1.8V/+3.3V
计数率	1 Mhz@60%Range
功耗	9.6mW/ch单端 15mW/ch差分



FEAT_v2/FEAT_v3芯片

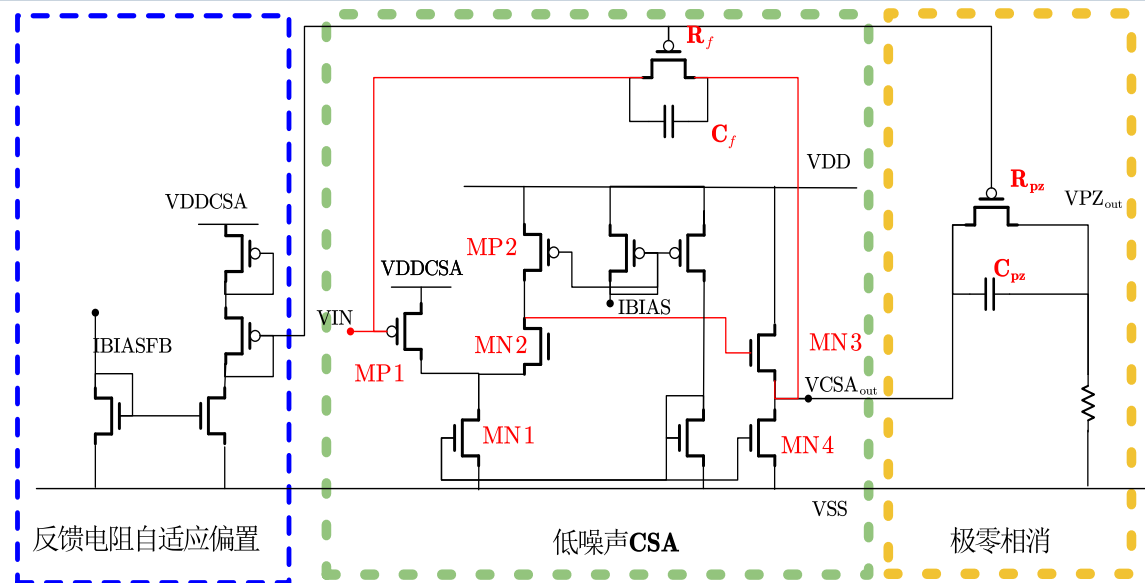
2.2 FEAT芯片设计

设计考虑

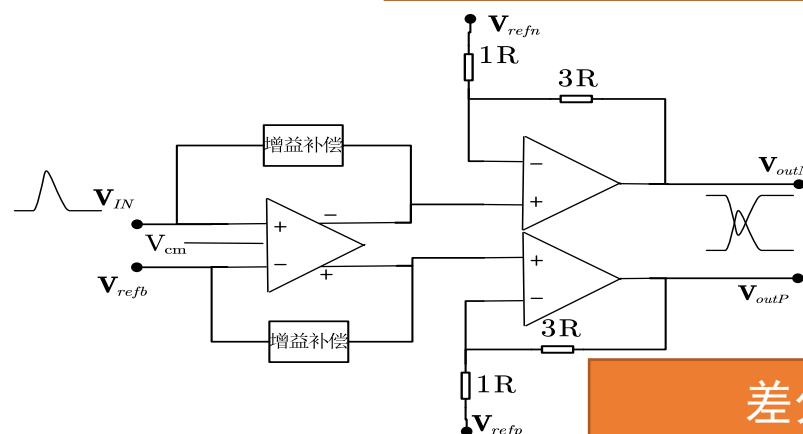
- 采用PMOS输入级
 - 增强抗辐照能力，降低噪声，提高计数率
- 自偏置极零相消
 - 减轻信号过冲，提高计数率
- 差分+可调电平移位输出
 - 增强共模噪声抑制能力，匹配多种ADC

版图考虑

- 通道隔离
- 敏感器件隔离
- 电流路径划分



前放与极零相消

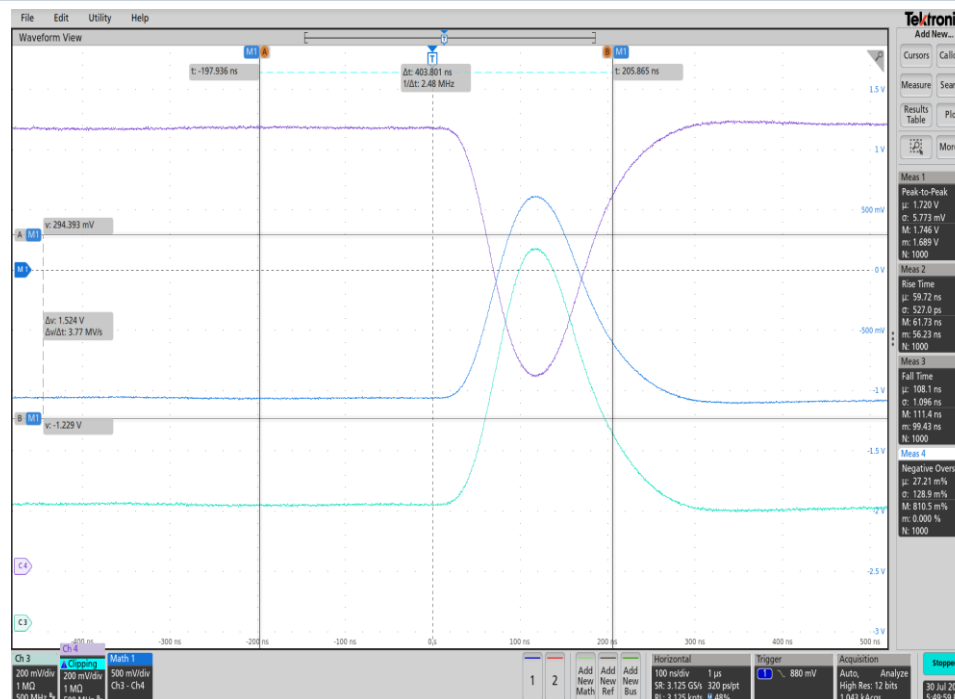


差分驱动电路

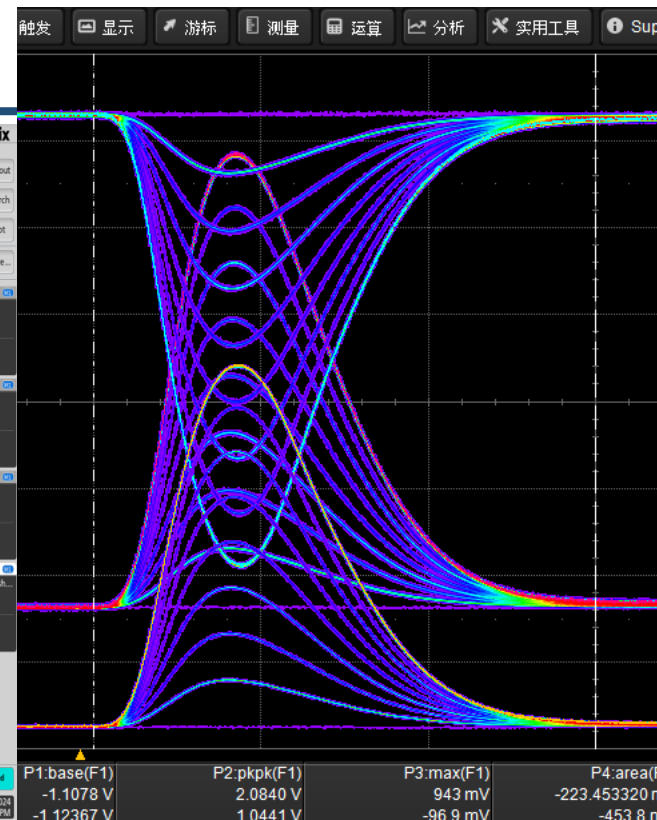
2.2 FEAT芯片的测试



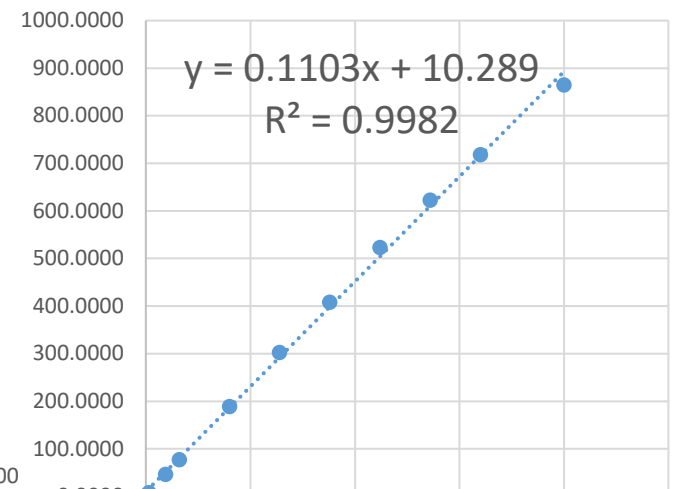
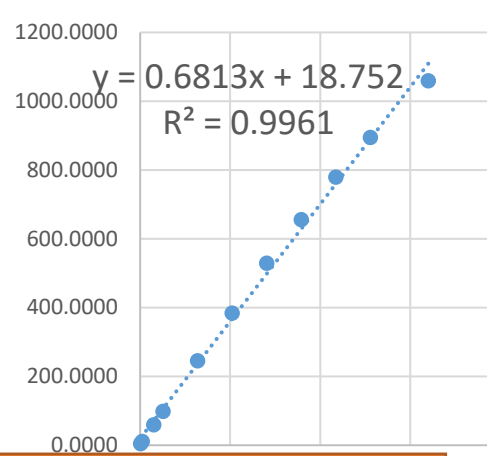
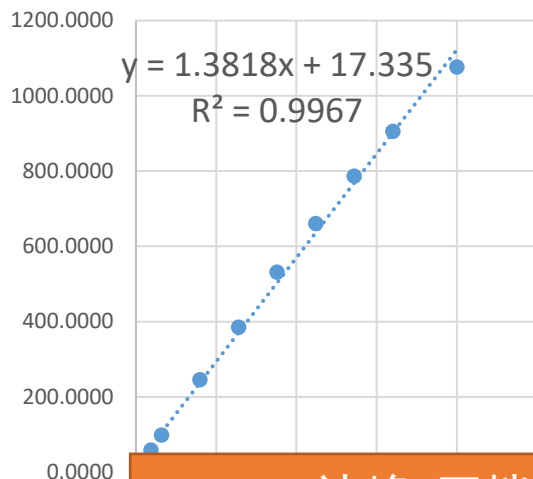
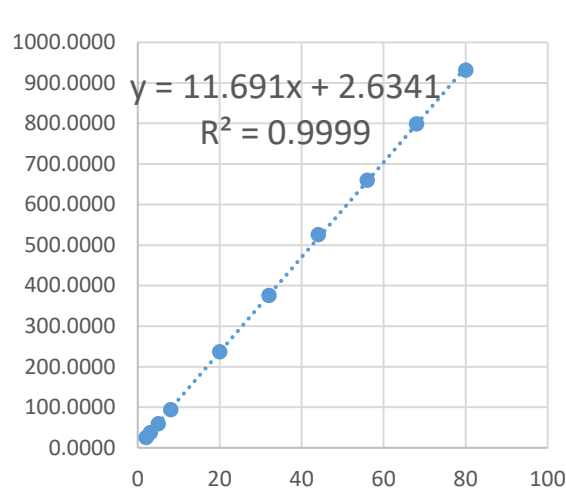
FEAT芯片的实验室测试



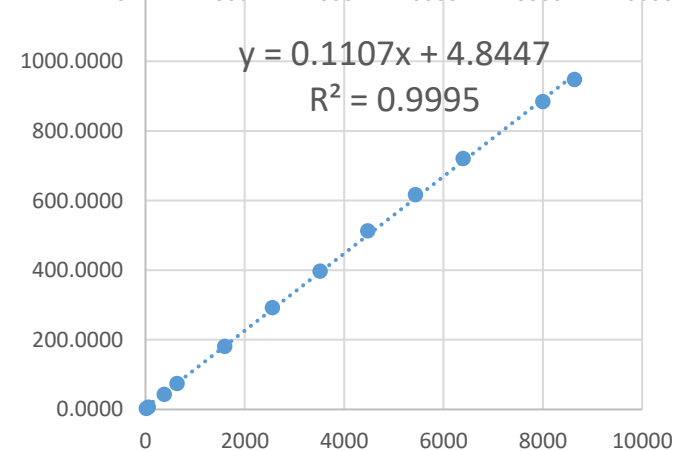
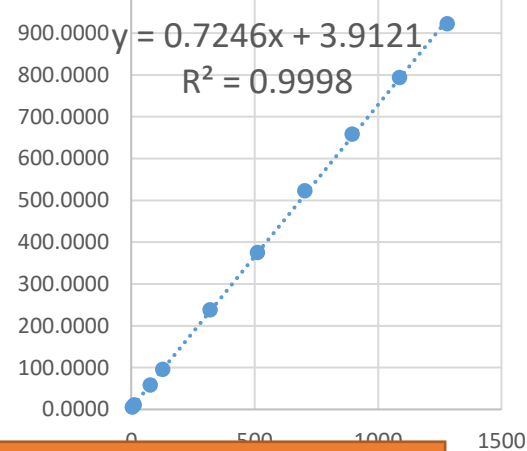
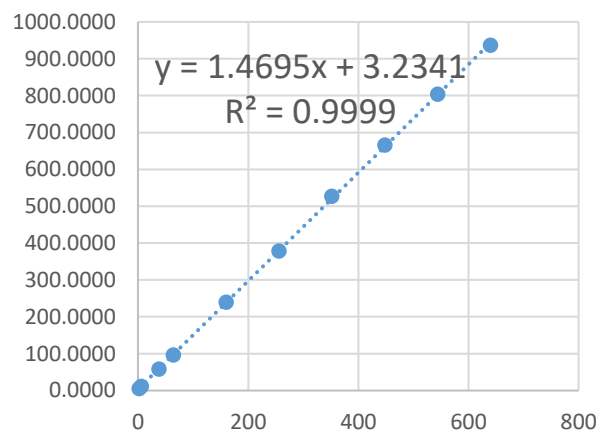
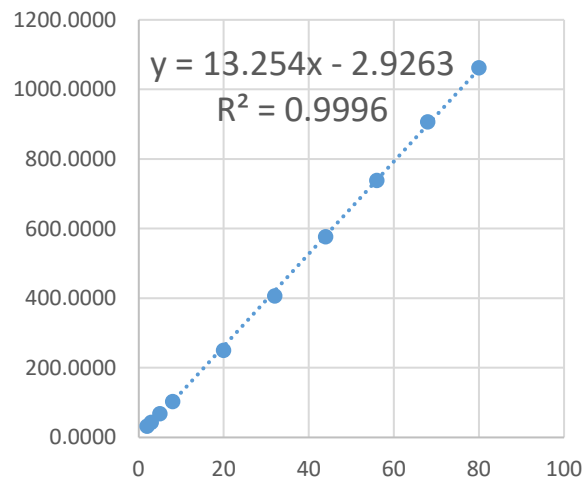
正端(紫)负端(蓝)



线性输出余晖显示



80ns达峰 四档增益的线性测试结果

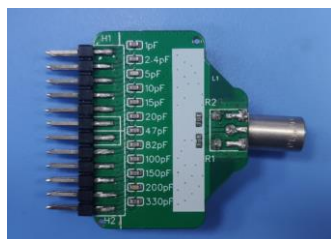


160ns达峰 四档增益的线性测试结果

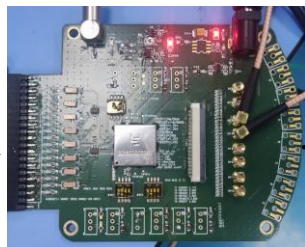
积分非线性线均优于2%



FEAT芯片的测试



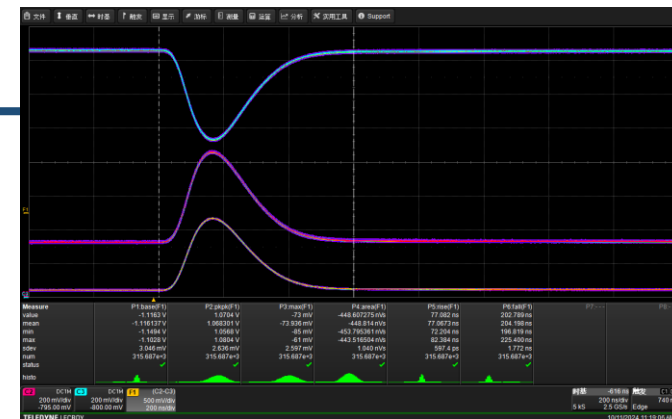
对地电容阵列
 $1pF - 330pF$



增益: $1mV/fC$
达峰时间: $160ns$

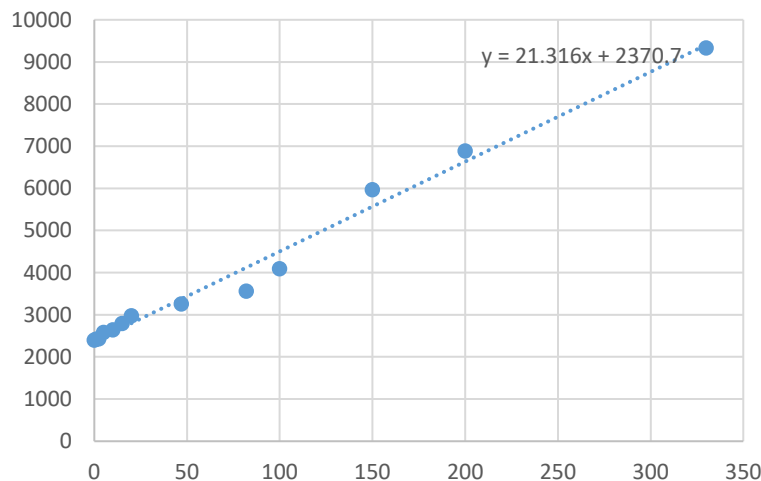


测量, 1000次事例
- 基线值及标准差



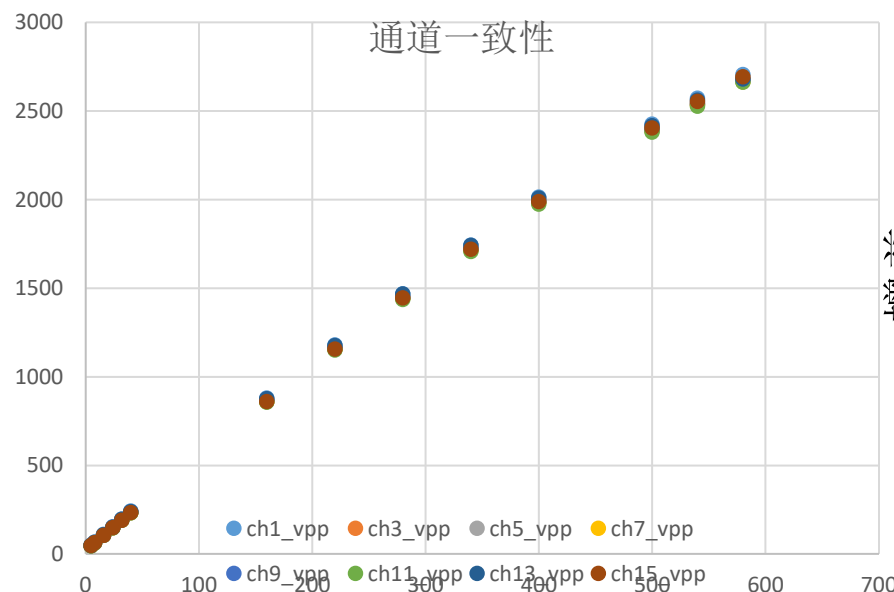
10h 400fc 余晖测试

1pC下的噪声斜率



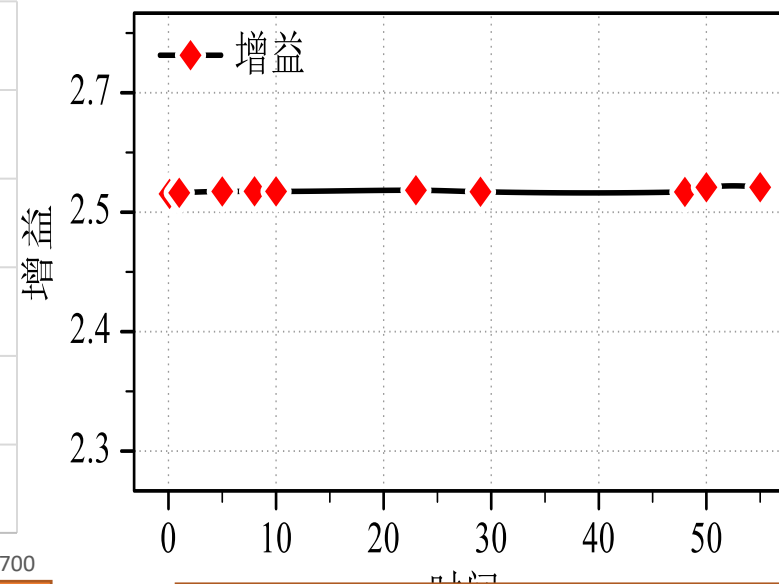
ENC噪声斜率, $4000e^-@100pF$

通道一致性



通道一致性增益误差 $<4\%$

长时稳定性测试

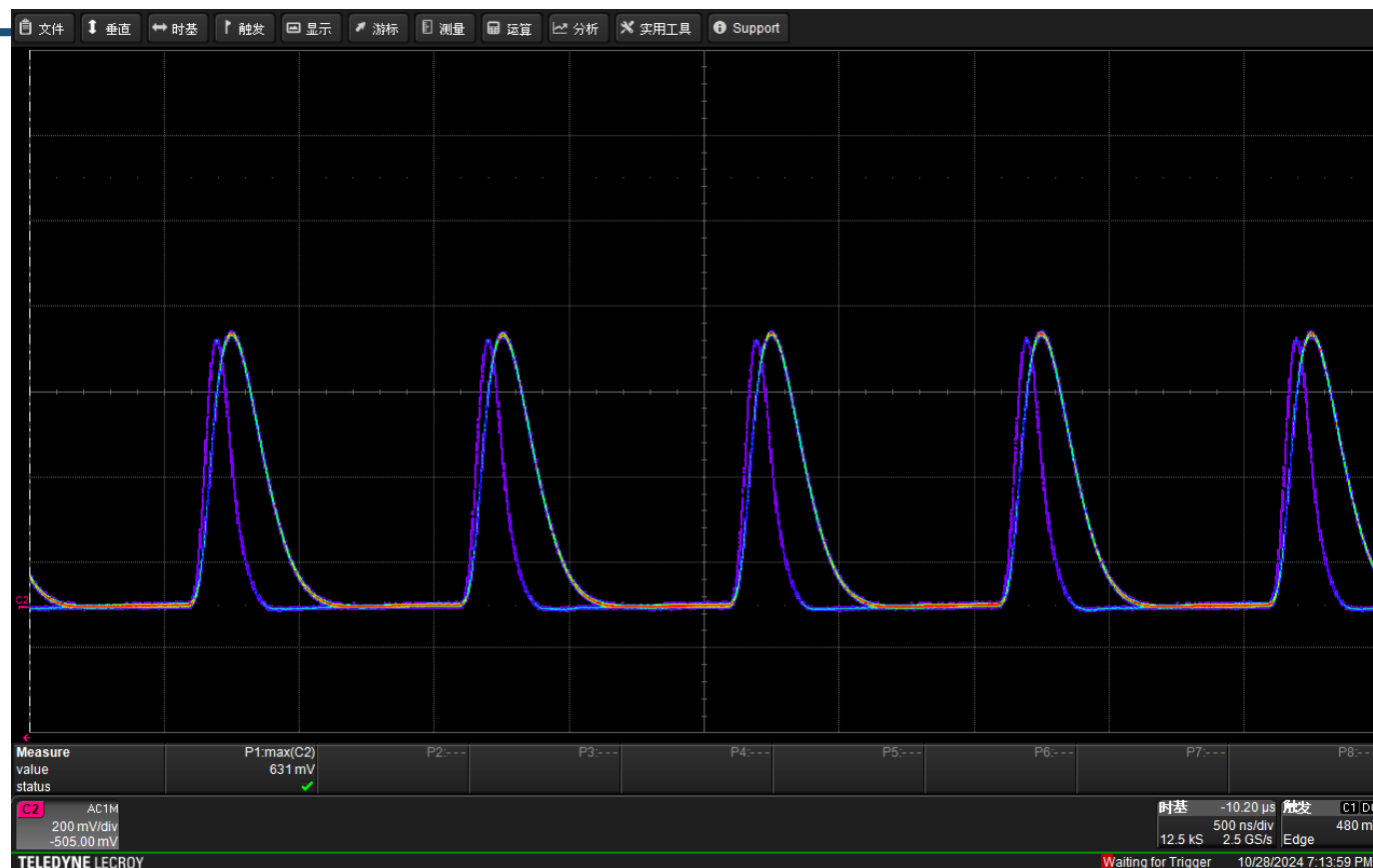
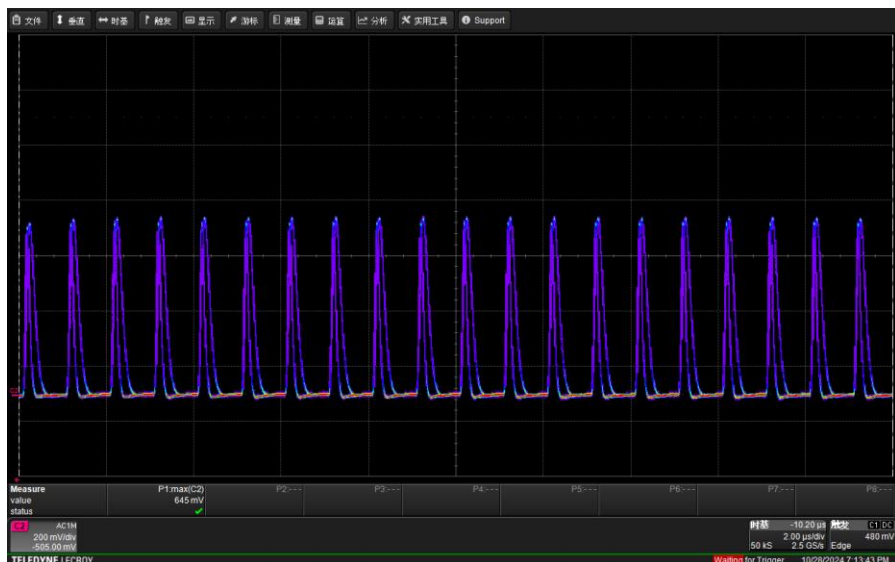


50h稳定性测试

2.2 FEAT芯片的测试

测试方法

连续输入500fC的电荷
信号20次，在20次末
端不发生堆积（主放
信号幅度变小）



1Mhz 计数率 60%动态信号测试

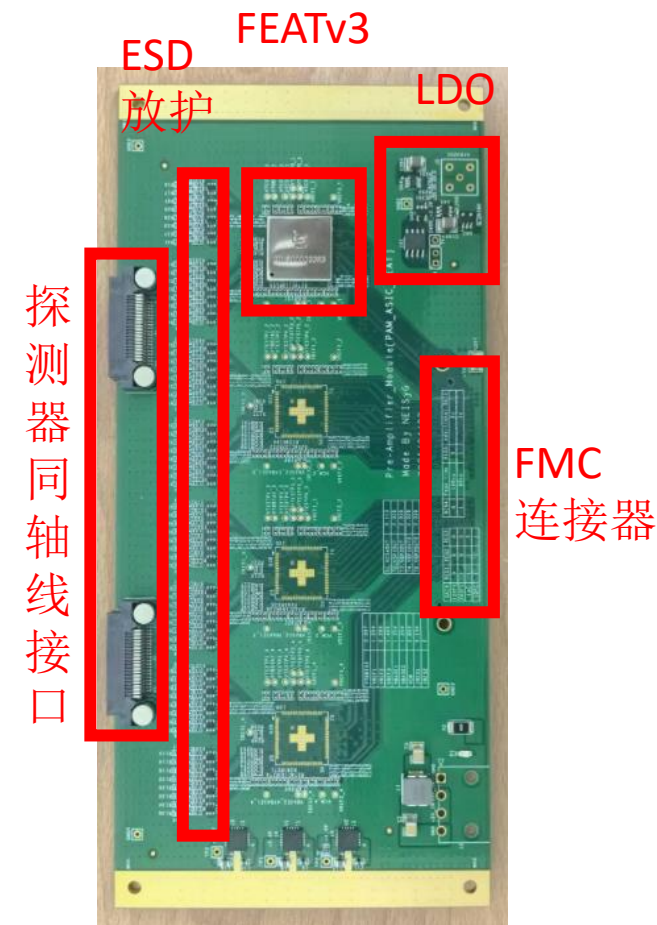
测试结果：500fC信号下80ns 与160ns均未发生堆积

2.3 下一步工作

- 基于FEATv3芯片的原型机进行探测器实验、束流实验
- 预期8月进行FEAT芯片工程批量产

后续改进方案

- 前端改进为全差分结构，降低串扰，与ADC IP进行整合
- 根据需求改进输出驱动能力（数字位于远端或者位于强流环境下）
- 进一步扩展动态范围



HFRC-TPC前端板 基于FEATv3 64通道

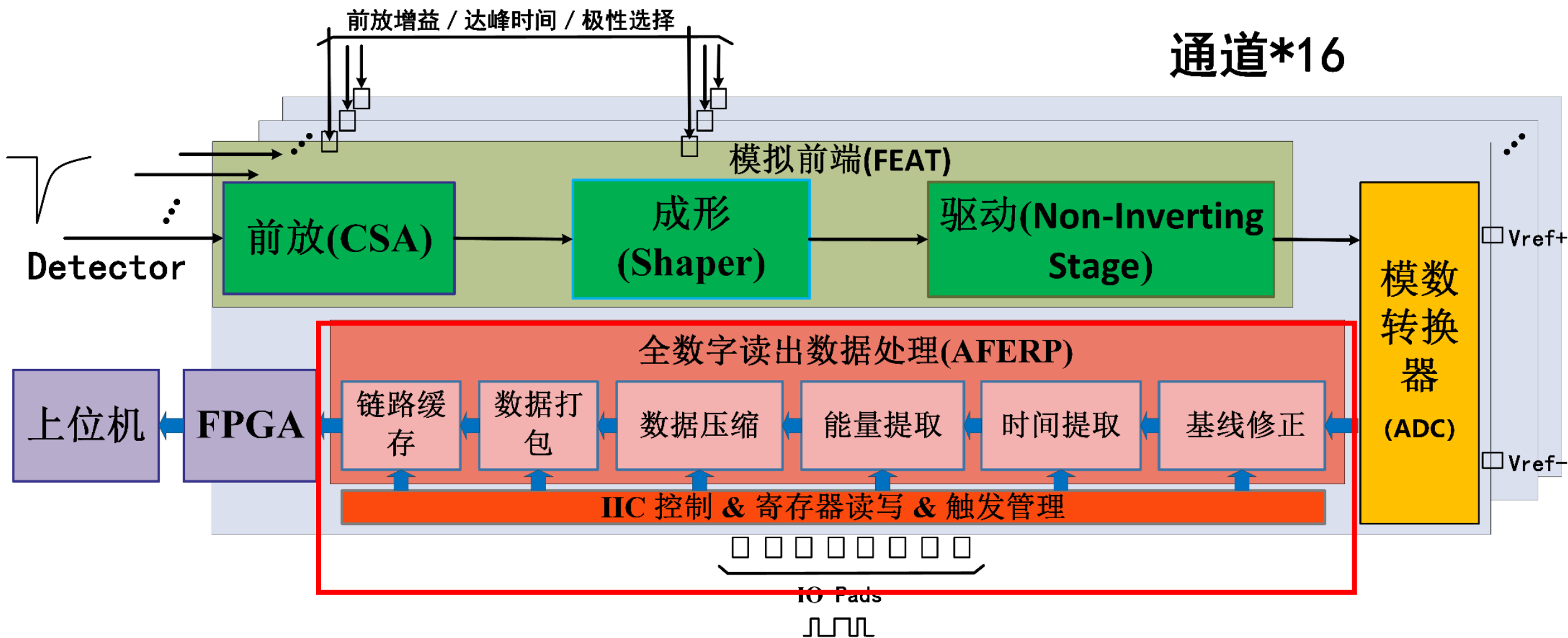
三、HFERS-TPC 数字信号处理芯片

1. AFERP芯片的设计
2. V0芯片测试验证
3. V1芯片仿真验证





AFERP 芯片



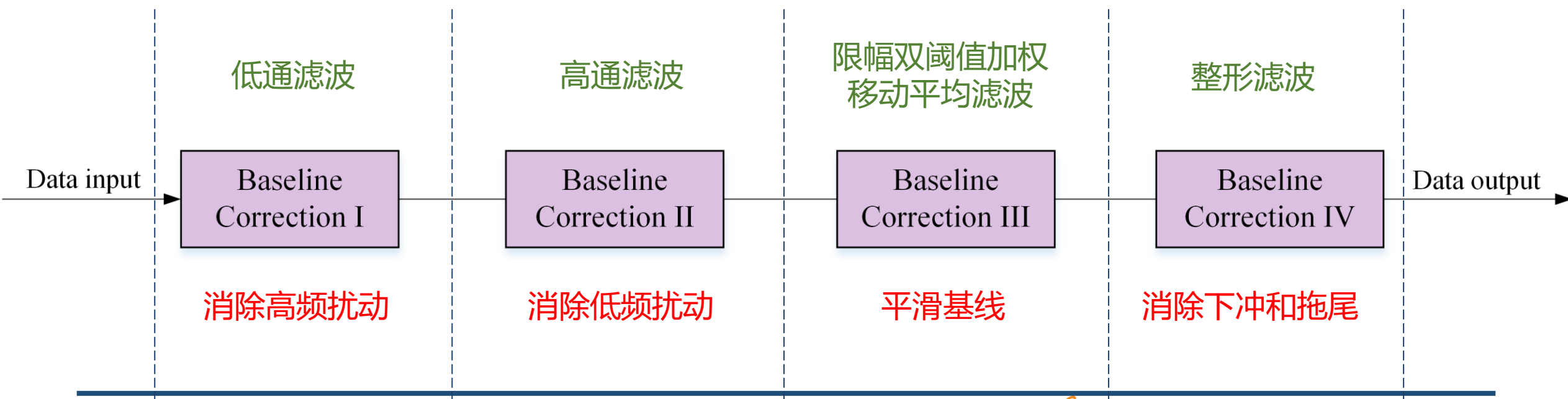
AFERP (All-digital Front-End Readout and Processing) 芯片的功能架构





芯片设计：数字滤波

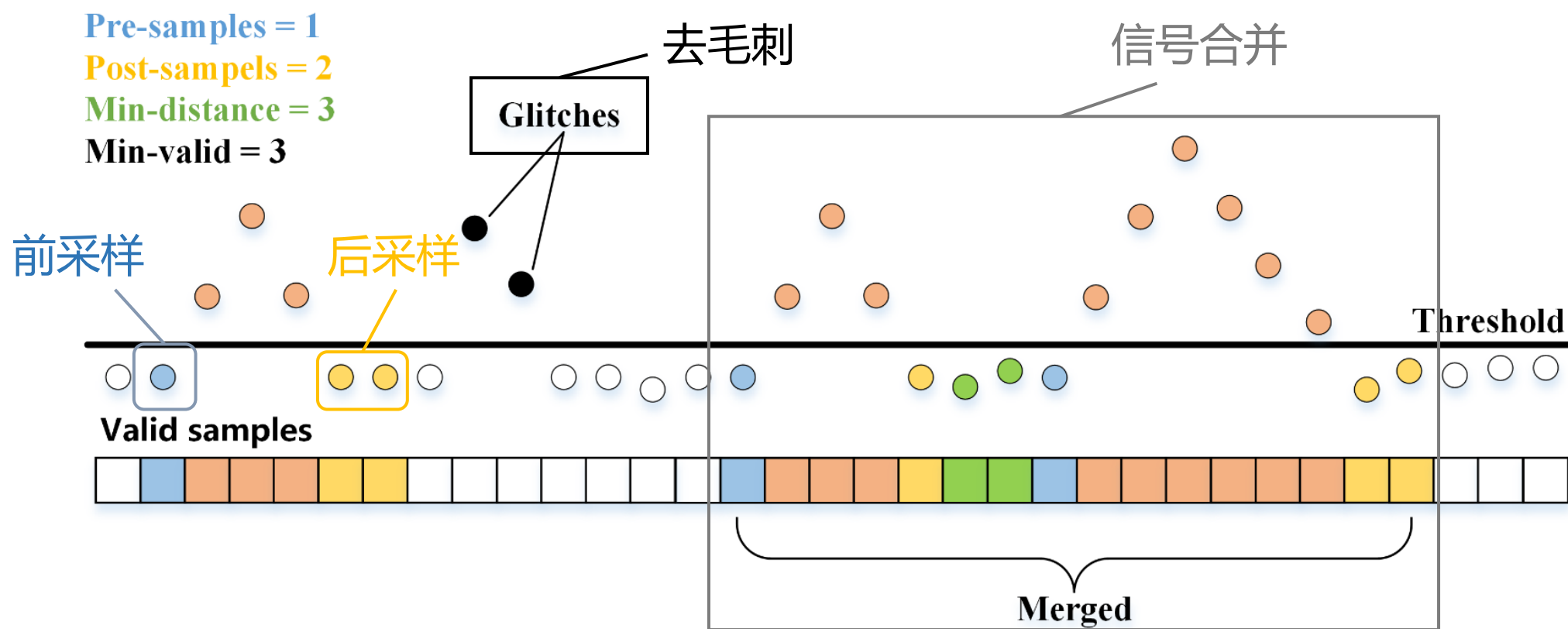
- 为应对高计数率下大数据量的挑战，ADC输出数据须在传输至上位机前进行压缩
- 温漂、工频干扰等因素会带来基线漂移和噪声，从而影响压缩阈值的设定与压缩效率
- 必须进行实时的降噪处理





芯片设计：数据压缩

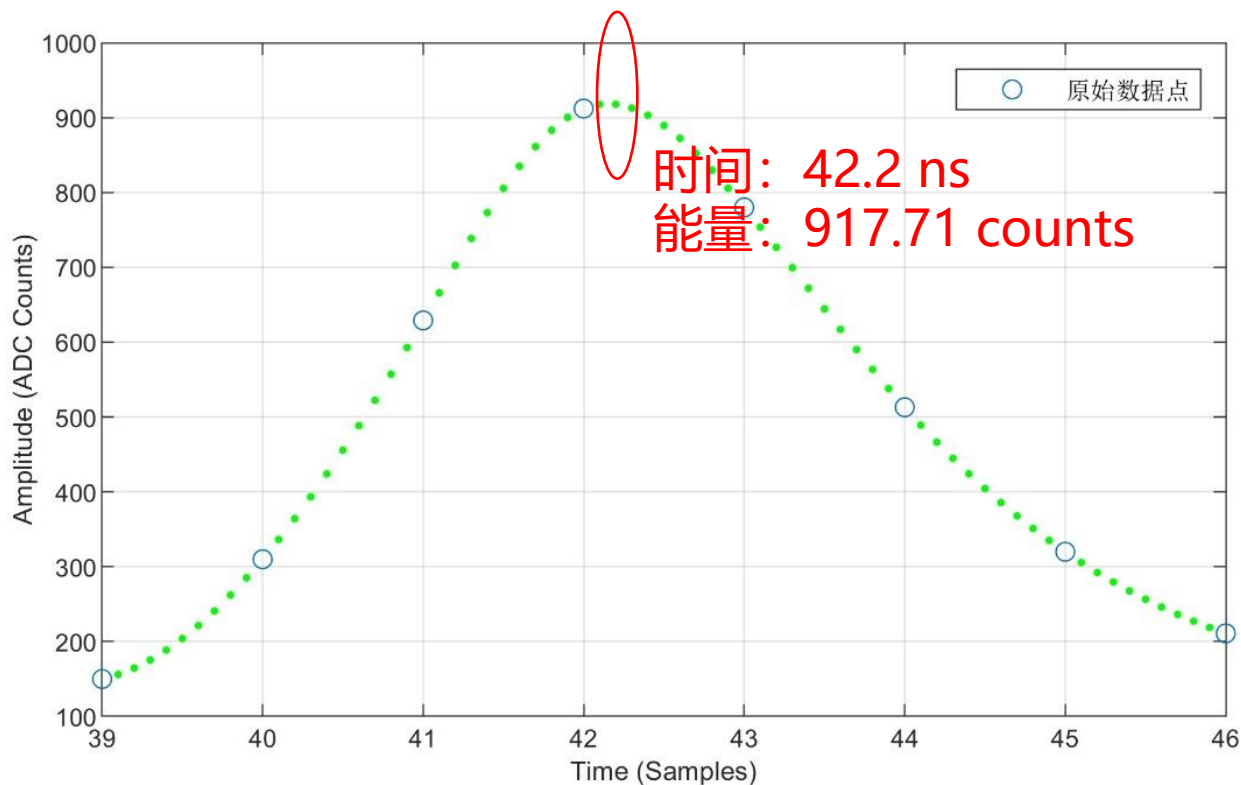
- 具有四种功能：前采样；后采样；去毛刺；信号合并



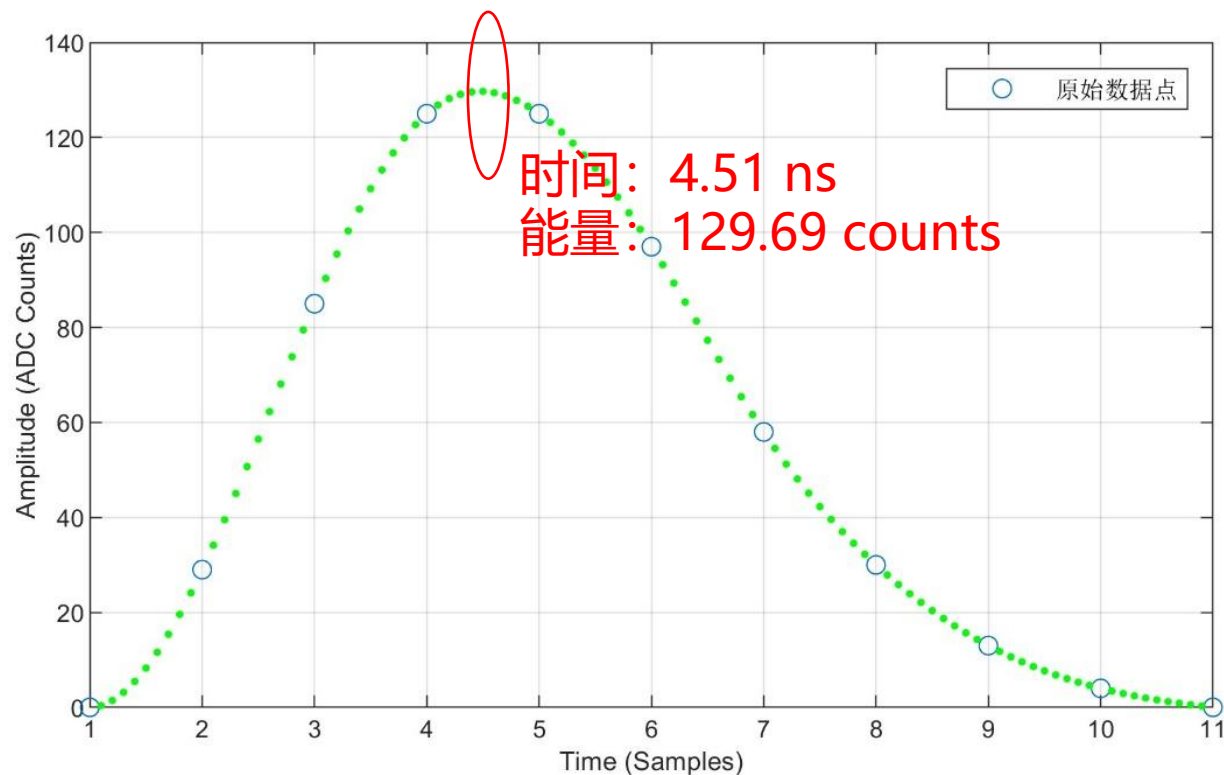


芯片设计：在线时间和能量提取

- 根据已有数据点计算多项式
- 时间和能量为多项式最大值点的横坐标和纵坐标



时间能量提取示例1

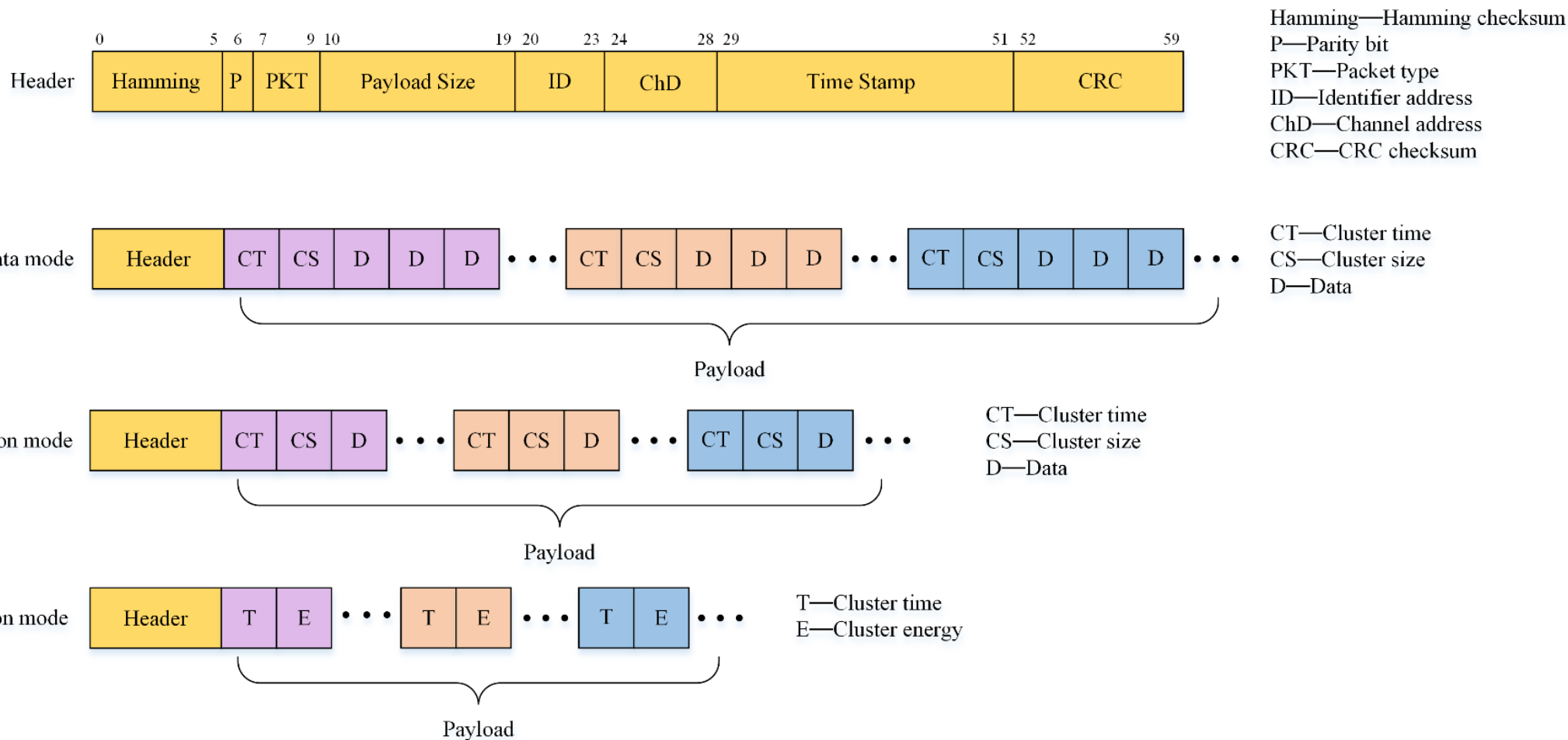


时间能量提取示例2



芯片设计：数据格式

- 具有三种输出模式：原始模式；压缩模式（去除基线）；提取模式（仅时间和能量）

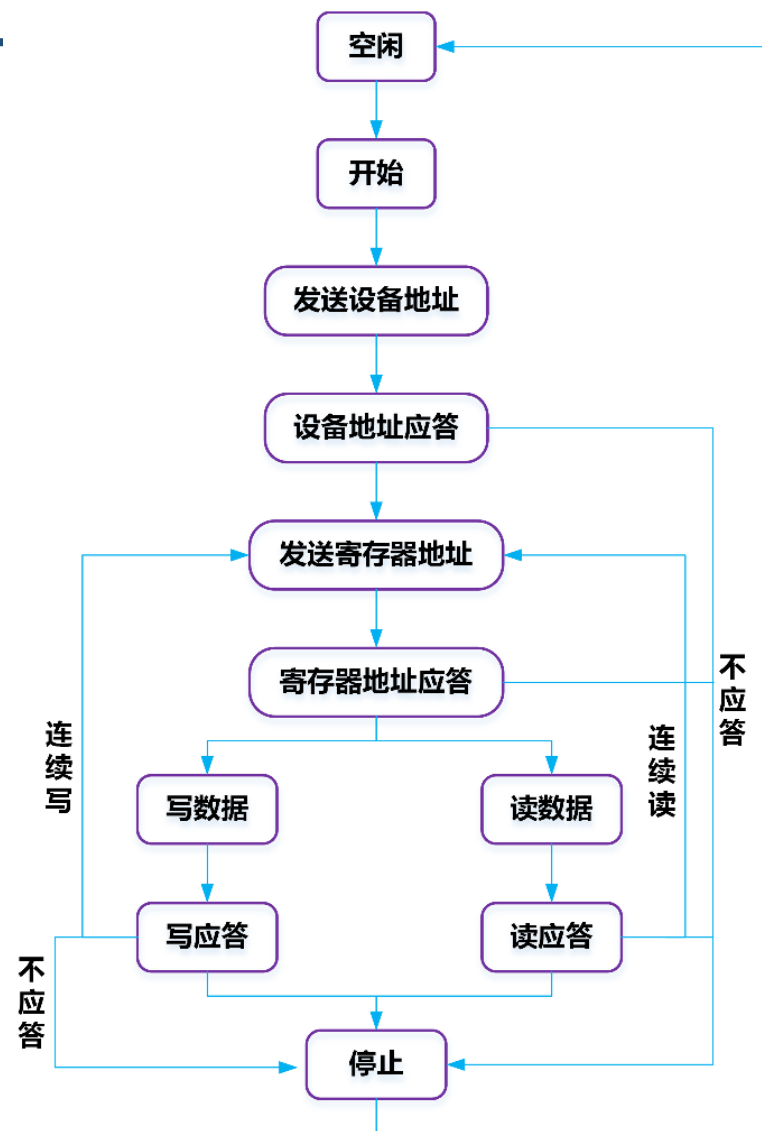


数据量依次减少



芯片设计：IIC

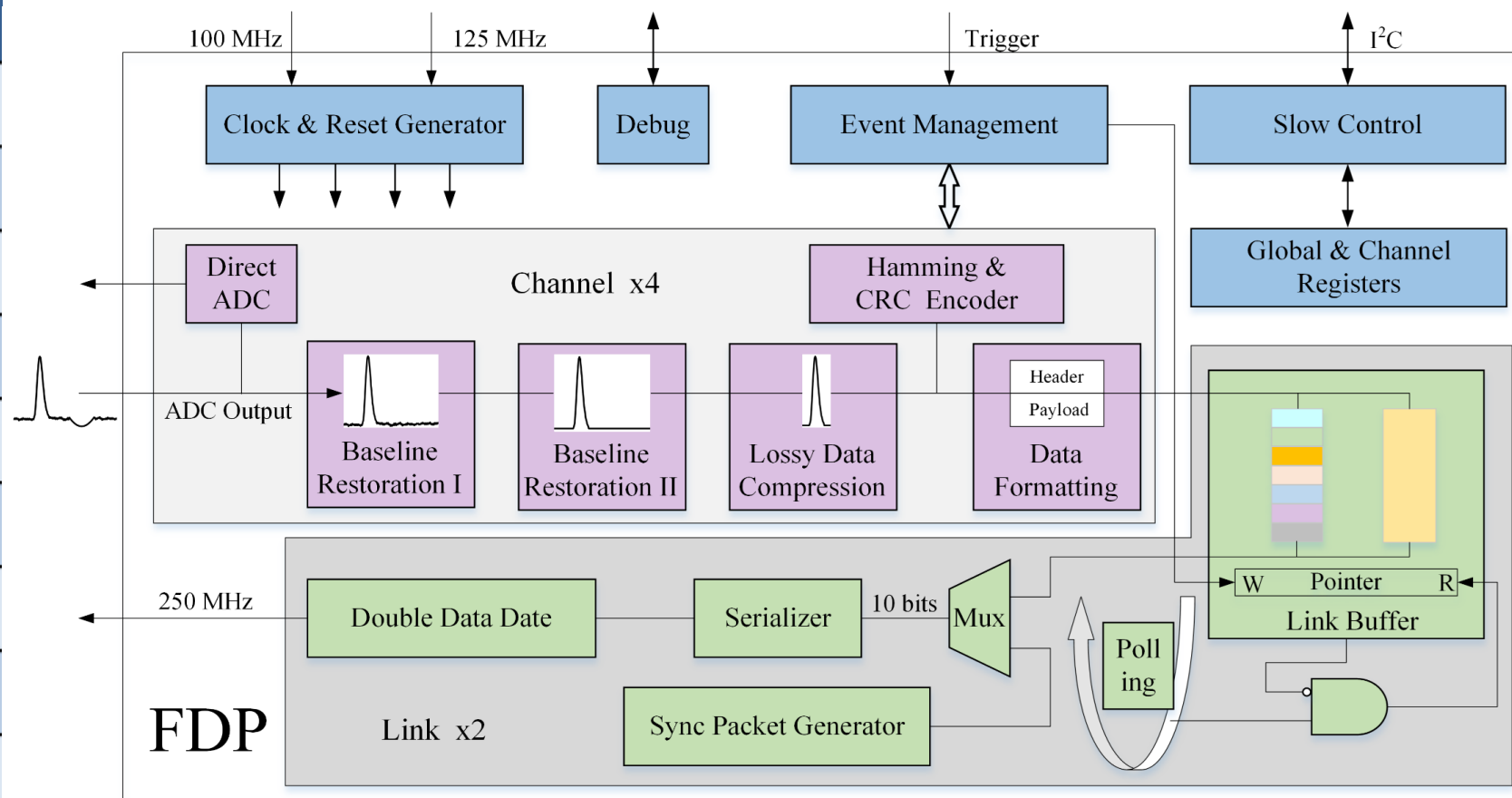
- 具有连续读写功能
- 支持三种常用的速度：标准模式（100 kbps）、快速模式（400 kbps）和快速加模式（1 Mbps）
- 7-bit基址和5-bit偏移地址组成的寻址方式
- 24个全局寄存器
- 每通道16个本地寄存器
- 三模冗余





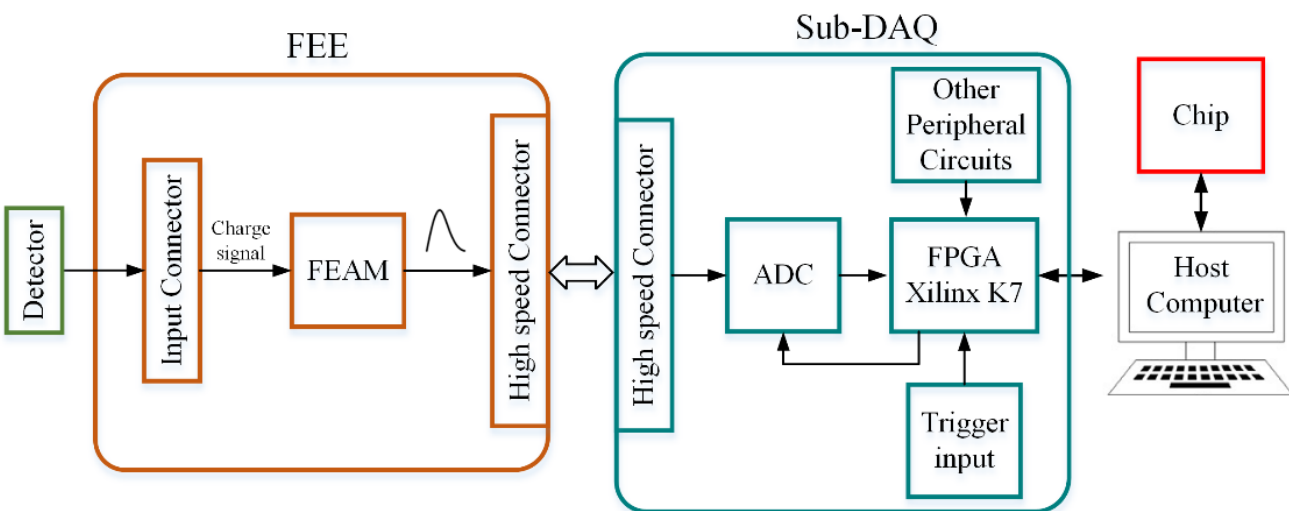
V0芯片测试验证

参数	第二版DSP
面积	2.17 × 2.18 mm ²
工艺	180 nm
通道数	4
Memory	56.4 kb
功耗	28.5 mW
触发模式	无触发/外触发
滤波功能	两级滤波
最大输入带宽	10bits 10MS/s @ ch
最高计数率	180 kHz
时间分辨率	20 ns
最大输出带宽	250 Mb/s @ link

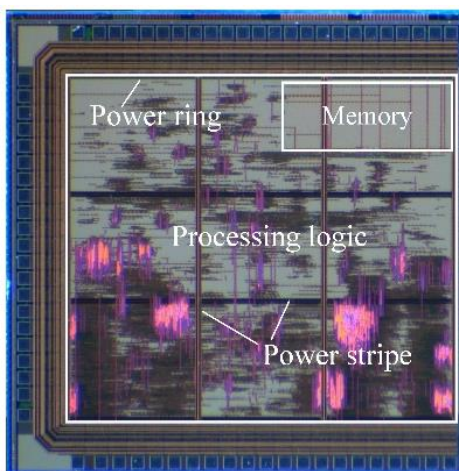




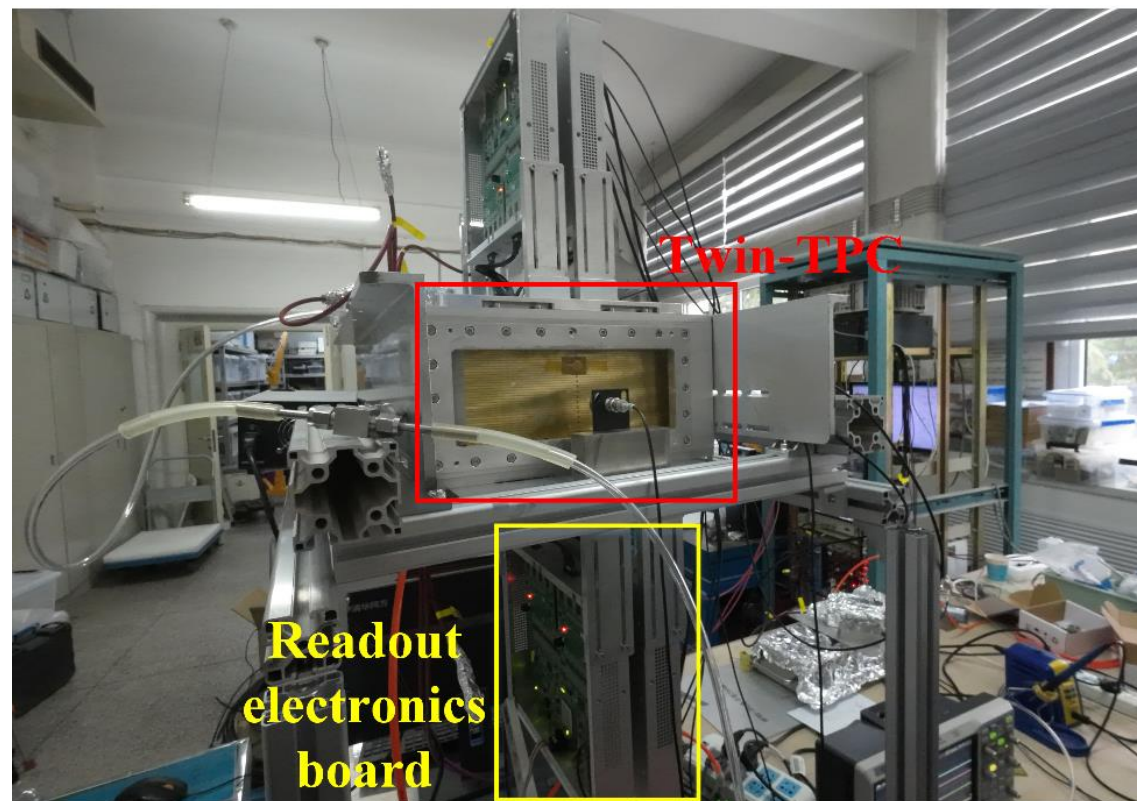
3.2 V0芯片测试验证



芯片测试平台



芯片版图



测试现场

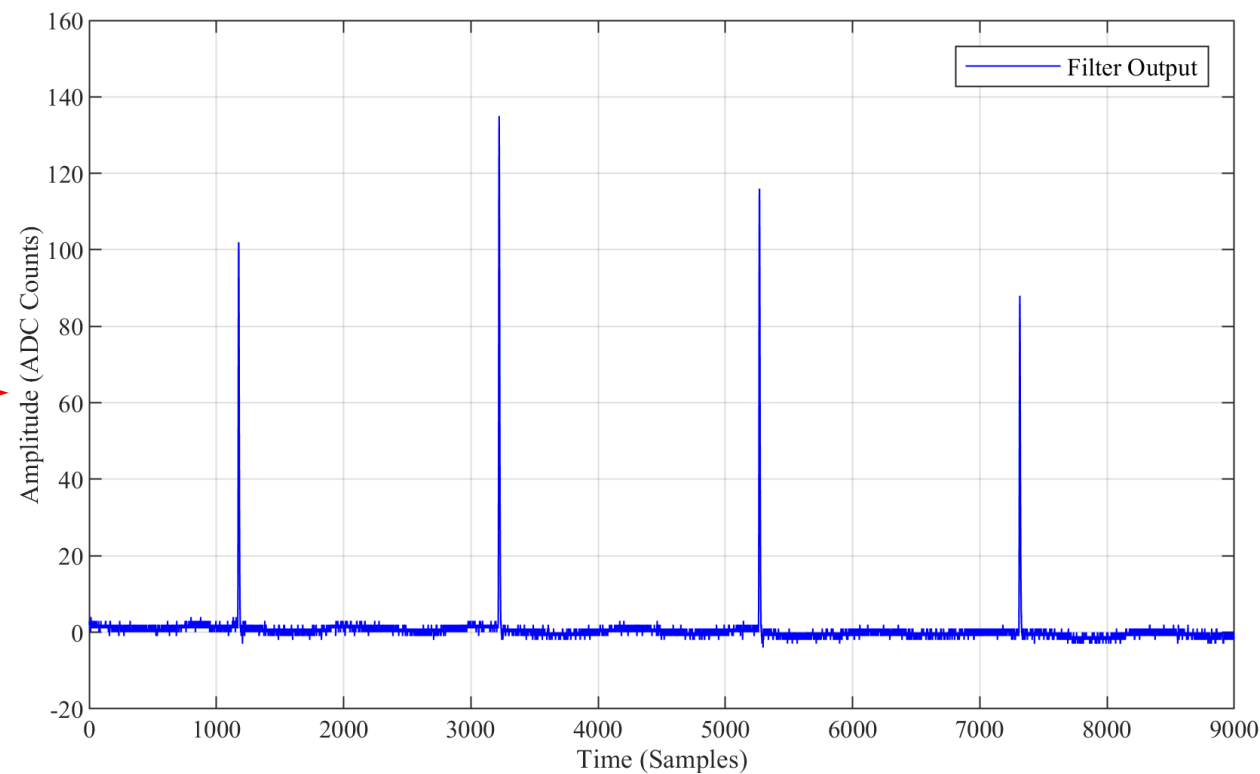
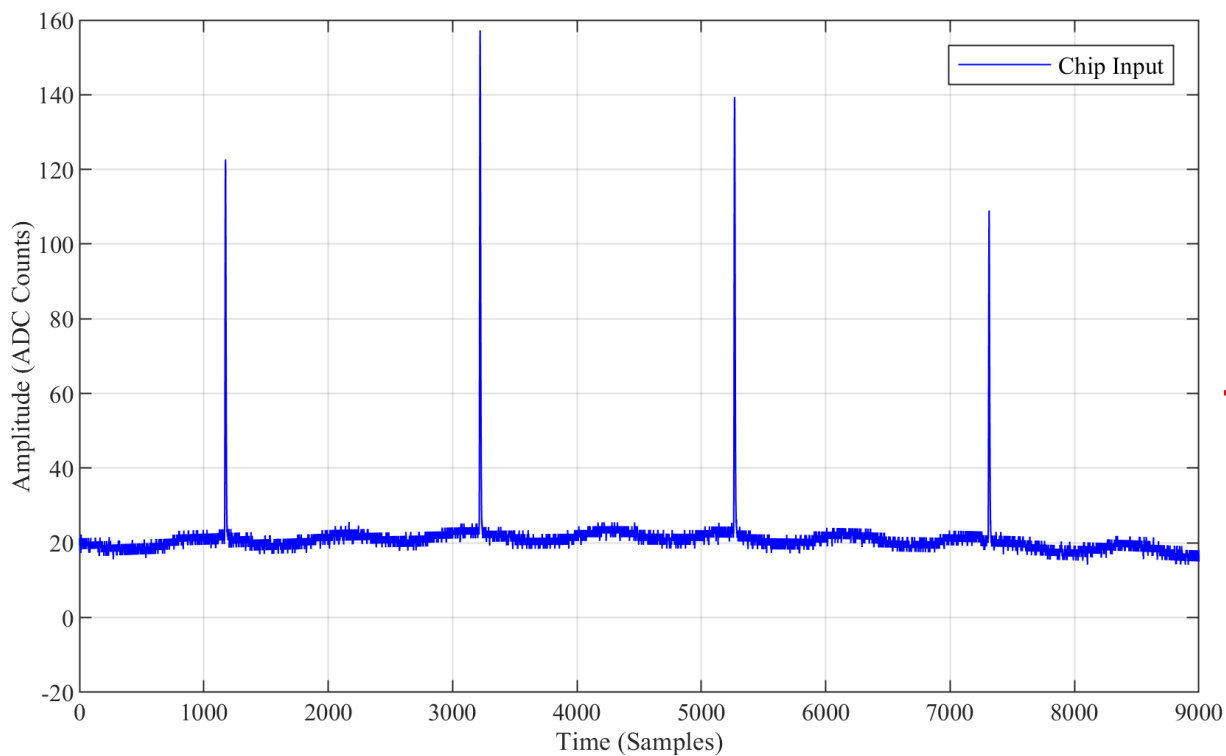




V0芯片测试验证

滤波测试

- 激光源与TPC联合测试



滤波前

滤波后

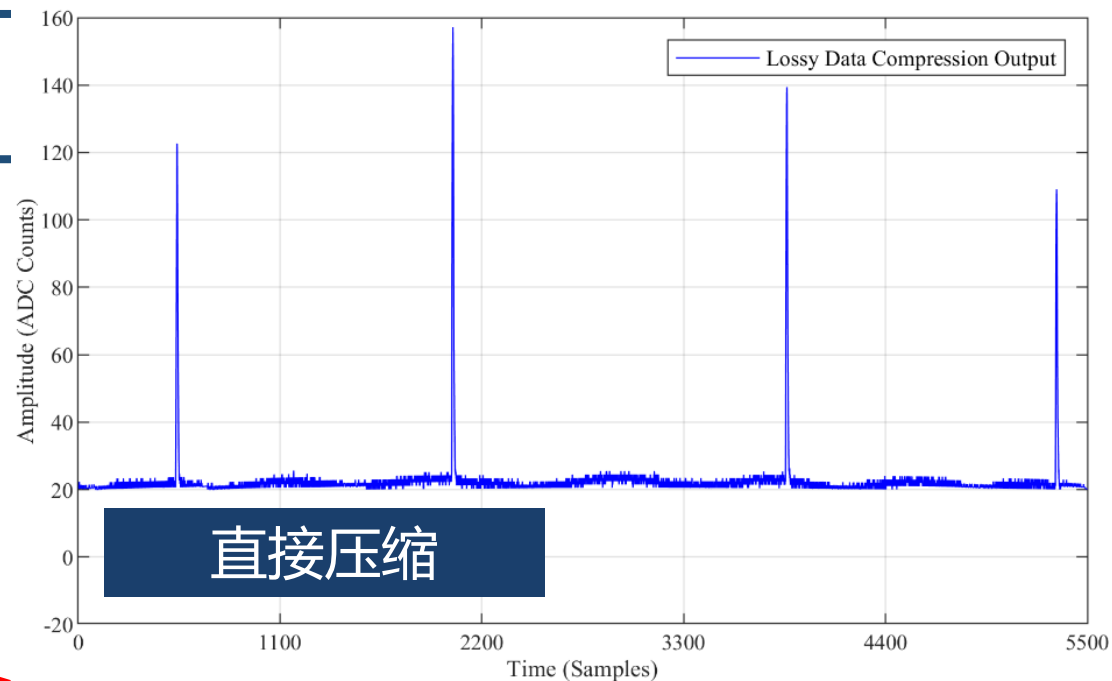
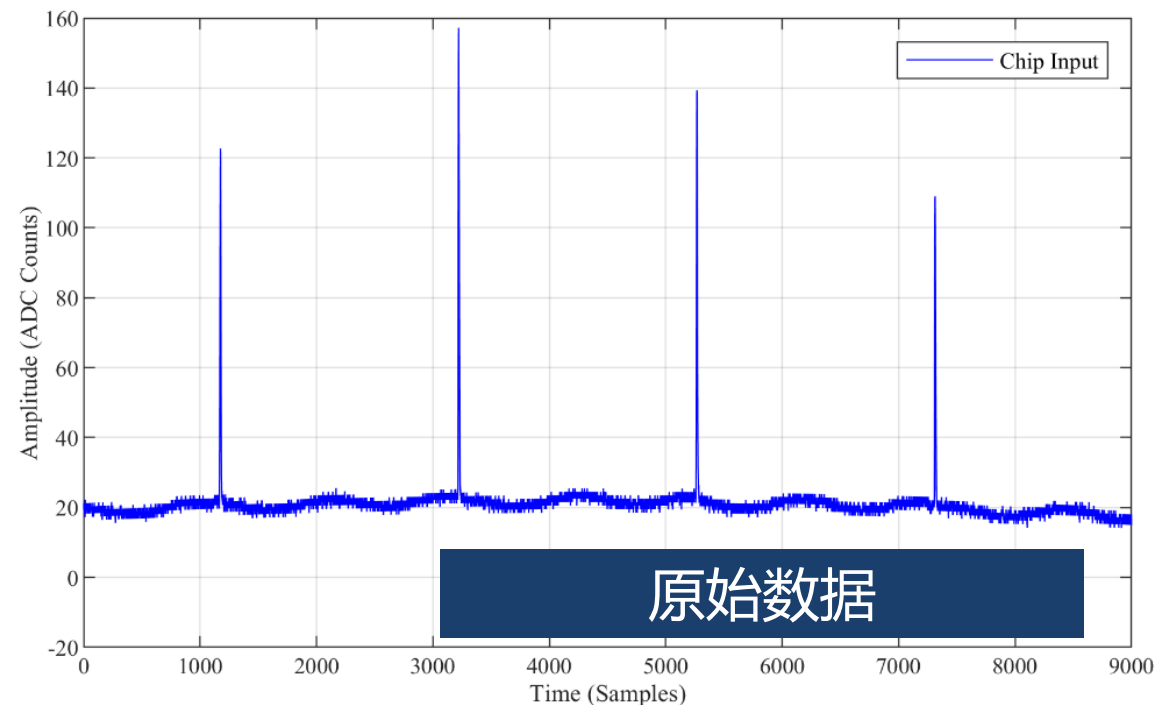




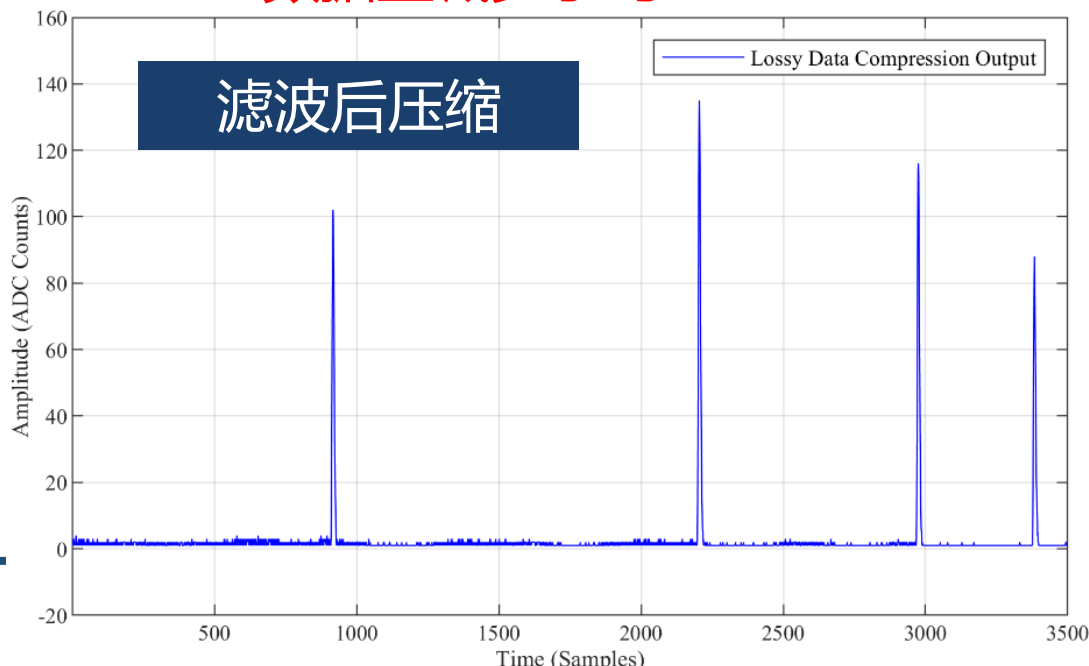
3.2 V0芯片测试验证

滤波压缩测试

- 激光源与TPC联合测试



数据量减少了约36.4%





3.3 V1芯片

改进

- 扩展通道
- 优化滤波能力
- 增加在线时间与能量提取
- 提升输入/输出带宽
- 时间分辨好于2 ns

主要参数	指标
通道数	16
工作模式	无触发/外触发
计数率	> 1 MHz
幅度分辨	< 3% (σ)
时间分辨	< 2ns (σ)
功耗	< 15 mW/ch
输入带宽	10 bits 20 MS/s @ch
输出带宽	450 Mb/s @link
时间能量	多项式提取
滤波功能	四级滤波

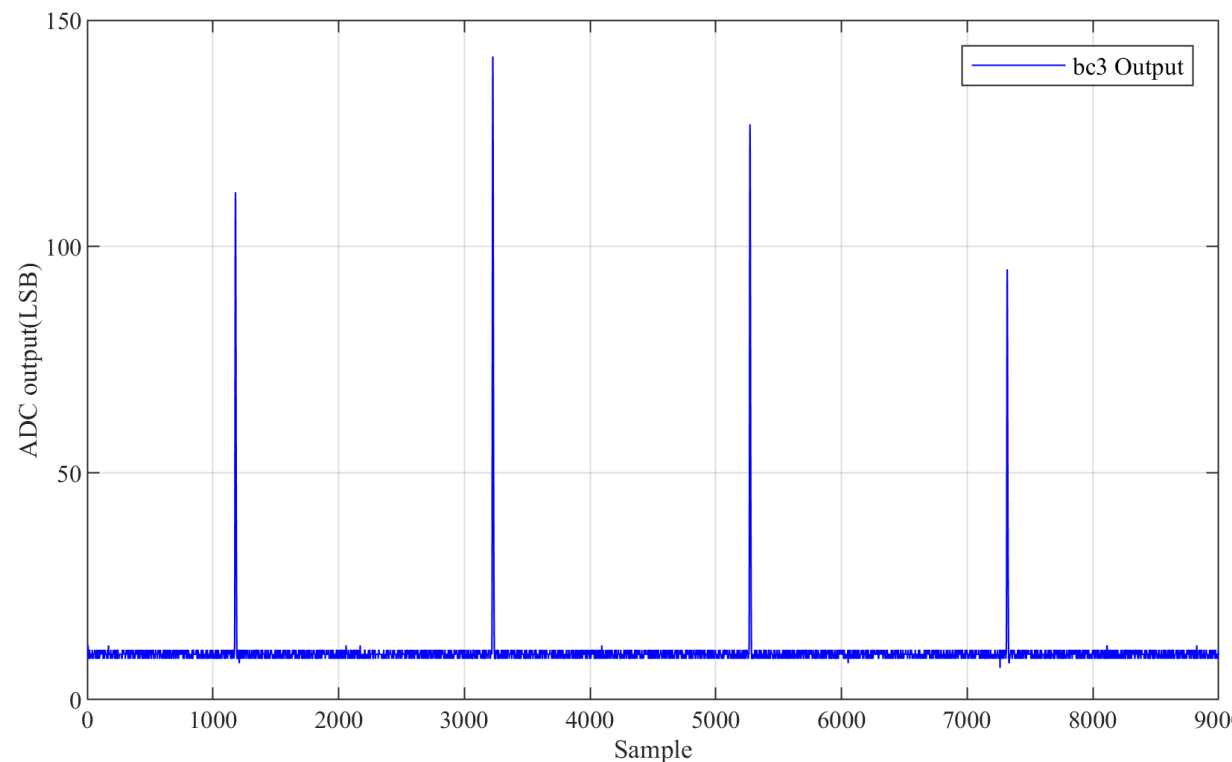
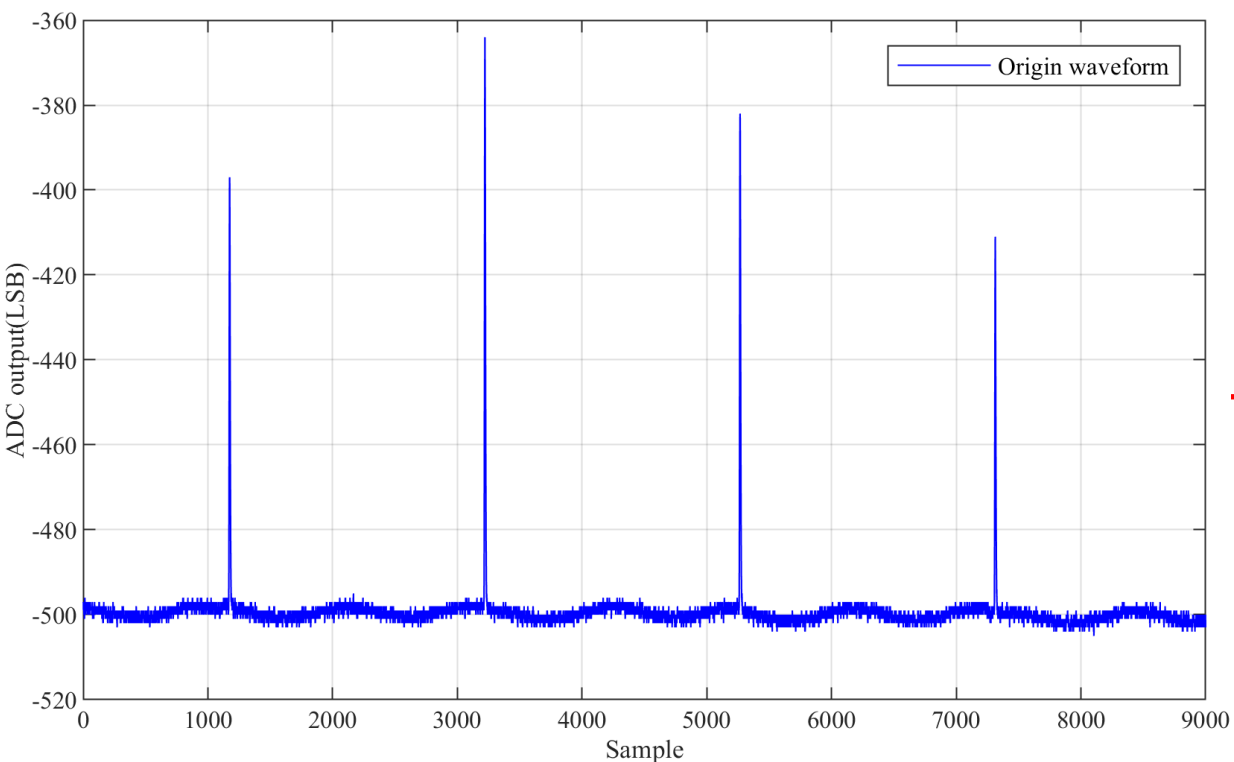




3.3 V1芯片仿真验证

滤波仿真

- 激光源与TPC联合测试数据



滤波前

滤波后



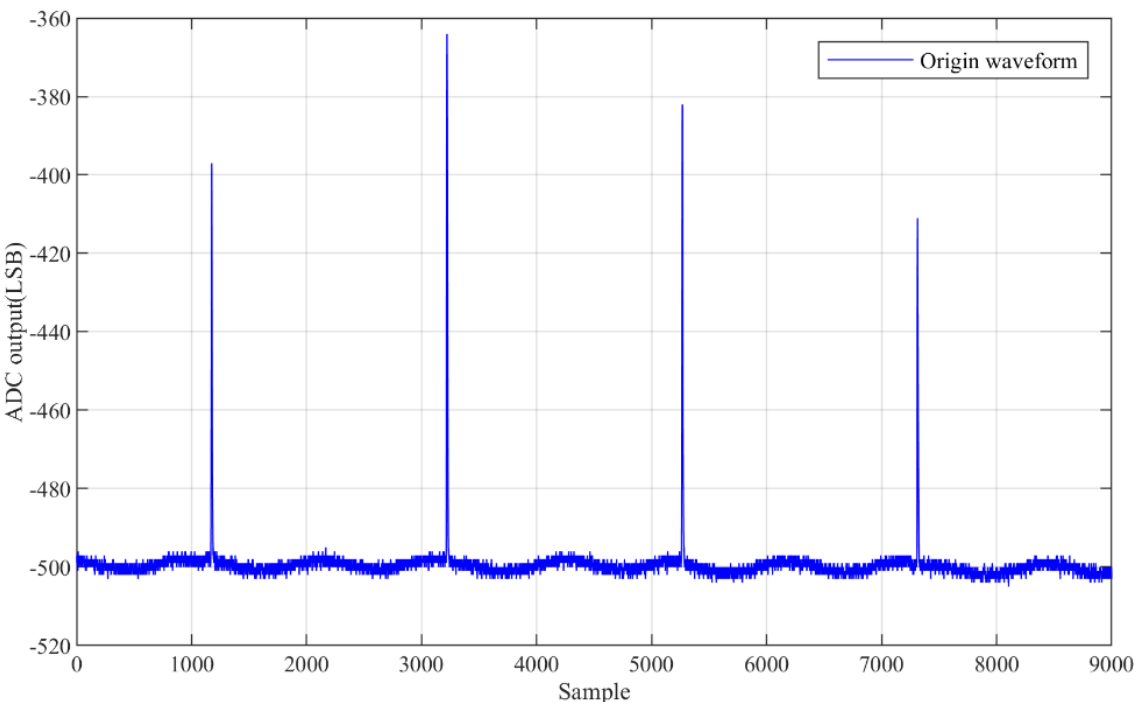


V1芯片仿真验证

直接压缩

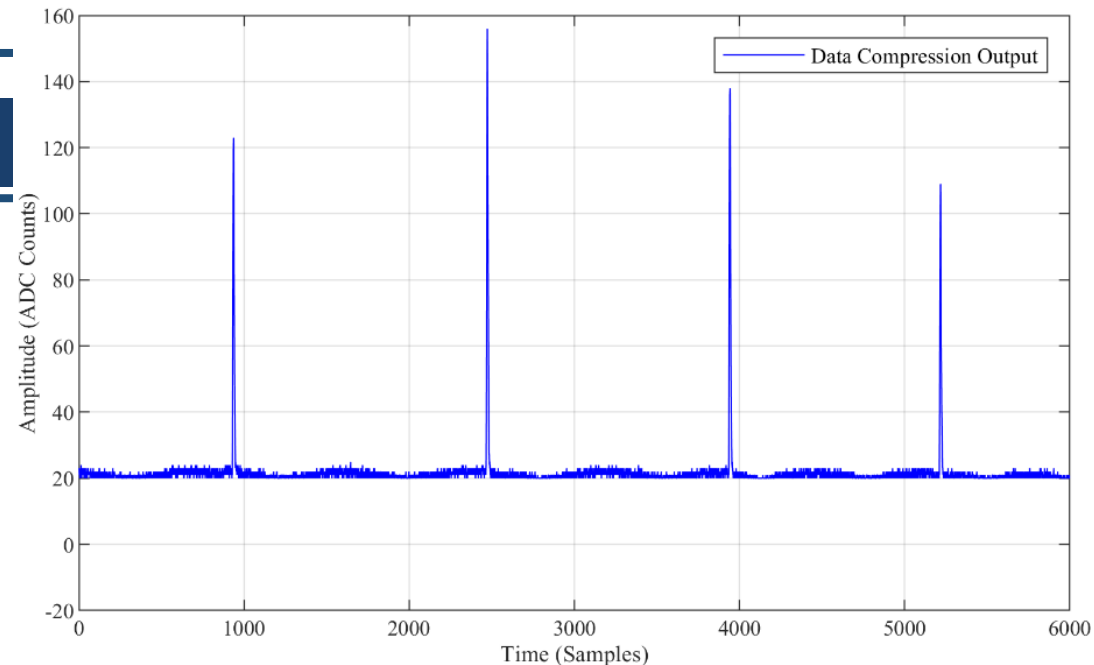
滤波压缩仿真

- 激光源与TPC联合测试数据

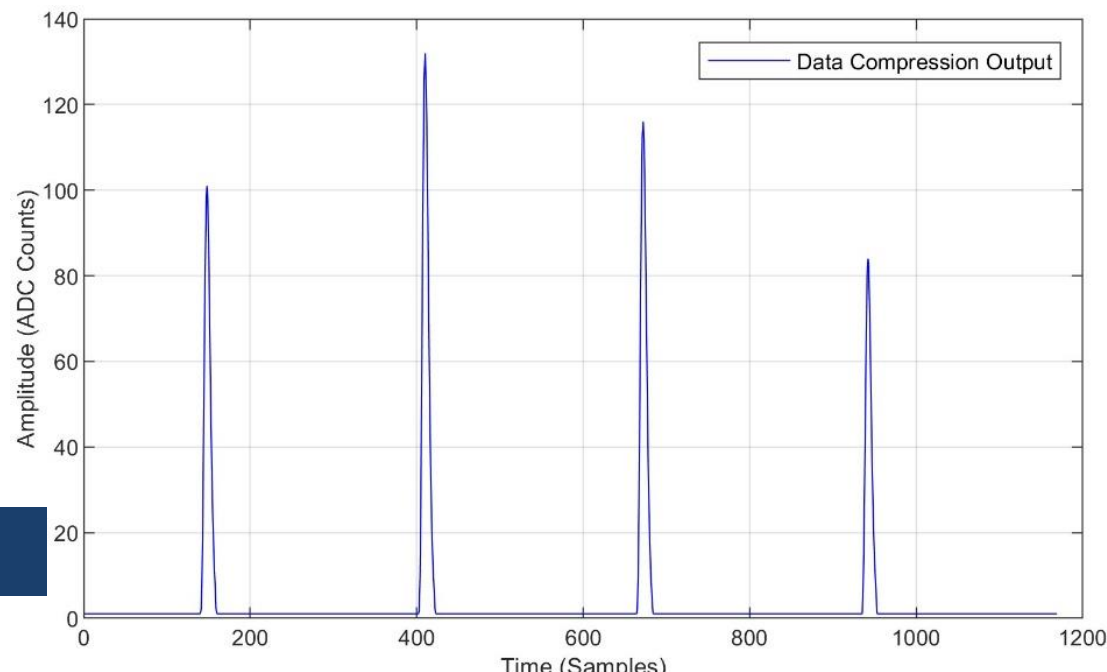


原始数据

滤波后压缩



数据量减少了约80.3%

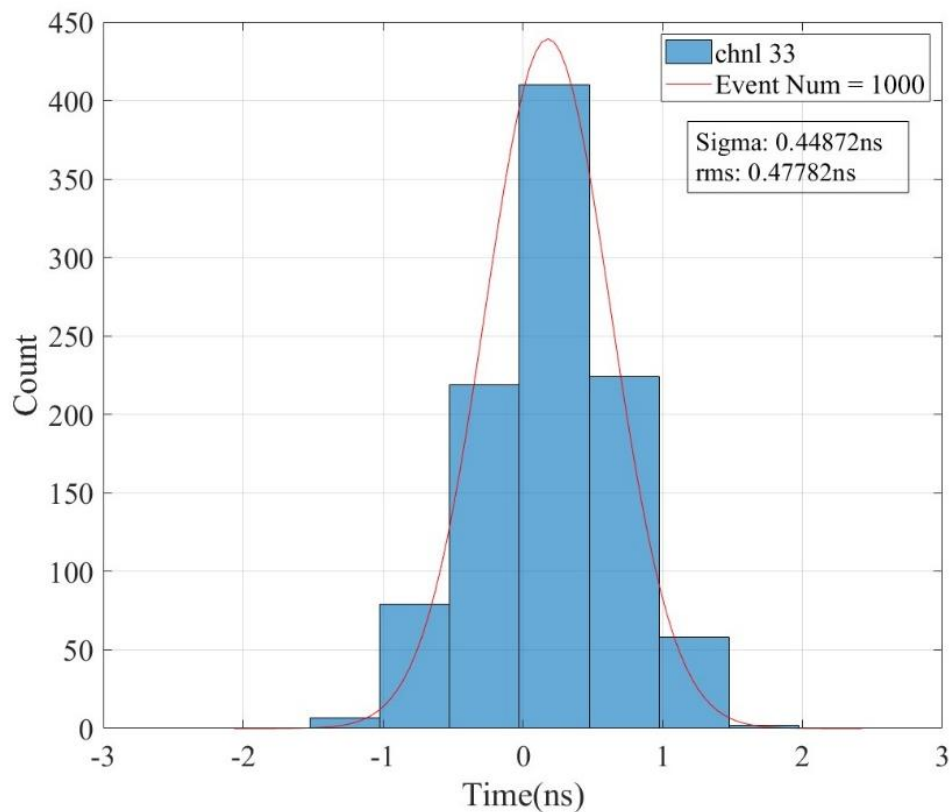




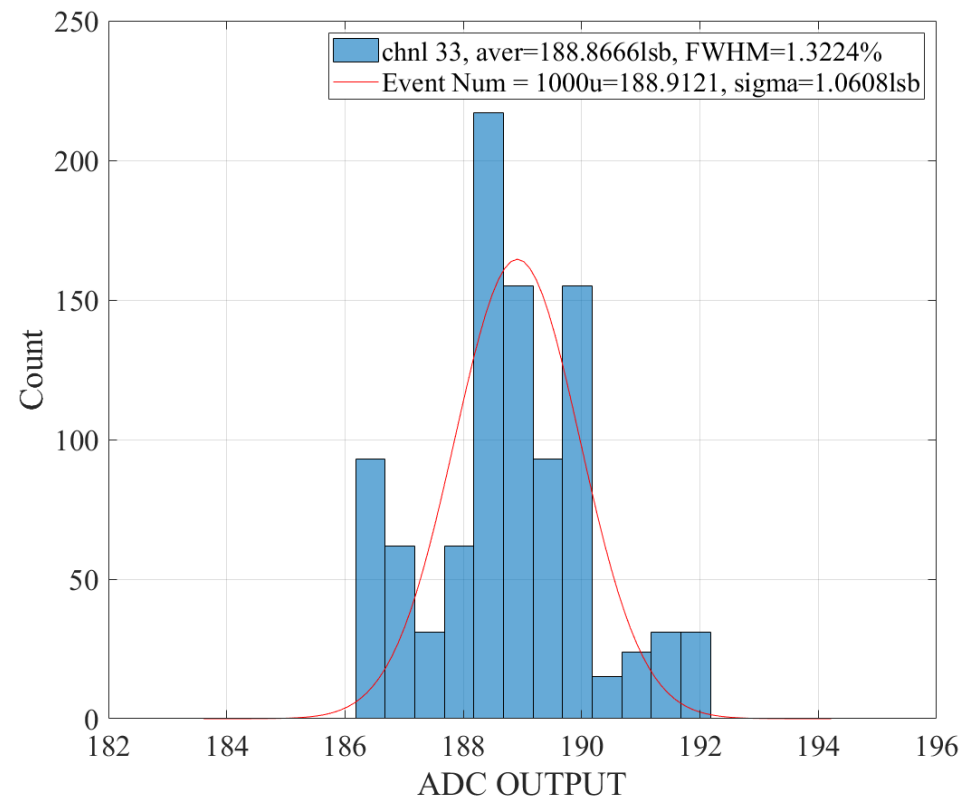
V1芯片的仿真验证

■ 在线时间和能量提取仿真

- 实验室测试数据
- 输入电荷为200 fC时，时间相对分辨好于0.45 ns，幅度相对分辨好于1.4%



时间相对分辨



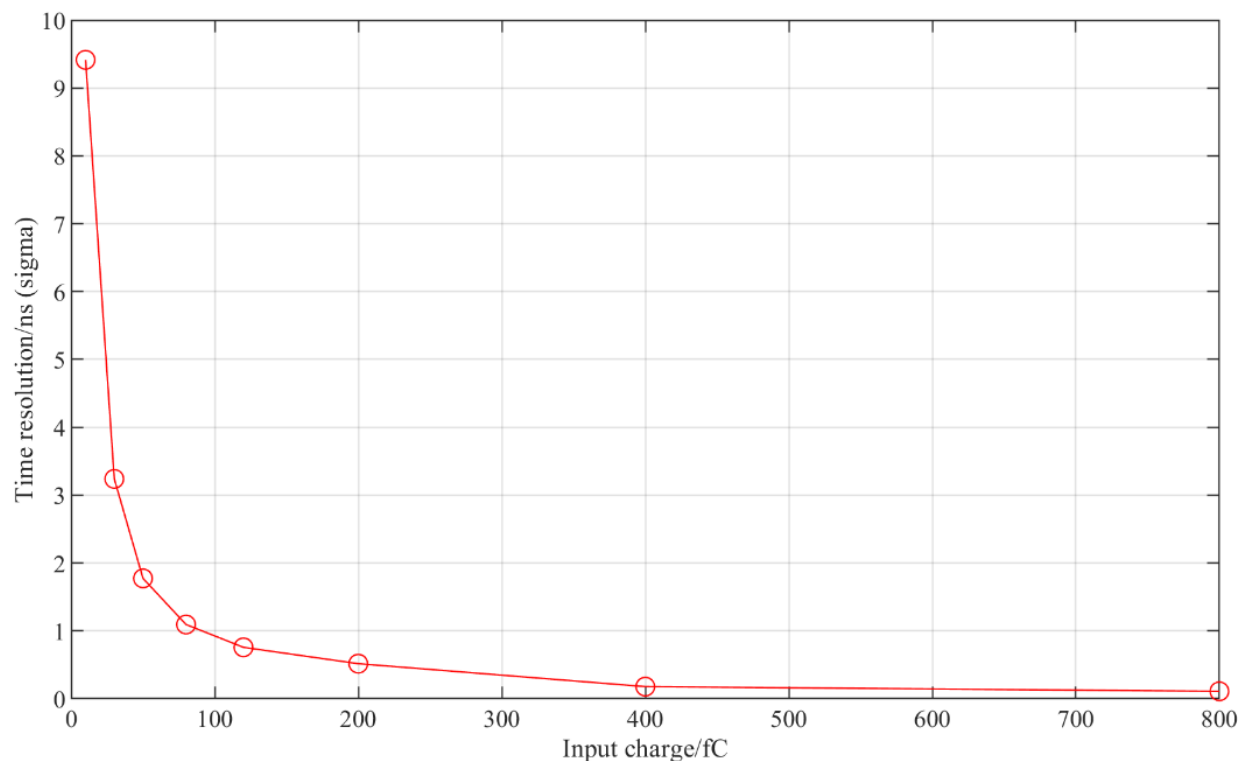
幅度相对分辨



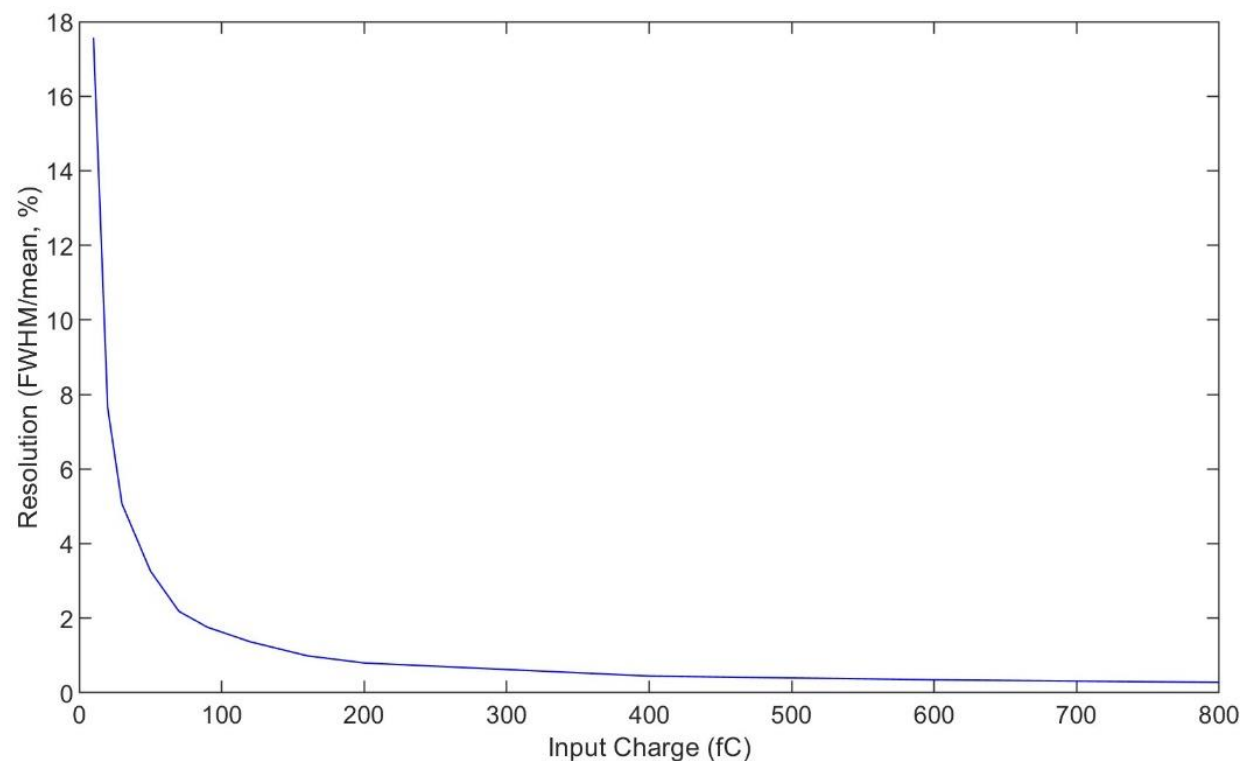
V1芯片的仿真验证

■ 在线时间和能量提取仿真

- 实验室测试数据
- 输入电荷50 fC以上时，时间相对分辨好于2 ns，幅度相对分辨好于3%



时间相对分辨



幅度相对分辨



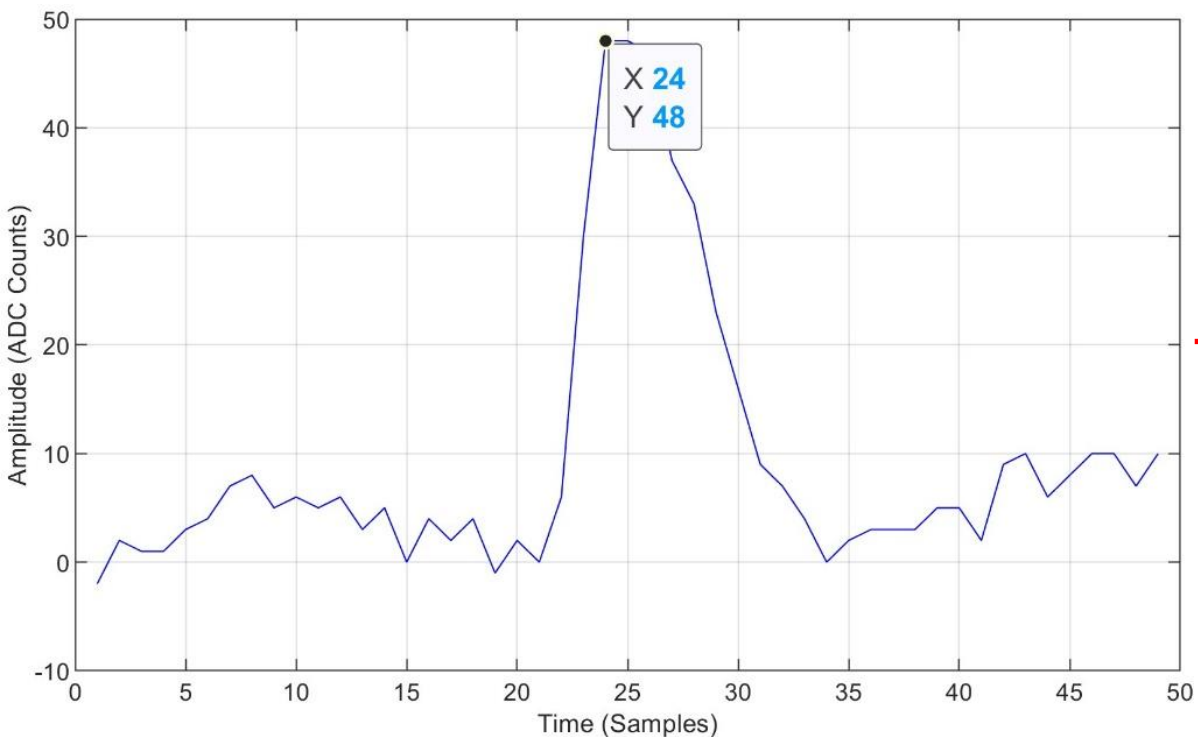


V1芯片的仿真验证

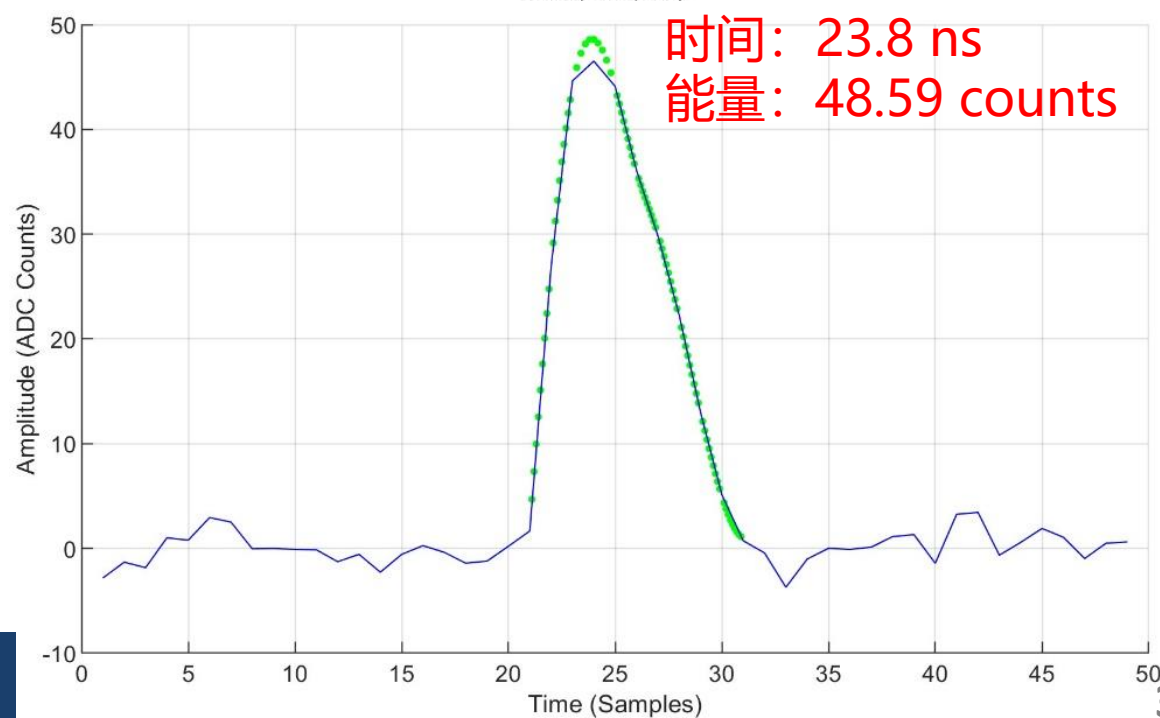
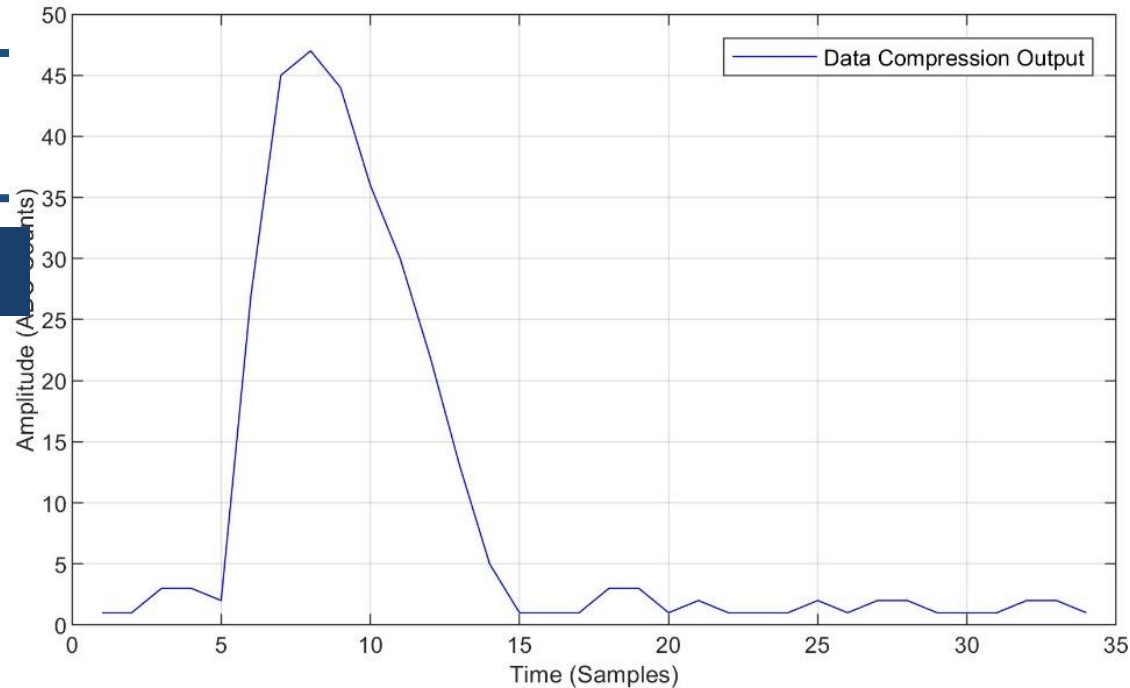
■ 全流程仿真

- 束流与TPC联合测试数据

滤波压缩



原始数据



时间能量提取

总结展望

➤ 总结

- 基于波形采样的技术路线，开展了ASIC芯片研制
 - 气体探测器读出芯片FEAM，已经应用在工程中
 - 大动态气体探测器读出芯片FEAT，拟工程应用
 - 全数字前端信号处理芯片AFERP

➤ 展望

- 完成 前端芯片+ADC+DSP 的整合，实现完整的波形采样数字化芯片

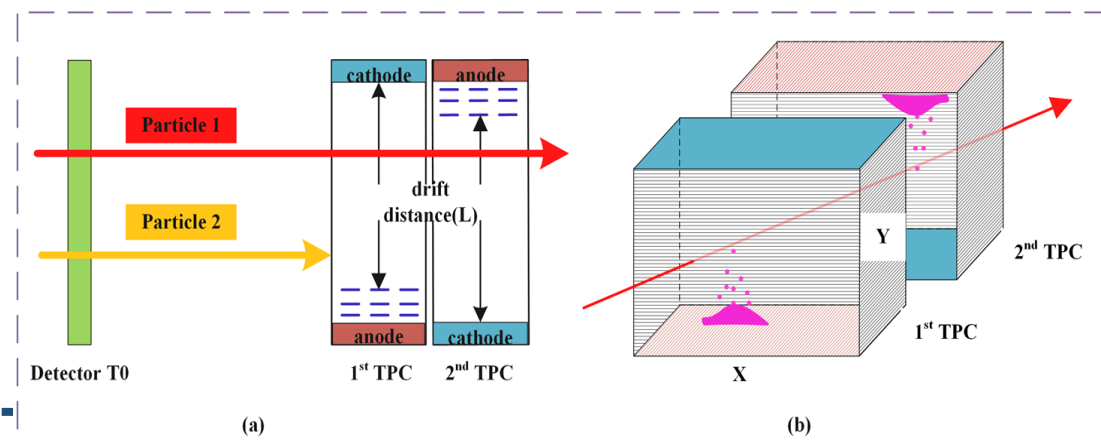




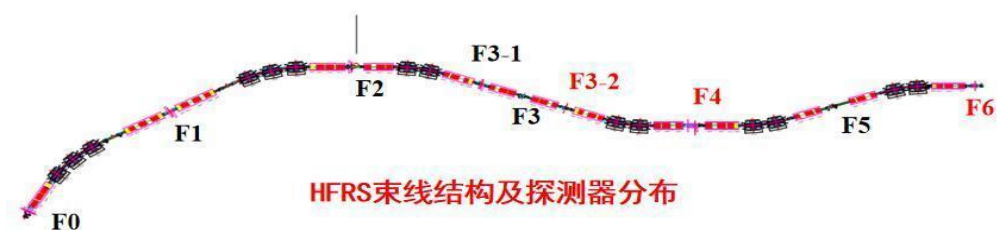
谢谢！

附录1 背景

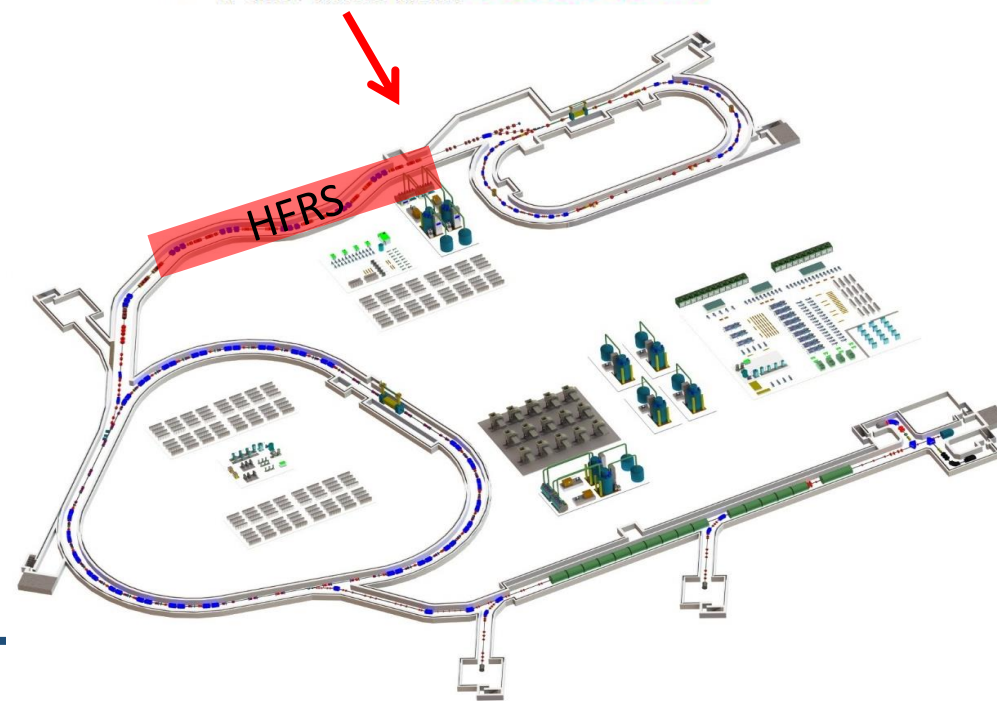
- 即将建成的**HFRS具有高能强流特性**，可显著提升中重核区域的实验能力，助推我国科学家探索**前沿重大科学问题**，提升中国在该前沿领域的**核心影响力和竞争力**。
- 高计数率下，不同粒子间的读出信号存在极大的**“先来后到”**的几率，造成**时序错乱**，因此选用**twin TPC**作为位置探测器。
- 由于**读出通道数多、数据量大**，对**数据传输、处理和存储**提出了更高要求，给**读出电子学研制**带来了极大挑战。



Twin TPC示意图



- 位置灵敏探测器 F3-2、F4、F6



HAIF结构示意图

附录2 电子学设计指标

电子学需求：

- 读出通道数：1024路（一组Twins-TPC）*10
- 电荷测量范围：10fC至10PC，多档可调节
- 工作模式：前端无触发，并兼容外部触发模式
- 波形采样率：40MSPS
- 时间分辨：好于2ns（十分之一动态）
- 计数率：单通道>100kHz

电子学主要技术挑战：

- 低功耗、高集成度
- 高计数率、海量数据在线处理
- 大动态范围

技术方案：自研大动态范围ASIC芯片+波形数字化+FPGA在线处理

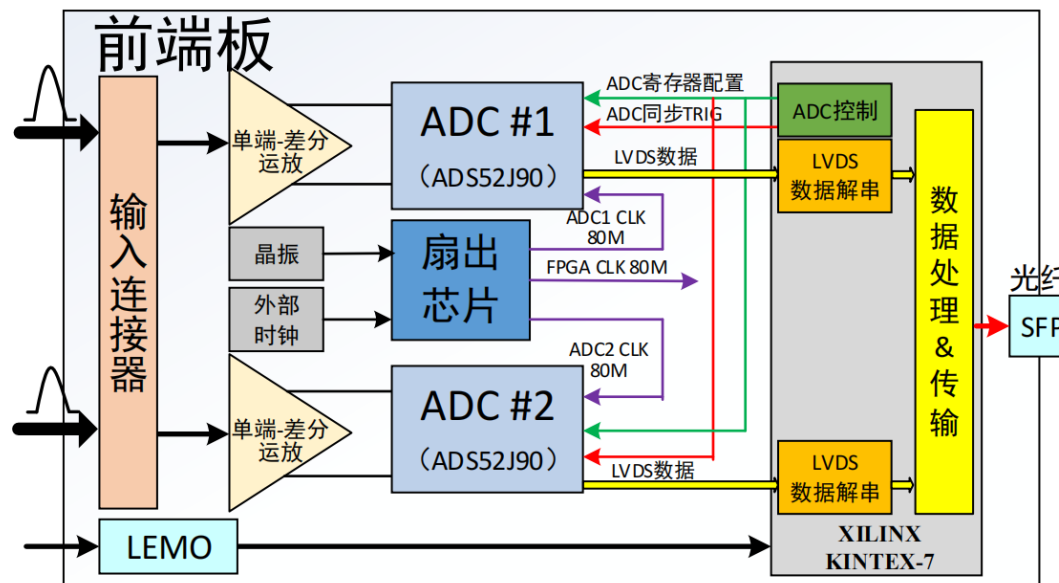


附录3 前端数采板设计

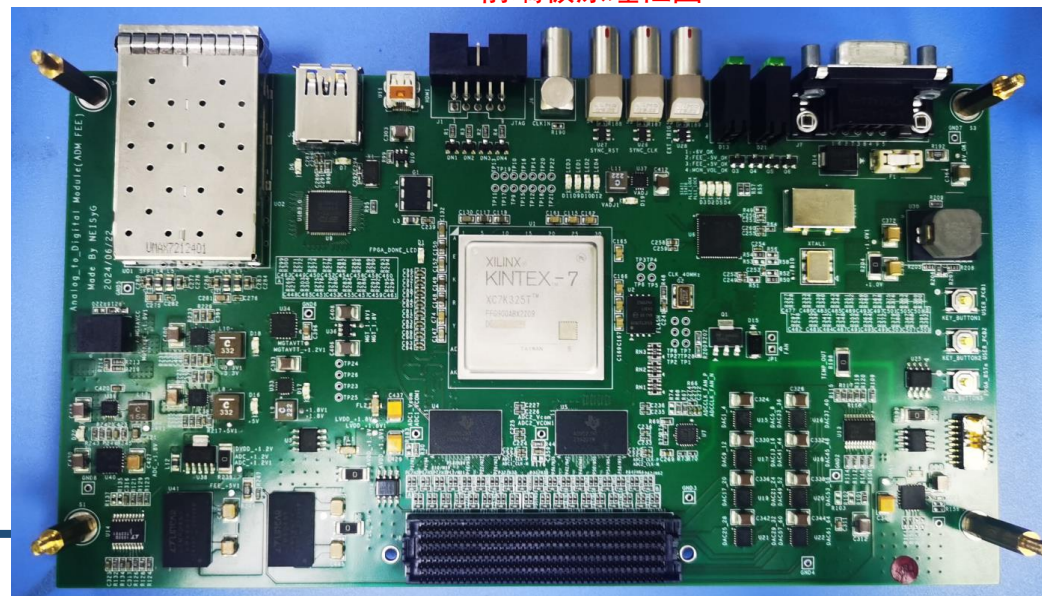
- 通道数：64路
- 采样率：40MSPS
- ADC精度：10bit
- 输出接口：10Gbps光纤链路
- 备用接口：USB3.0
- 板子尺寸：20cm*12cm

两片32通道ADC芯片实现波形数字化

FPGA内对64通道数字信号进行滤波、排零压缩、通道打包、轮询传输等处理



前端板原理框图



前端板实物图